

アナログ回路開発40年を振り返って

ADCを中心とした技術の変遷と今後

松澤 昭

東京工業大学

東工大 松澤



内容

- はじめに
- バイポーラの時代
 - 並列型(Flash) ADC
- Bi-CMOSの時代
 - 直並列型(抵抗補間)ADC
- CMOSの時代
 - 直並列型(容量補間)ADC
 - パイプラインADC
- CMOS超高速ADC
 - ゲート補間ADC DVD用アナデジ混載SoCの実現
- SA-ADCの革新
 - 容量とダイナミック回路 変換エネルギー1/1000
 - デジタルアシスト技術:ミスマッチ補償
- 今後のADC開発の展望
 - SARを中心としたハイブリッド型ADC
 - SAR+ $\Delta\Sigma$ ADC ダイナミックアンプ
- まとめ

デジタルビデオ技術の開発開始

3

TOKYO TECH
Pursuing Excellence

1978年に松下電器に入社し、1979年に中央研究所に配属された。

1978年に松下電器は総力を結集し6時間録画のVHSビデオの開発に成功。
以後ビデオ関連の売り上げは1兆円規模に達し、大黒柱に成長。

ビデオ機器はアナログ技術の粋と言うべきものであったが、
次の**デジタルビデオ**の開発に向けての研究が開始された。



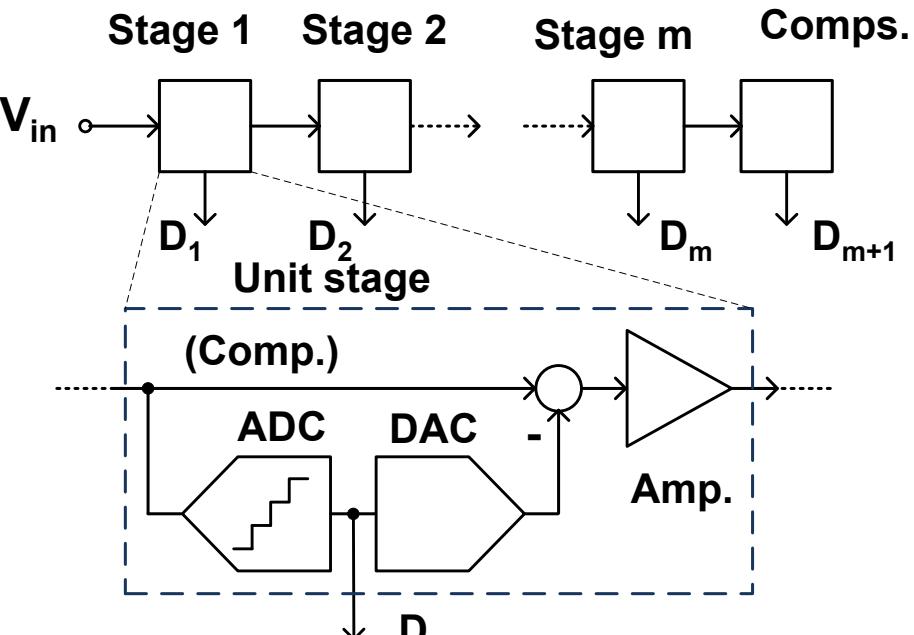
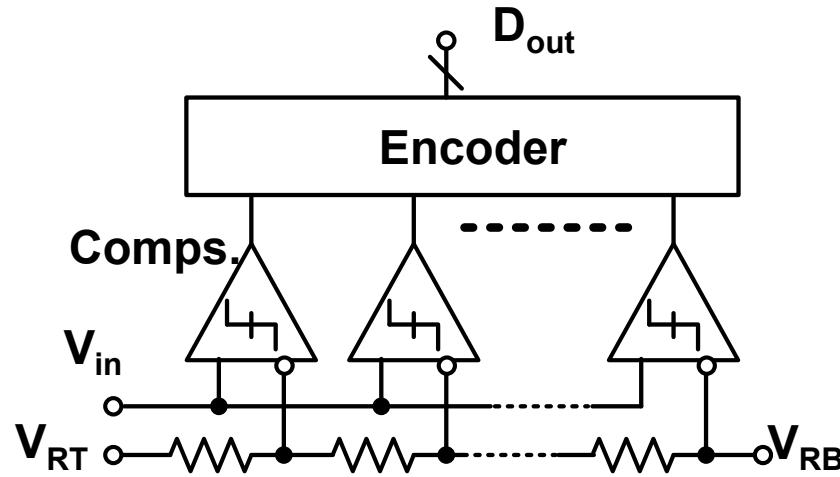
1979, 中央研究所の配属同期と



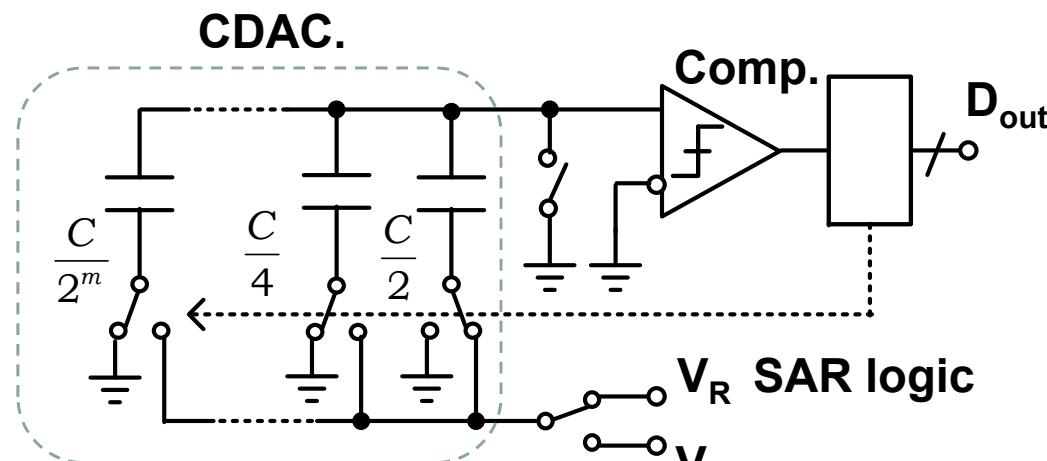
Panasonic VHS Video NV-6000, 1979

ADC の変換方式

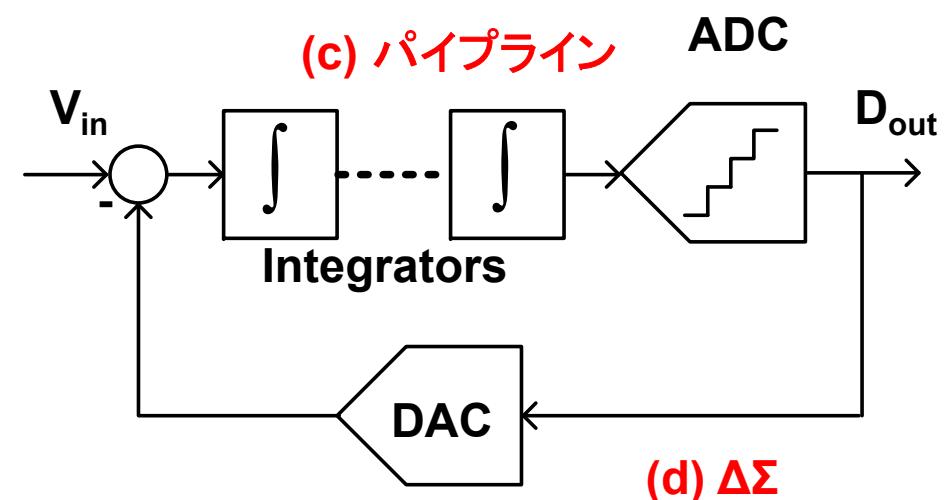
Flash, SAR, パイプライン, $\Delta\Sigma$ が主要なアーキテクチャである



(a) 並列 (フラッシュ)



(b) 逐次比較 (SAR)

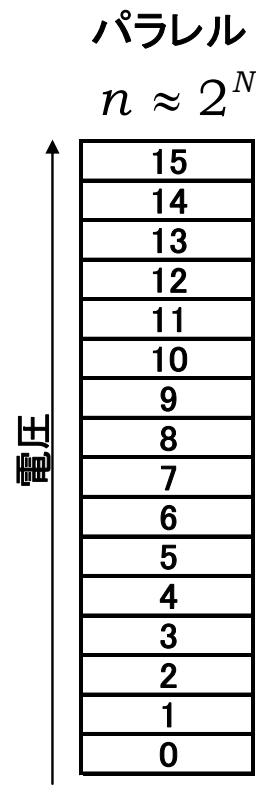


(d) $\Delta\Sigma$

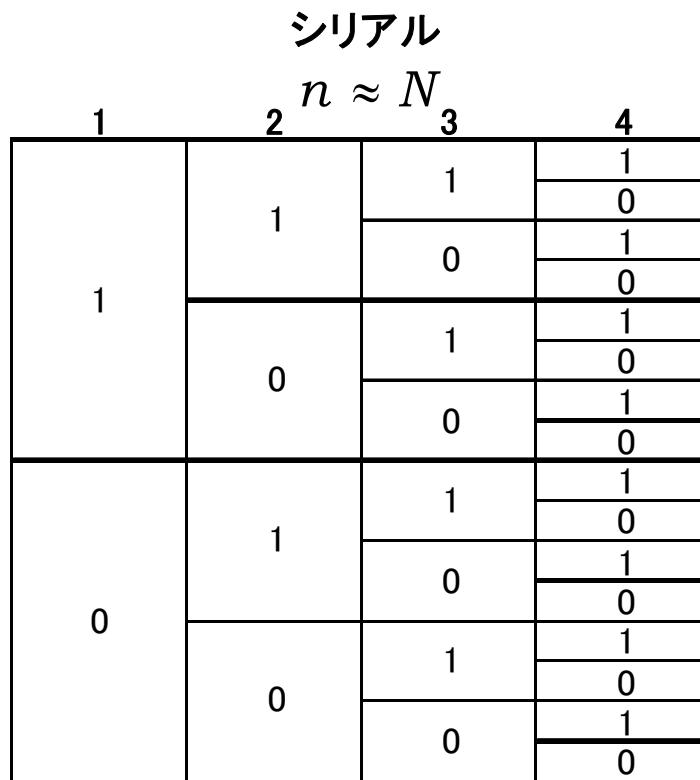
基本的な変換動作

エレメント数、クロック数により基本的に3つの変換手段がある。

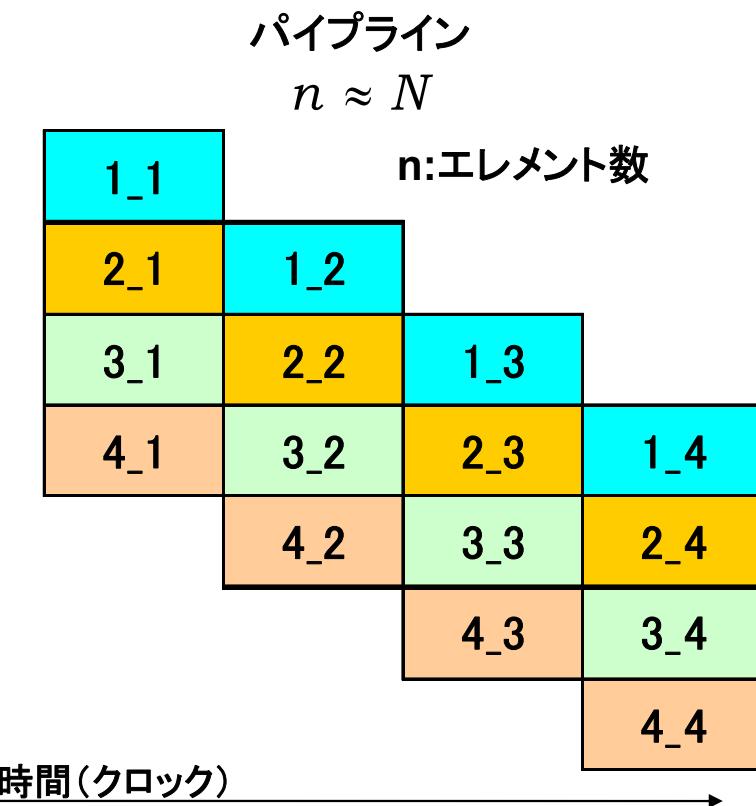
回路規模大
超高速



回路規模最小
低速(N クロック必要)
S/H回路必要



回路規模小
高速(見かけ上1クロック)
S/H+OPアンプ必要



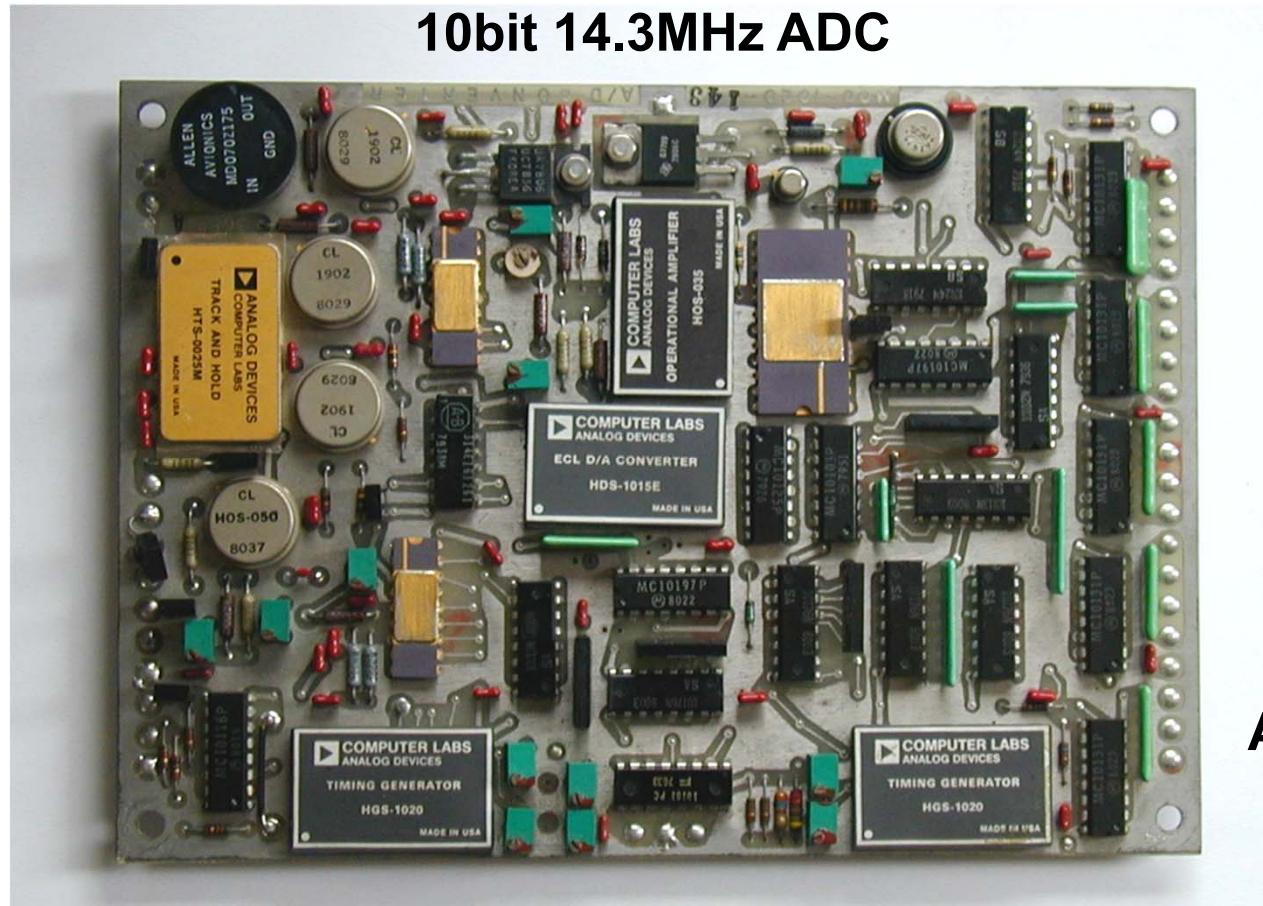
1クロック

N クロック

1 クロックのスループット
(N クロックかかるが、...)

当時のビデオ用A/D変換器

ビデオのデジタル化の大きな課題はA/D変換器であった。
 当時のビデオ用10bit A/D変換器は非常に高価で消費電力が大きかった。
 民生品はおろか、業務用にも使用できないものであった。
 私の使命はADCを開発し、各種デジタルAV機器を実現することであった。



100万円 !!
20W

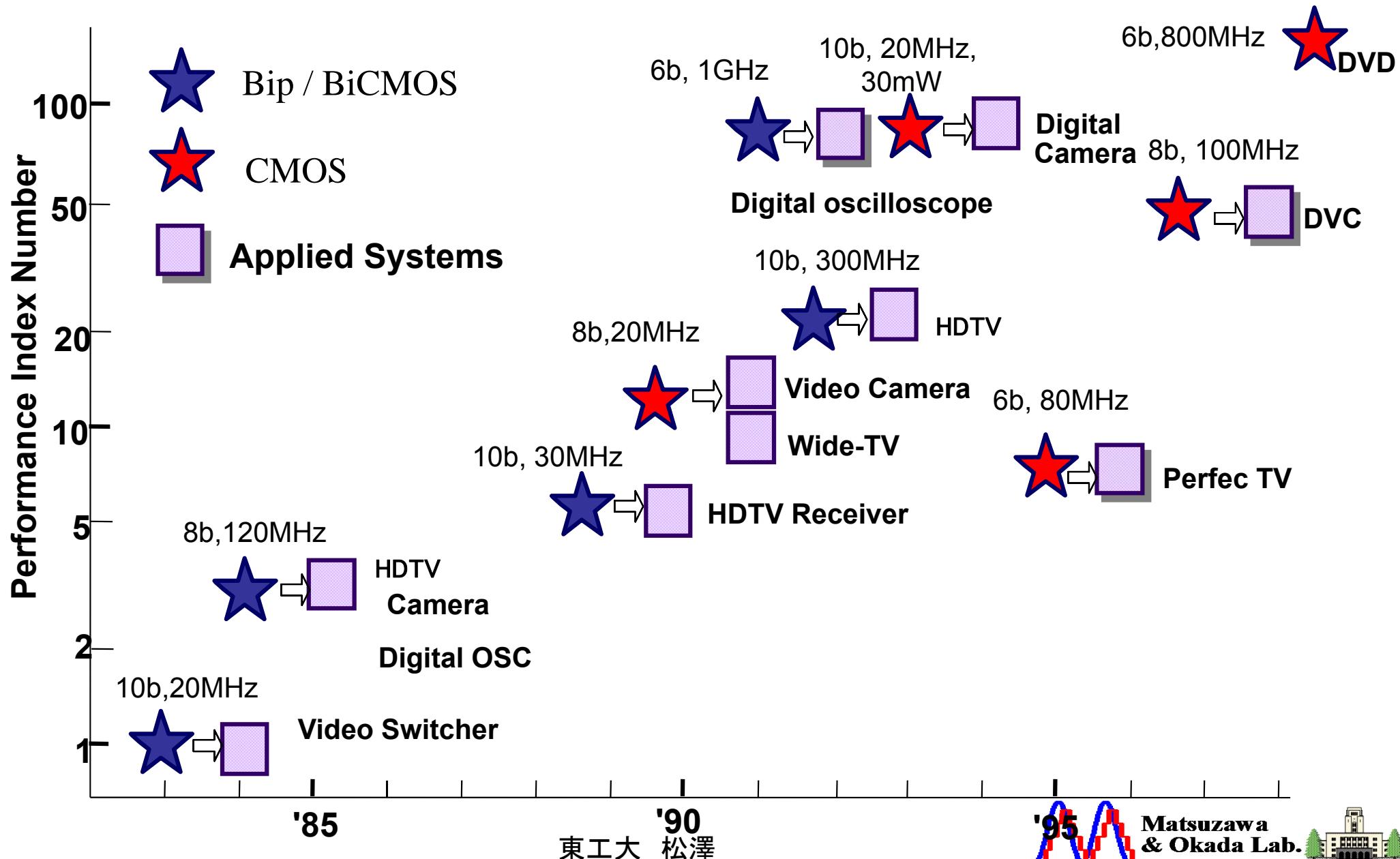
Analog Devices Inc.

ADC開発と機器開発の歴史

7

TOKYO TECH
Pursuing Excellence

以後、各種のADCを開発し、各種デジタルビデオ機器を実現してきた。



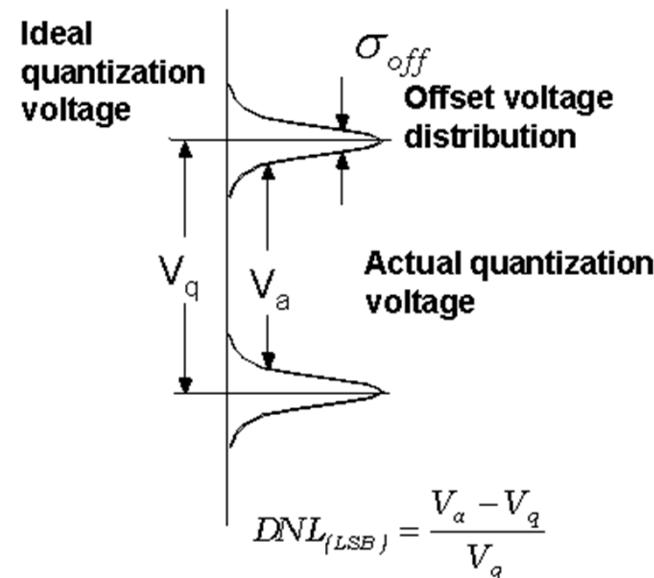
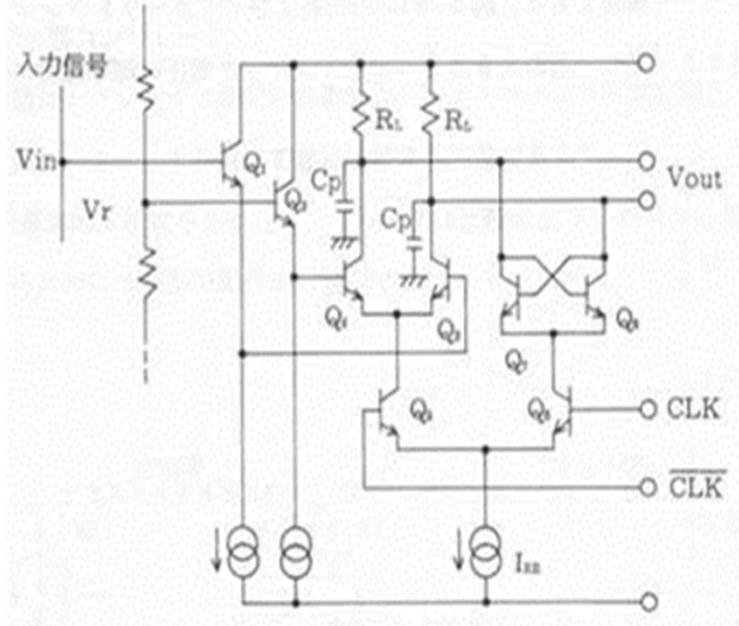
1970年代後半から1980年代の全般におけるアナログ回路に使用できるデバイスはほとんどバイポーラであり、MOSは性能が悪すぎて使用できなかった。

バイポーラは精度(ミスマッチ)は良好であったがADCに不可欠なスイッチと容量が使えなかつたためアーキテクチャは**並列型(Flash)**に限定された

並列型(フラッシュ)高速, 精度限界, 消費電力とチップサイズ大

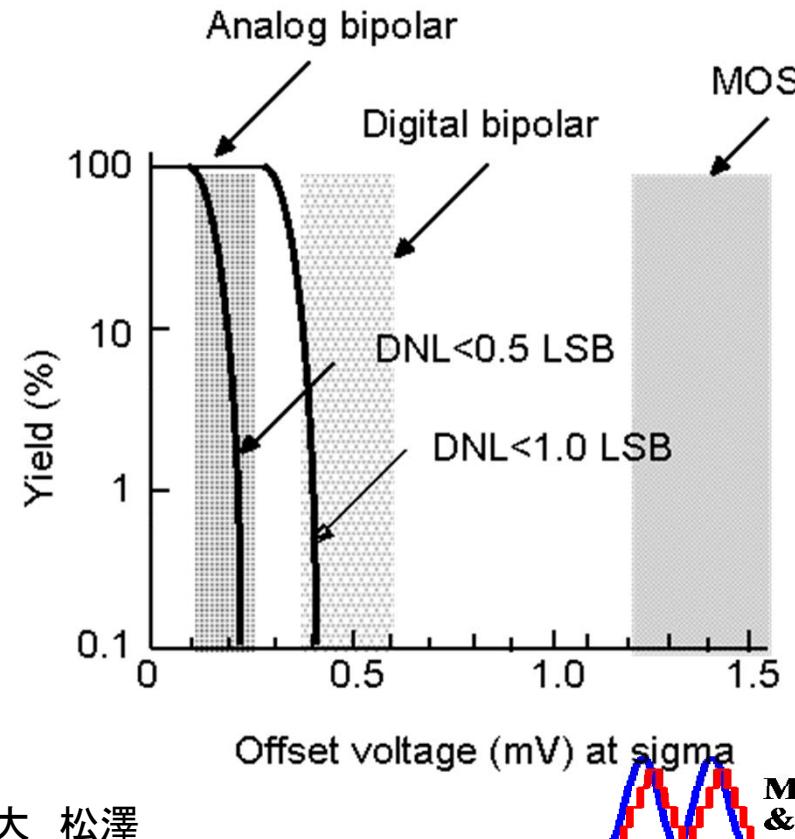
並列型ADCの精度

基本的に並列型ADCの精度を決めるのはトランジスタミスマッチ電圧である。



量子化電圧を2mVとすると、
0.2mV以下のミスマッチ電圧が必要
バイポーラTRでは可能だったが、MOSでは無理

MOSでは数mVから数10mV



日本初のビデオ用 8b ADCの開発

TOKYO TECH
Pursuing Excellence

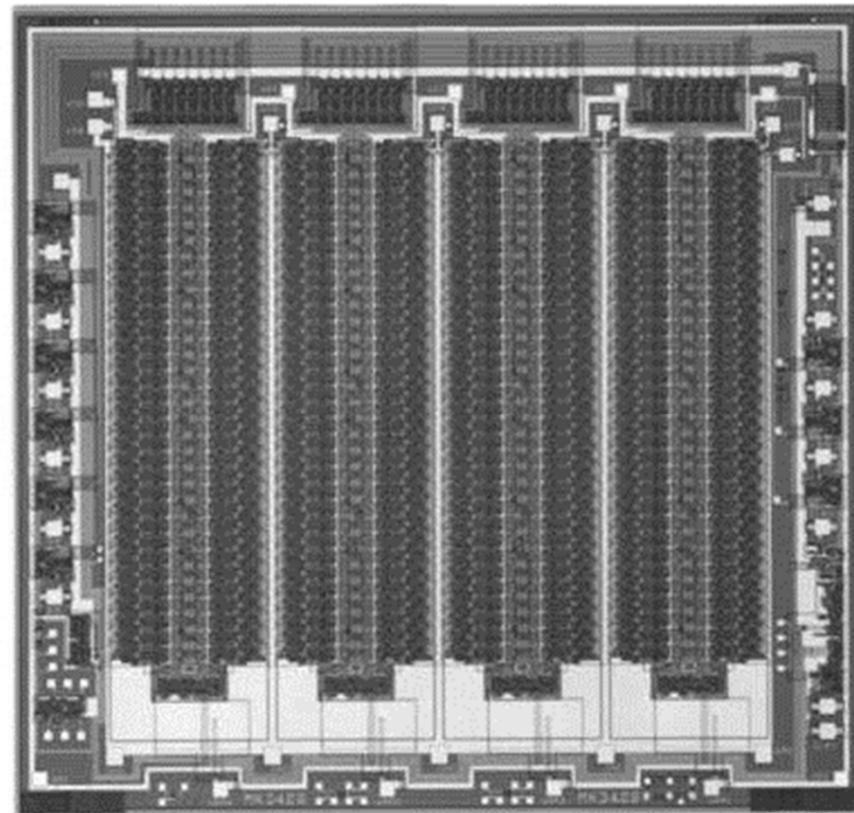
初めての仕事で国産初のビデオ用8b ADCの開発に成功

このADCは横河電機やアドバンテストの電子計測機器用として20年以上販売された。



Bipolar (3um)
8b, 30MS/s, 0.7W

1981



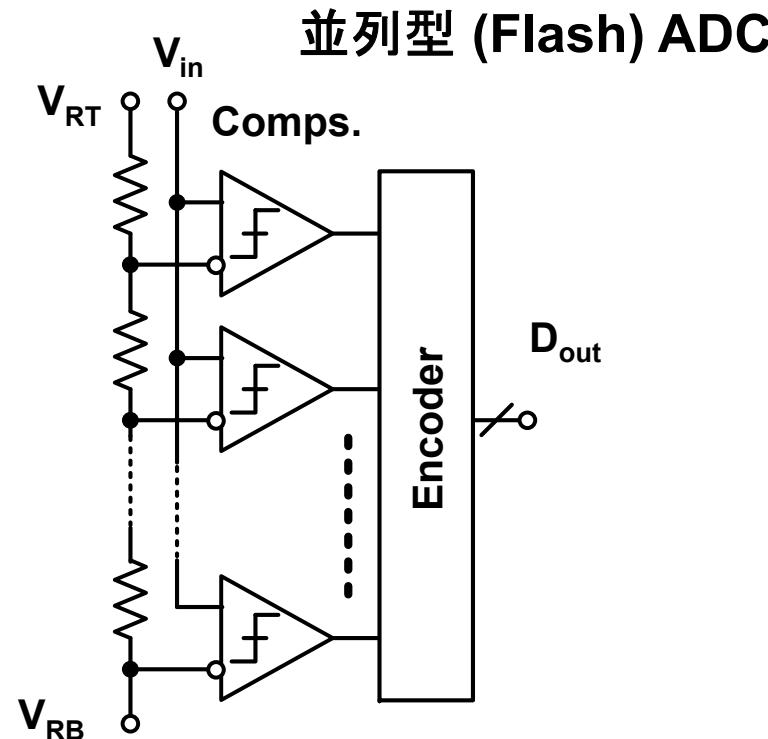
世界初のビデオ用 10b ADC ICの開発

11

1982年、バイポーラ技術を用いて高精度比較器を集積し、
世界初の集積化されたビデオ用10b ADCを実現した。

世界初のデジタルビデオスイッチャー
256QAM無線伝送
ソウル五輪のハイビジョン中継などに使用

T. Takemoto and A. Matsuzawa,
JSC, pp.1133-1138, 1982.



TOKYO TECH
Pursuing Excellence

Bipolar (3um)
10b, 20MS/s, 2W
\$ 800

世界最高のアナログICの集積度

日経エレの表紙を飾る

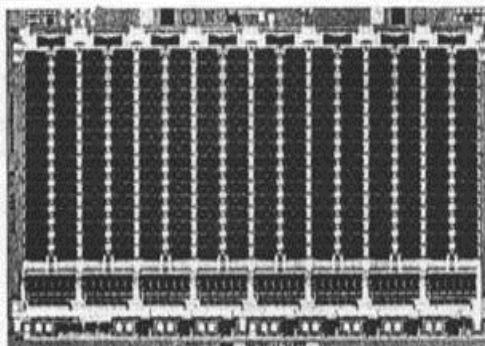


バイポーラ技術を用いた超高速 ADC

12

TOKYO TECH
Pursuing Excellence

バイポーラ技術と並列型ADC技術を用いて各種超高速ADCを開発した。



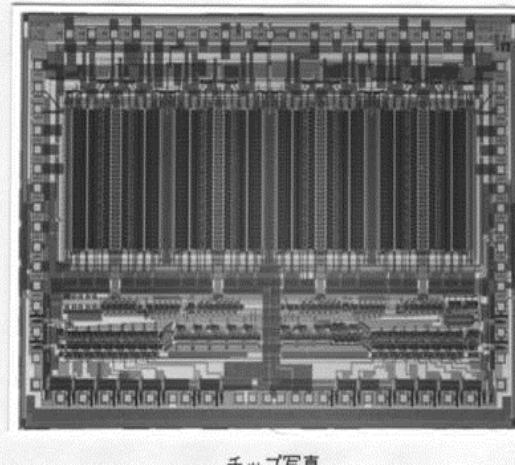
8b, 120MHz, (1984)

M. Inoue and A. Matsuzawa, ISSCC 1984

JSC. SC-19, 1984

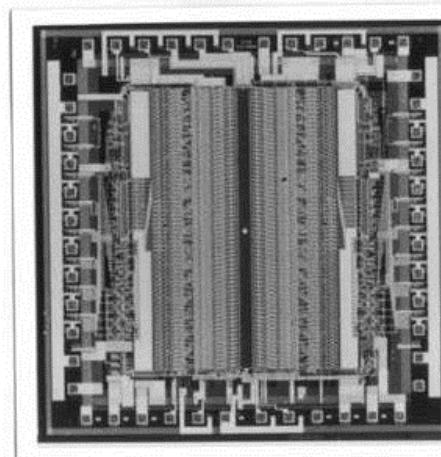
世界最速 8b ADC

HDTV カメラ とデジタルオシロスコープの実現に寄与



8b, 600MHz ADC (1991) A. Matsuzawa, VLSI symposia 1991

世界最速 8b ADC



6b, 1GHz ADC (1991)

A. Matsuzawa, ISSCC 1991

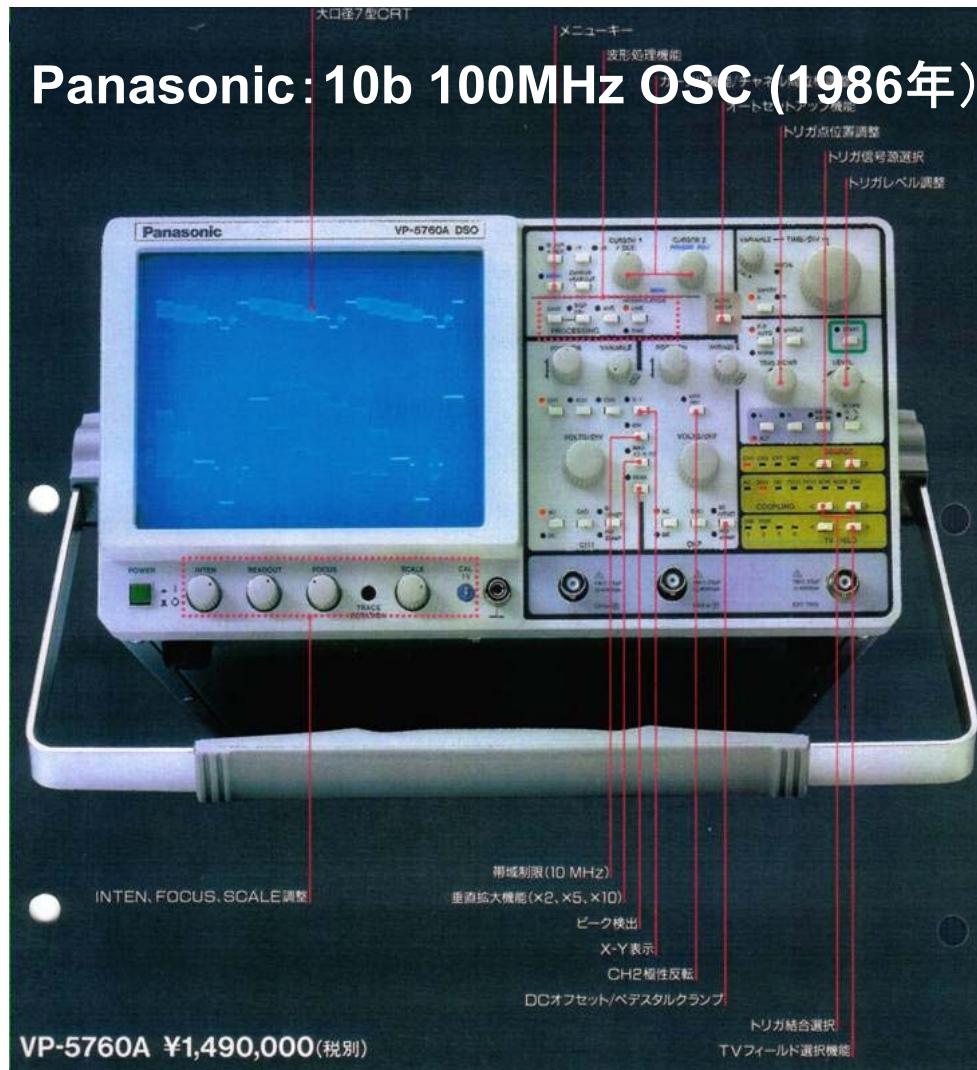
量産レベルで世界最高速
デジタルオシロスコープの実現

東工大 松澤

デジタルオシロの実現

TOKYO TECH
Pursuing Excellence

デジタルオシロスコープは超高速ADCの開発があってこそ実現できた。



Yokogawa Electric 8b 1GHz (1994)

- ▶ 1GS/s—8CH同時 / 4CH同時
- ▶ 周波数帯域 DC～500MHz
- ▶ 640×480 ドット高分解能カラー表示
- ▶ データを呼び戻せるヒストリメモリ

YOKOGAWA

高速カラーデジタルオシロスコープ
DL5140

価格: 4CH ¥2,980,000(税別)
DL5180

価格: 8CH ¥4,980,000(税別)



DL5140 (4チャネル) / DL5180 (8チャネル) は、各チャネルに1GS/sのA/D変換器を搭載し、周波数帯域もDC～500MHzの広帯域を実現しています。すべての電子回路の動作確認および誤動作チェックを確実に行うために、各種機能で対応しています。特別な設定をしなくとも常に120アクイジション分の波形データを保持しているヒストリメモリは、異常現象を捕捉したと思ったら次のアクイジションでは消えていたという状況を救います。

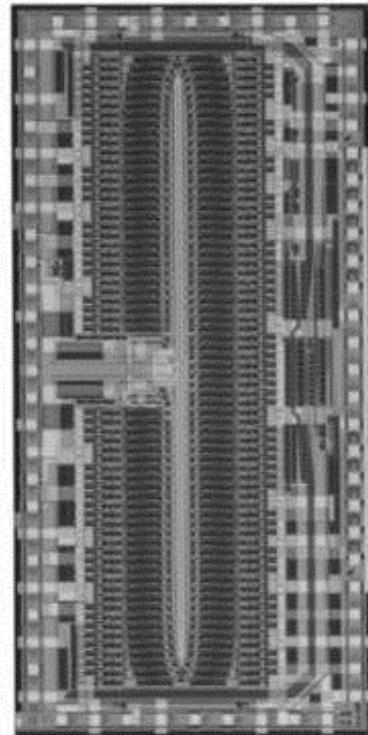


超高速10b 300MHz ADCの開発

複数の増幅器の出力間に補間抵抗を入れることで、オフセットばらつきへの要求を大幅に緩和、10ビットの世界最高速ADCを実現した

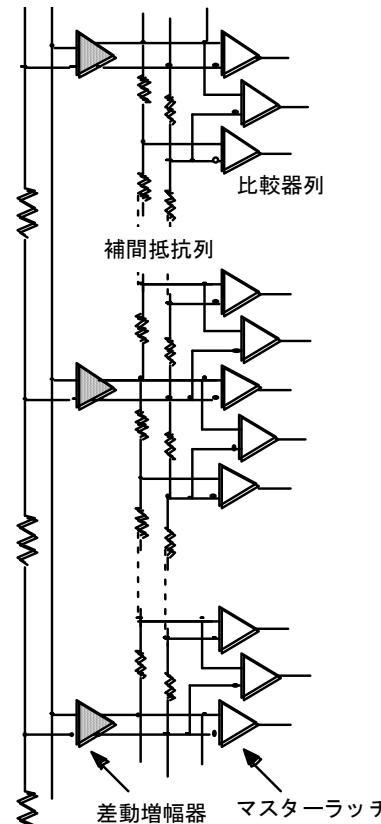
Bipolar 10b 300MHz, 4W

10bitで他の開発よりも
4倍高速、世界最高速

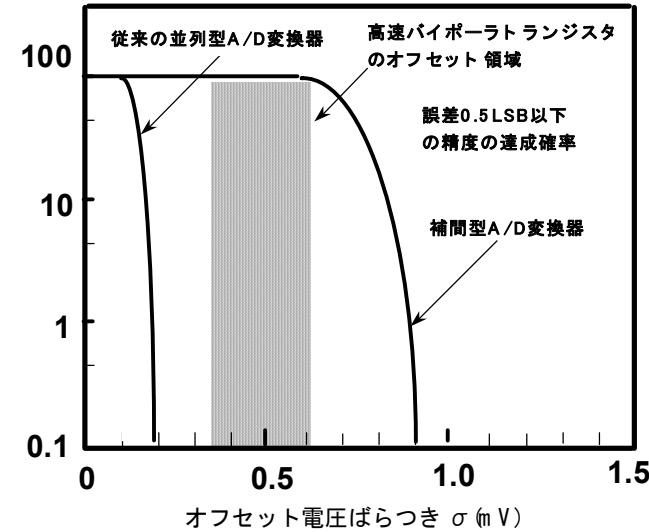


1.2um Bipolar

並列補間型ADC



1994年 R&D100賞を受賞



H. Kimura and A. Matsuzawa, VLSI Symposia '92, JSC, SC-28, 1993.

東工大 松澤

1980年代の後半からバイポーラとCMOSを集積した
バイCMOS技術が開発された。

CMOSによりサンプルホールドが使用できるようになった
ため、2回程度の変換を行う直並列型ADCアーキテクチャ
が使用でき、消費電力を下げる事ができた。
しかし、2つの変換領域のつなぎが難しかった。

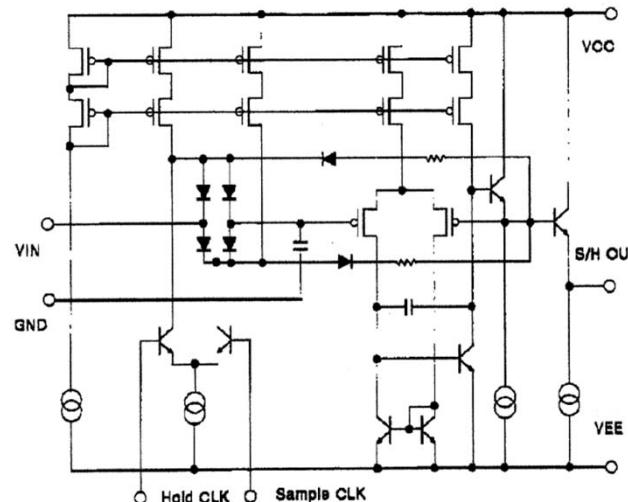
直並列型ADC

16

TOKYO TECH
Pursuing Excellence

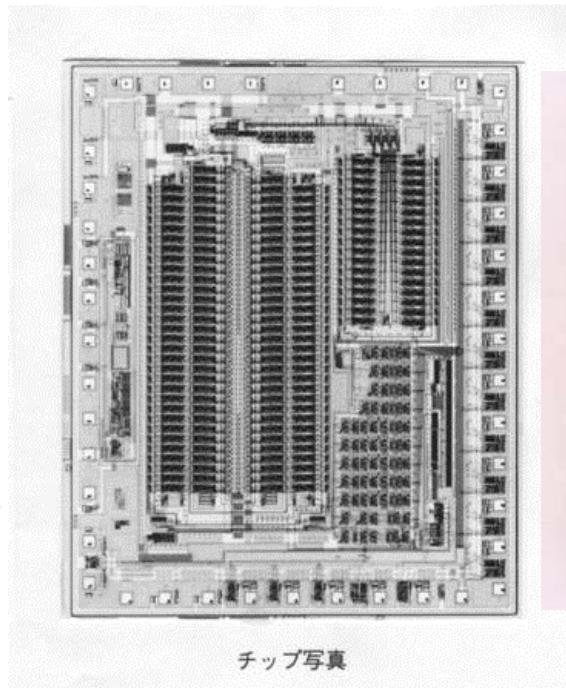
並列型ではコスト、量産性などに多くの課題があり、民生用は無理であった。
直並列型が回路規模の低減に有効であるがサンプルホールド回路を必要とし、
バイポーラ回路では良好な特性を得ることが困難であった。
そこで、当時使用可能になっていたBi-CMOSを用いて解決し、直並列型ADCを開発した。

Bi-CMOS
サンプルホールド回路



スイッチはMOSではなく
ダイオードブリッジを用いている

A. Matsuzawa ISSCC 1990.



ハイビジョン受像器用ボード
(世界初の家庭用HD受信機)



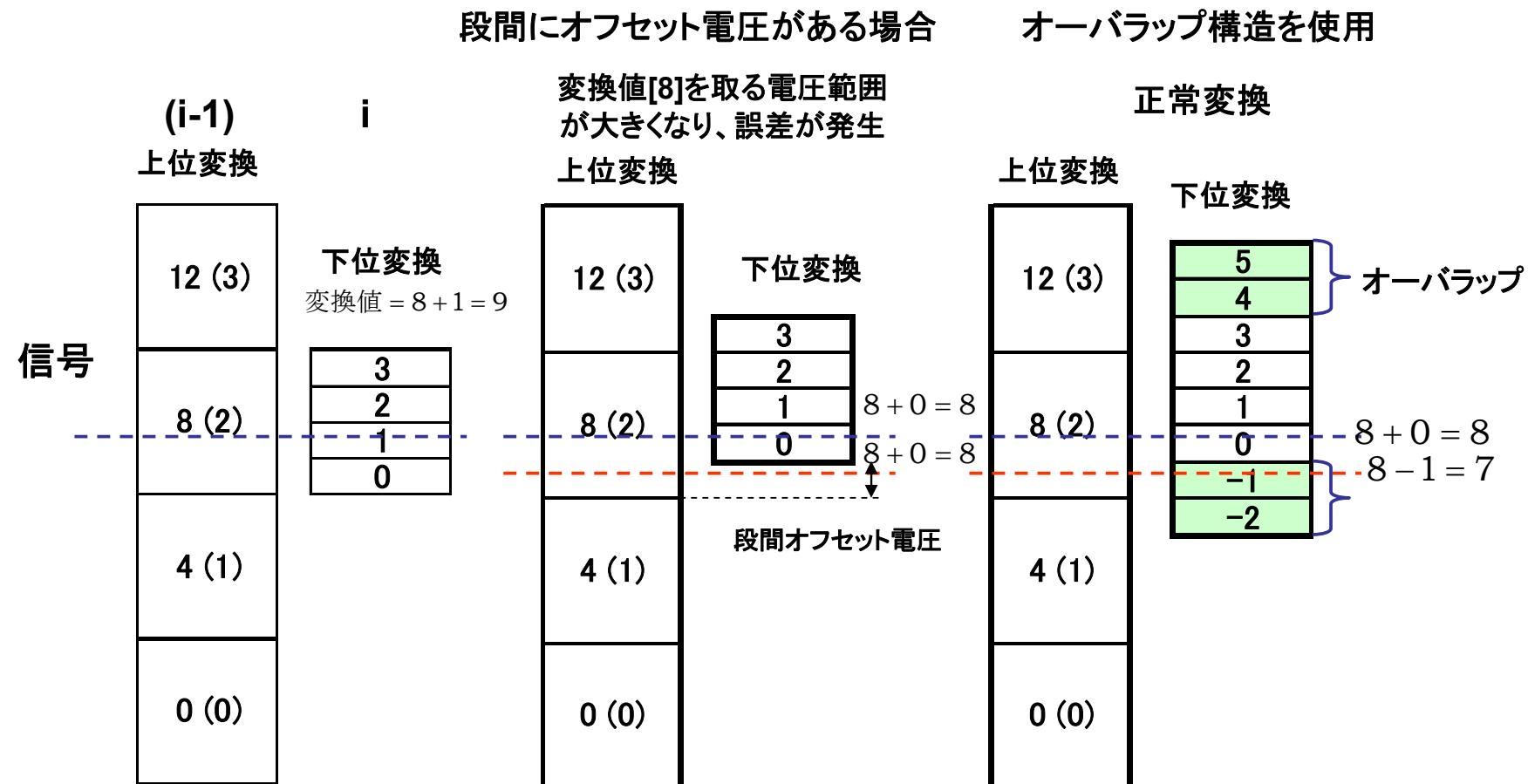
直並列型ADC

17

TOKYO TECH
Pursuing Excellence

直並列型ADCでは回路規模は削減されるが、サンプルホールド回路を必要とする。
段間オフセット電圧により変換誤差が発生するが、これはオーバラップ構造で解決できる。

$$n = 2^M + 2^{N-M} \rightarrow 2^{\left(1+\frac{N}{2}\right)} @ M = \frac{N}{2}$$



補間型A/D変換方式の発明

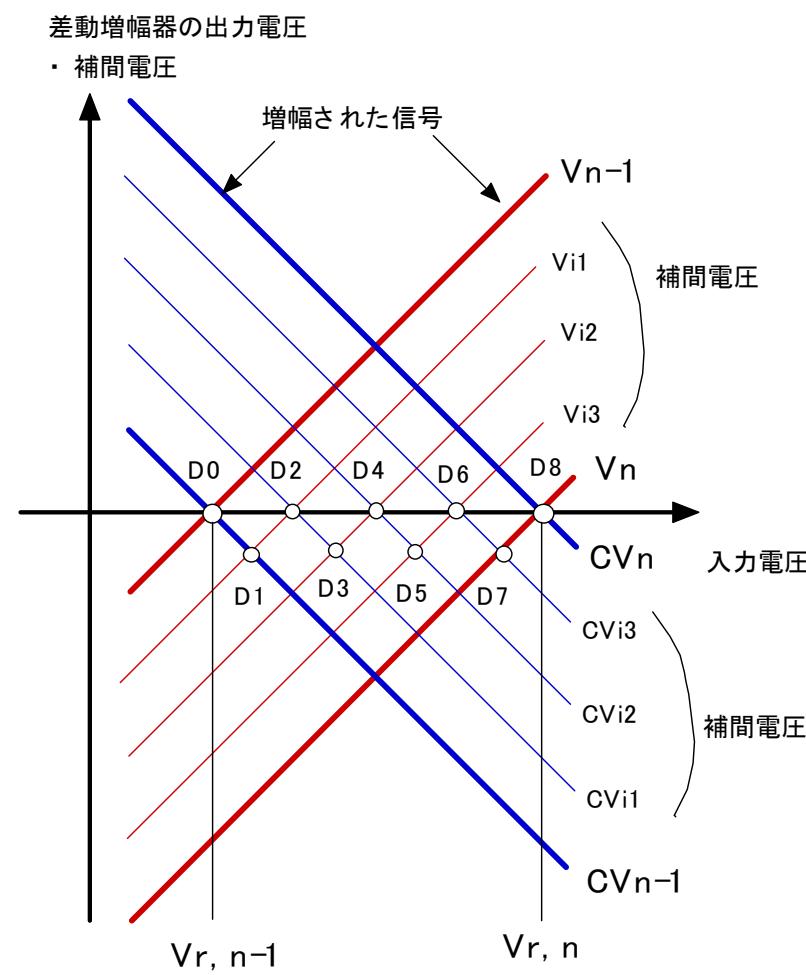
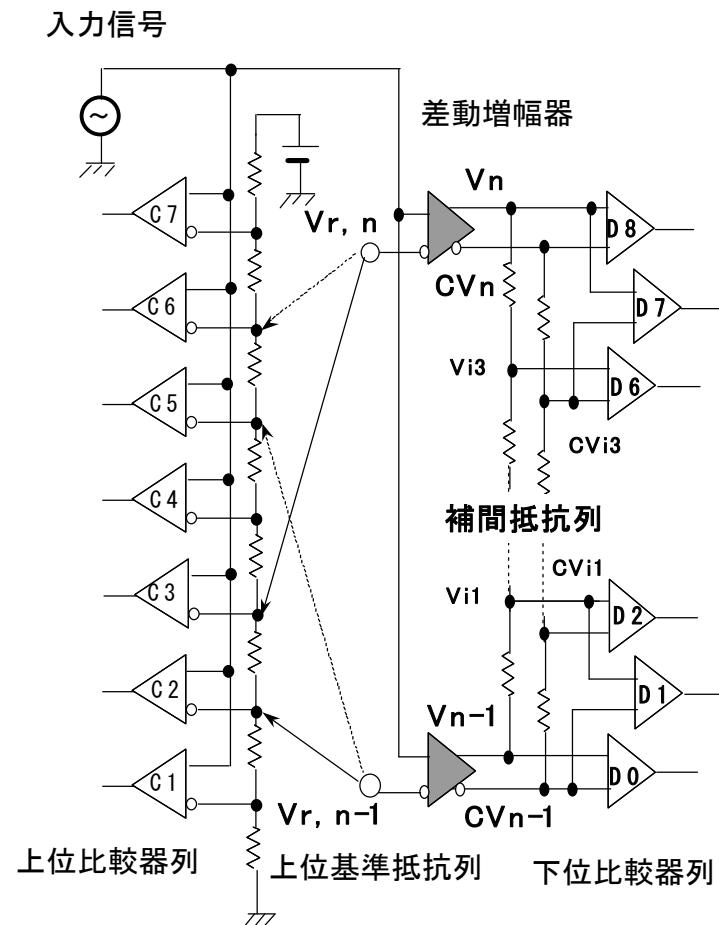
段間オフセット電圧が一定でないと変換誤差を発生するが、
補間ににより、オフセット電圧が変化しても必要な変換区間を均等分割してなめらかに変換する。

フィリップスグループが補間技術の先駆者である。

R. van der Grift, JSC, SC-22, 1987.

1994 注目発明賞受賞

補間ににより変換区間が均等分割される



補間を用いたA/D変換の効果

19

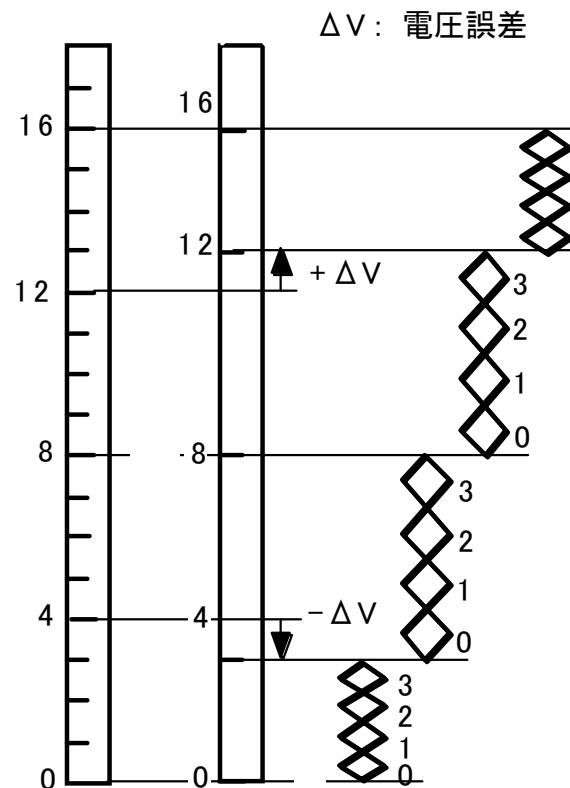
TOKYO TECH
Pursuing Excellence

初段に増幅器を用いているので比較器のオフセット電圧が下がったように見える

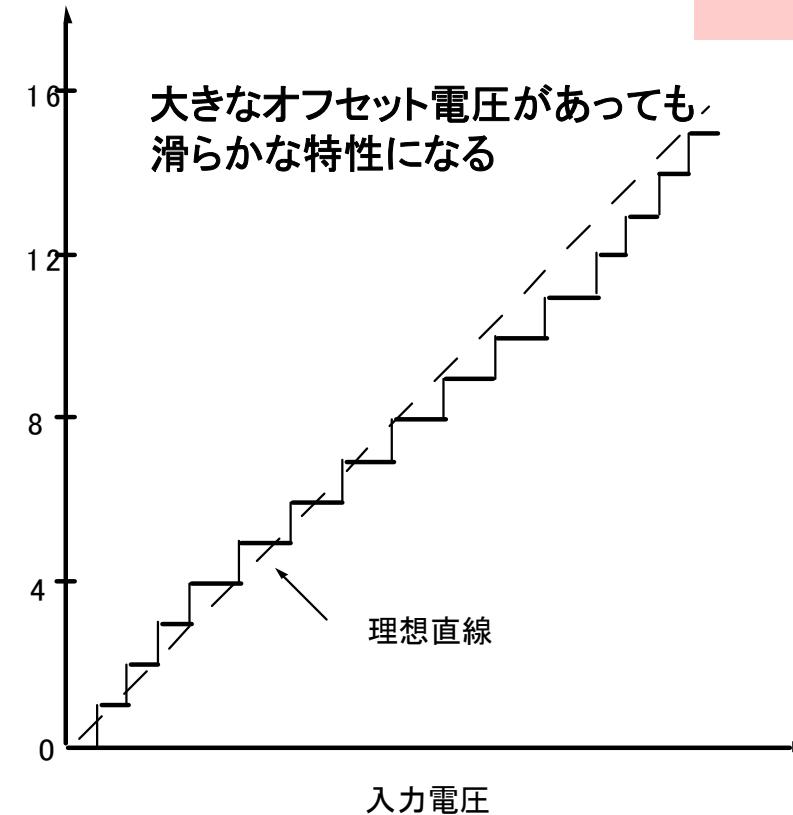
増幅器や参照電圧にオフセットばらつきがあってもDNLの少ない滑らかな変換が可能

映像用ADCでは厳密な直線性よりも変換の滑らかさが重要

$$\sigma_{off}^2 = \left(\frac{\sigma_{diff}}{m} \right)^2 + \left(\frac{\sigma_{comp}}{G} \right)^2$$



(a) A/D変換動作



(b) A/D変換特性

1990年代からはCMOSでADCができるようになり
その後は**CMOS**がADCのみならず**全ての集積回路**
に使用されるようになった。

初期のころの技術開発はいかにミスマッチを抑えるかに
集中した

CMOS 比較器

21

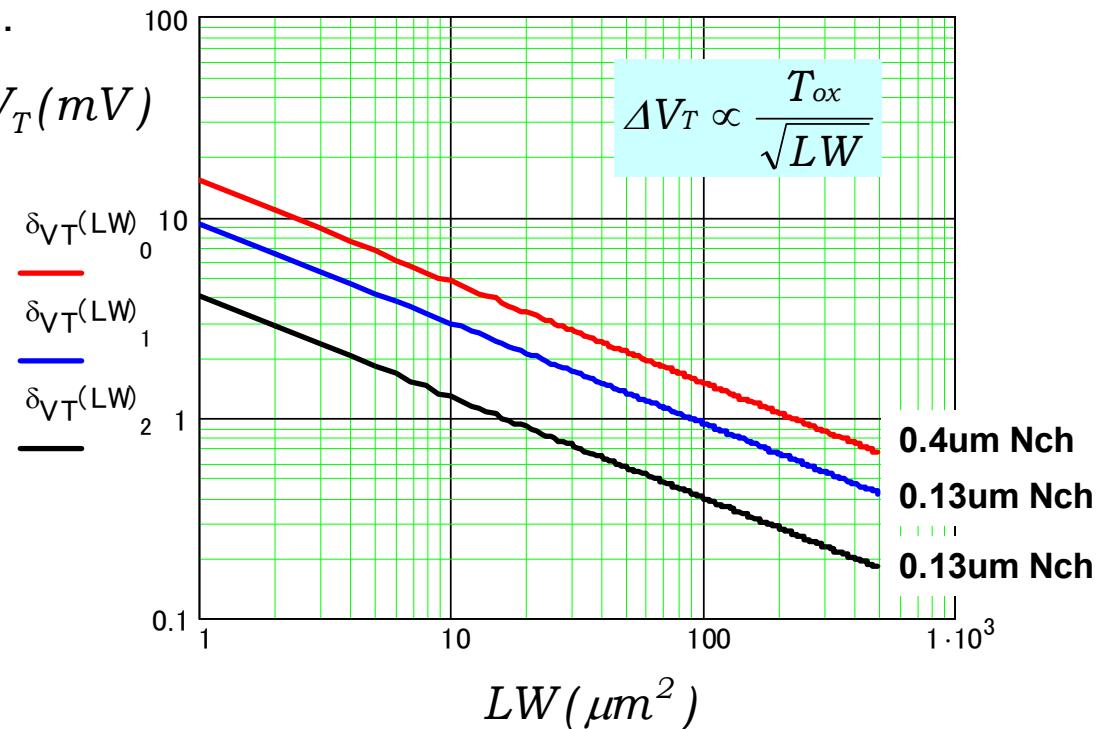
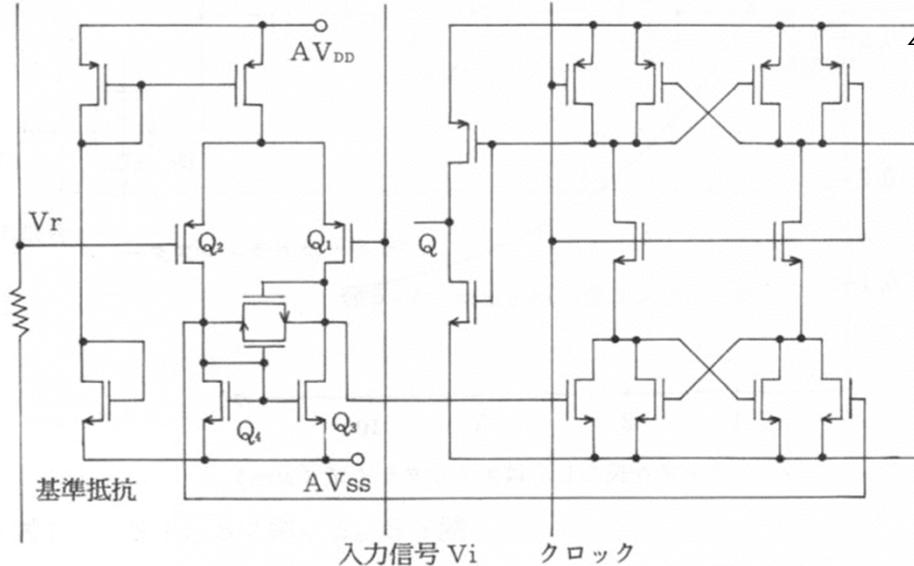
TOKYO TECH
Driving Excellence

最初のCMOS比較器はただ単にバイポーラ回路をCMOSに焼き直したものであった。MOSはバイポーラに比べ約20倍精度が悪く(2mV vs. 0.1mV)、このため7bitくらいが限界であった。

MOSトランジスタのミスマッチを低減するためにはゲート面積を大きくする必要があり精度を上げようすると、コスト、消費電力が増大し、変換周波数が低下した。

MOSトランジスタのゲート面積とミスマッチ

Yukawa, et al., JSC, 1986.



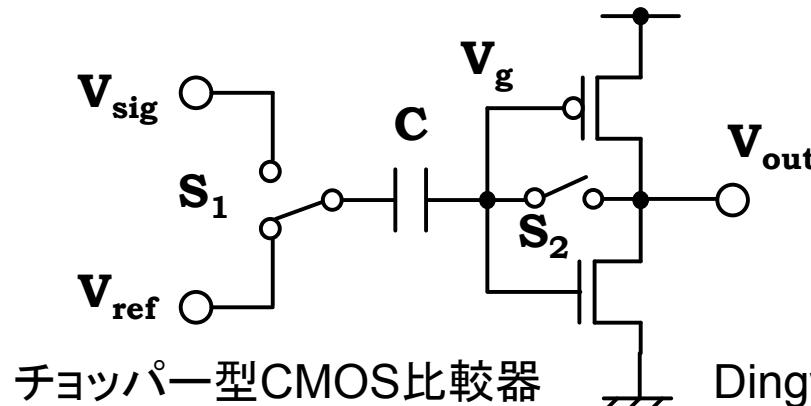
チョッパー型CMOS比較器

22

TOKYO TECH
Creating Excellence

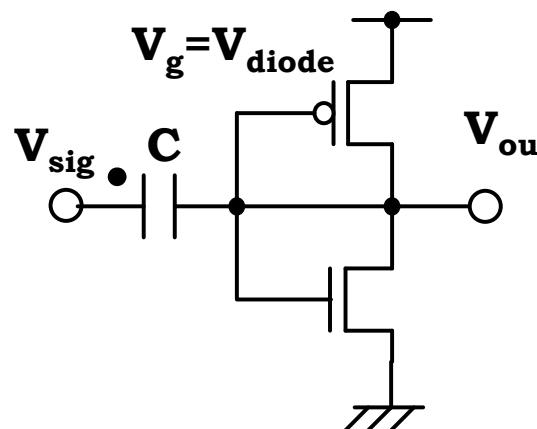
CMOS ADCが高精度かつローパワーになったのはこのチョッパー型比較器の開発による。インバータ、容量、スイッチという最も単純な回路を組み合わせることで、比較・増幅・オフセット電圧補償、ラッチ動作を実現した。

ダイオード電圧は V_T 変動などにより変動するが、容量Cによりキャンセル可能



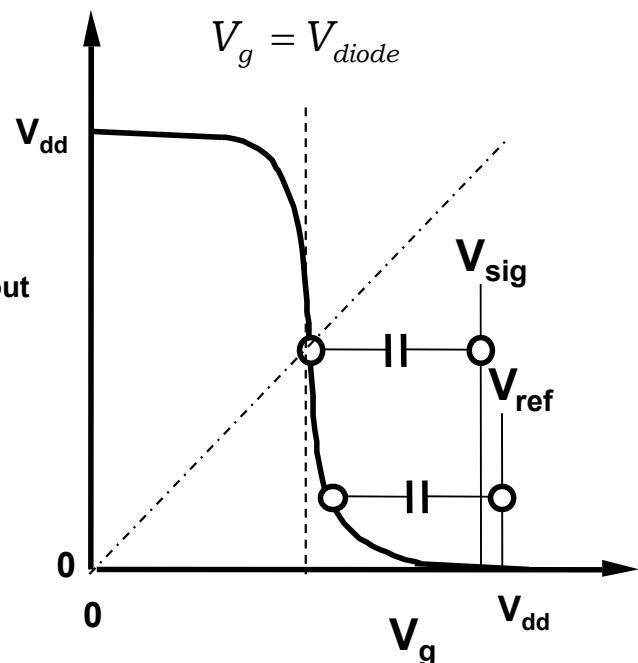
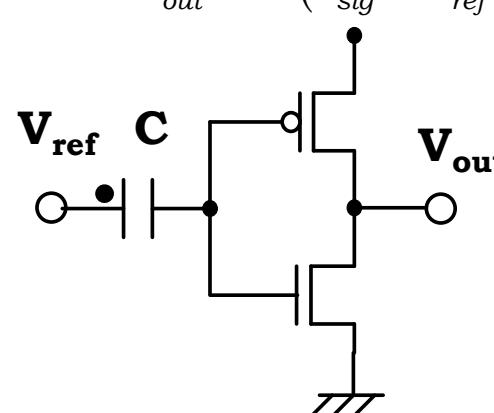
微細化・低電圧化に対応し、今日でも有効な回路

従って、微細なトランジスタを用いても高精度、低電力変換が可能になった。また、S/H機能が簡単に実現できるようになった。



Dingwall, RCA, 1979

$$V_{out} = G(V_{sig} - V_{ref}) + V_{diode}$$



CMOSによる直並列型ADCの実現

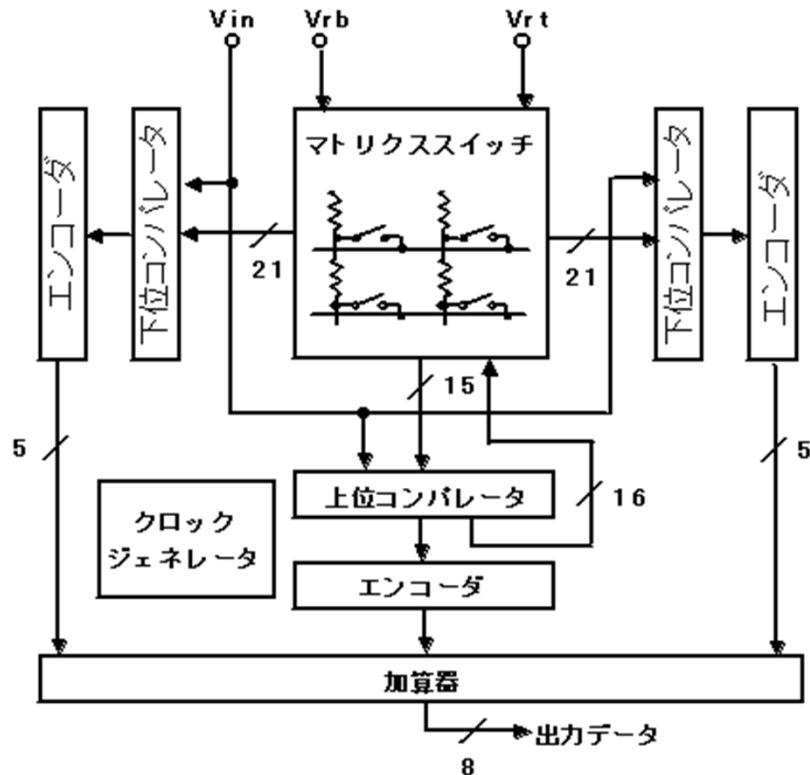
23

TOKYO TECH
Pursuing Excellence

CMOSによる直並列型ADCを実現するには

1. 高精度比較器 $V_{off} < 1\text{mV}$ (通常のMOS V_T ミスマッチは20mV程度)
2. S/H機能の実現
3. 低電力化

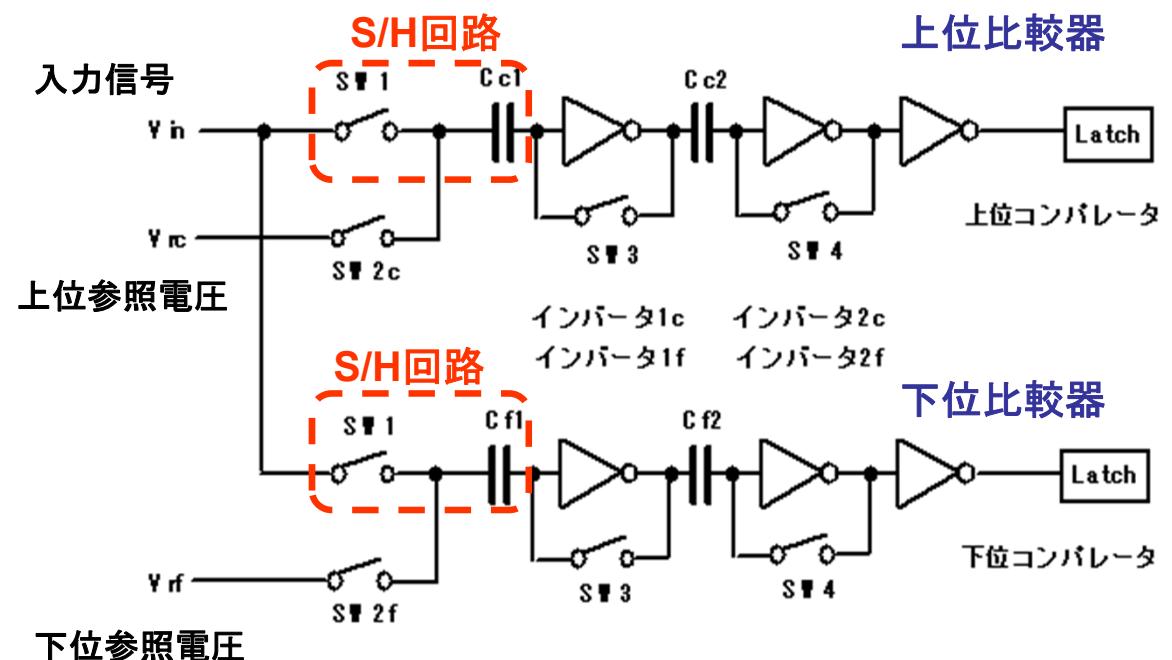
N. Fukushima, ISSCC 1989



8bit ADC

CMOSチョッパー型比較器

S/H機能とオフセット補償を同時に実現



超低電力 CMOS 10b ADCの開発

24

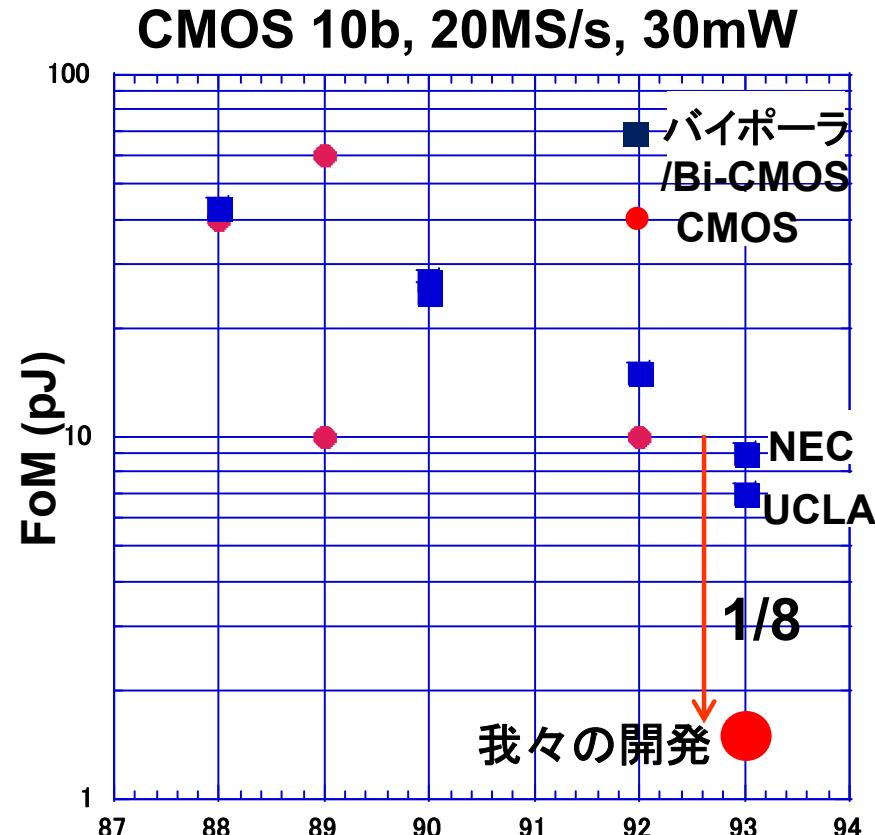
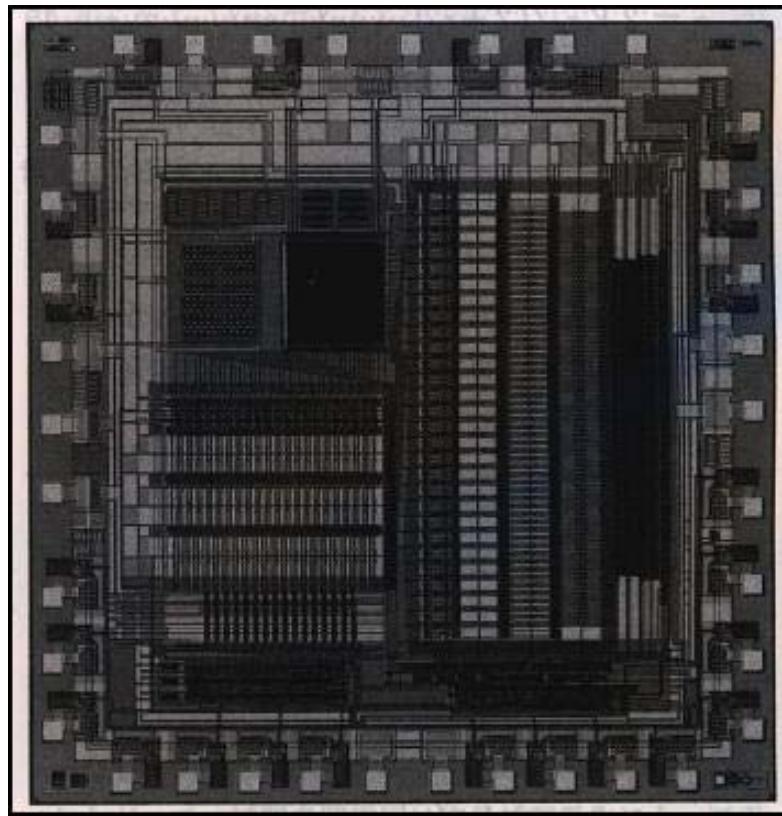
携帯用ビデオ機器に使用できる低電力、低成本ADCの開発



他のADCに比べ**1/8の低消費エネルギー**。これ以後、**ADCのCMOS化が加速**
ADCの**FoM**はこの開発の意義を示すために考案されたと言われている

K. Kusumoto and A. Matsuzawa
ISSCC '93, JSC 1993.

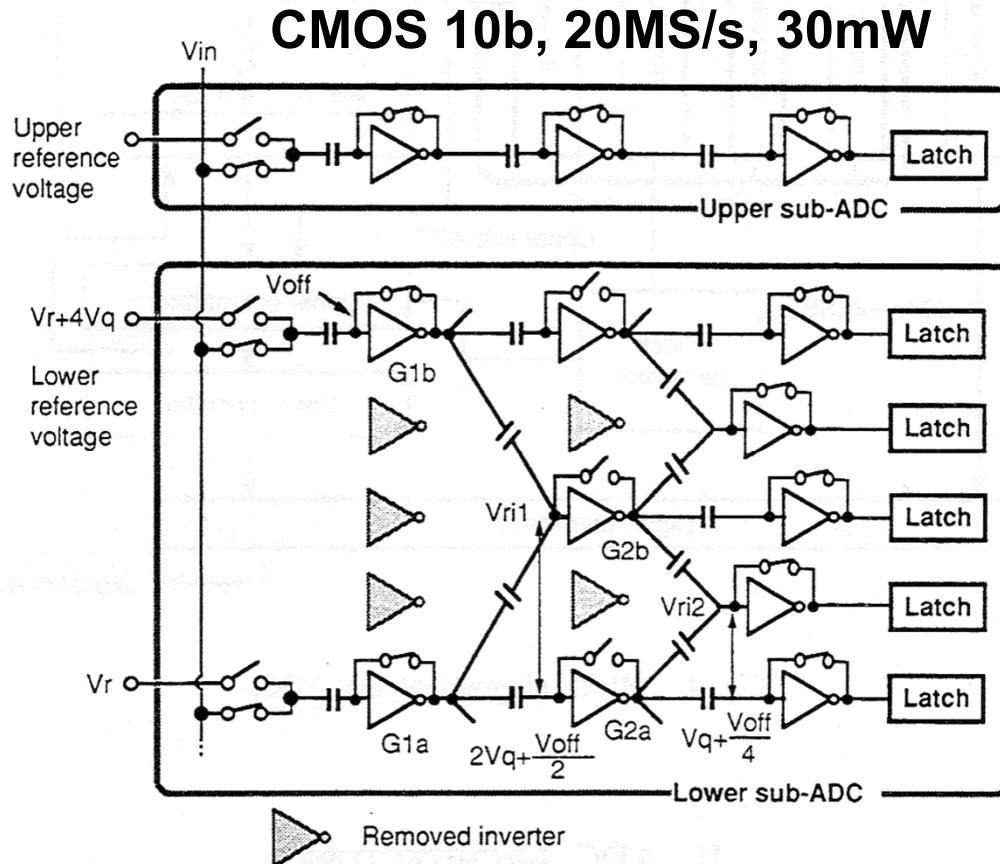
それまではCMOSは低エネルギーではなかった



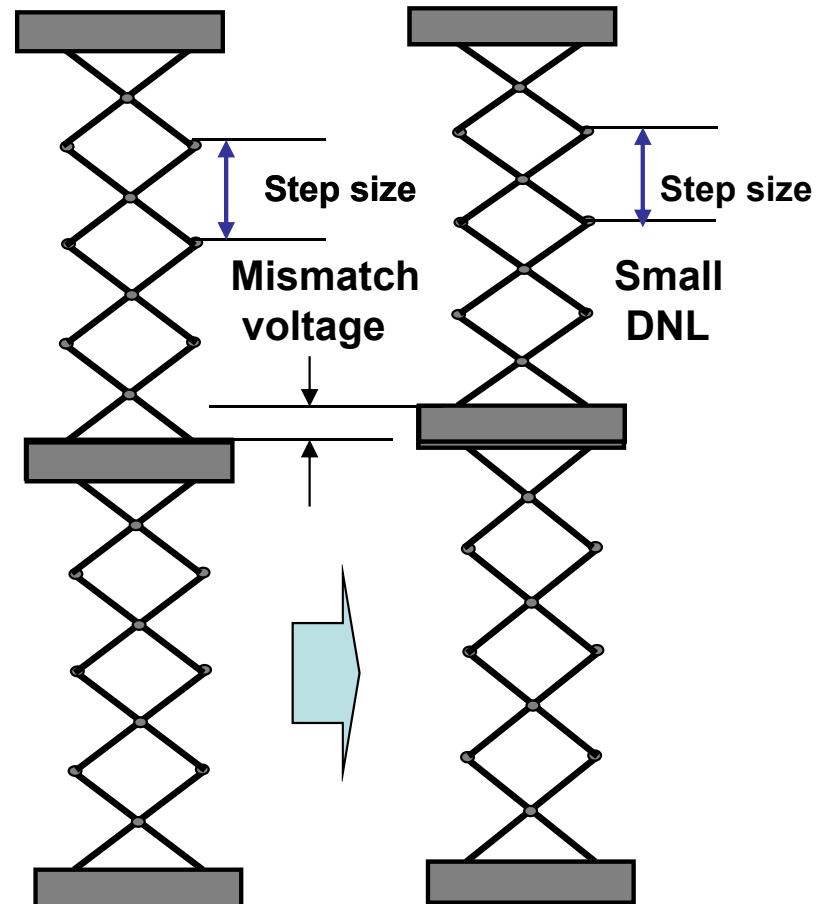
容量補間技術の発明

しかしながら、チョッパー比較器を用いたADCの精度は8bit程度であり、貫通電流が流れるので、低電力化に限度があった。

そこで、容量を用いて補間を行うことで、高精度化と画期的な低電力化を同時に達成した。



K. Kusumoto and A. Matsuzawa
JSC, pp. 1200-1206, 1993.



初期のアナログ・デジタル混載LSI

26

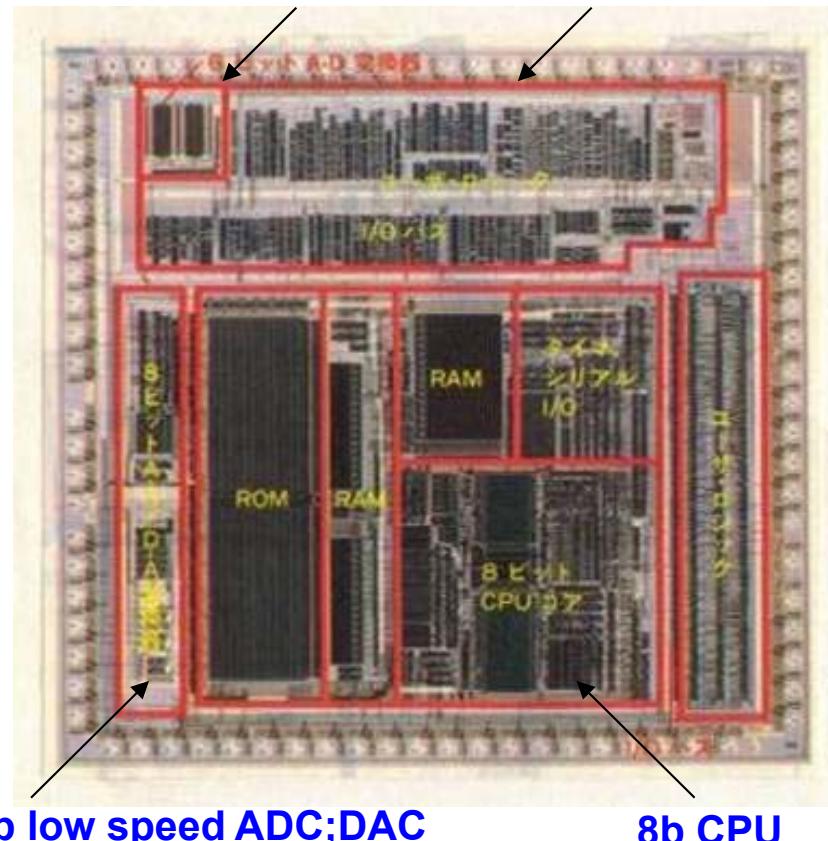
TOKYO TECH
Pursuing Excellence

低電力 CMOS ADCの開発に成功したことで、デジタルフィルターや、マイコンなどのデジタル回路との混載が可能となり、ポータブルAV機器の小型化低コスト化に大きく貢献した。

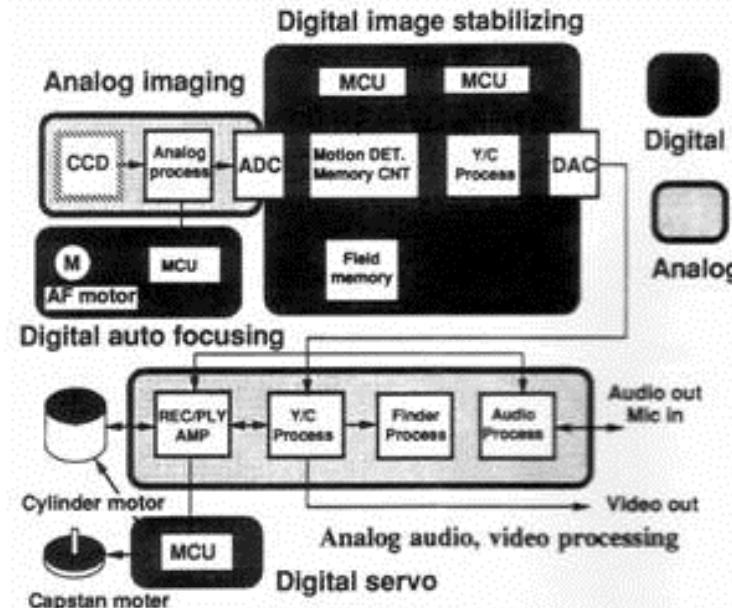
この論文がローパワー技術のトリガーになった

A. Matsuzawa, "Low-Voltage and Low-Power Circuit Design for mixed Analog/Digital Systems in Portable Equipment," IEEE Journal of Solid-State Circuits, Vol.29, No.4, pp.470-480, 1994.

6b Video ADC Digital Video filter

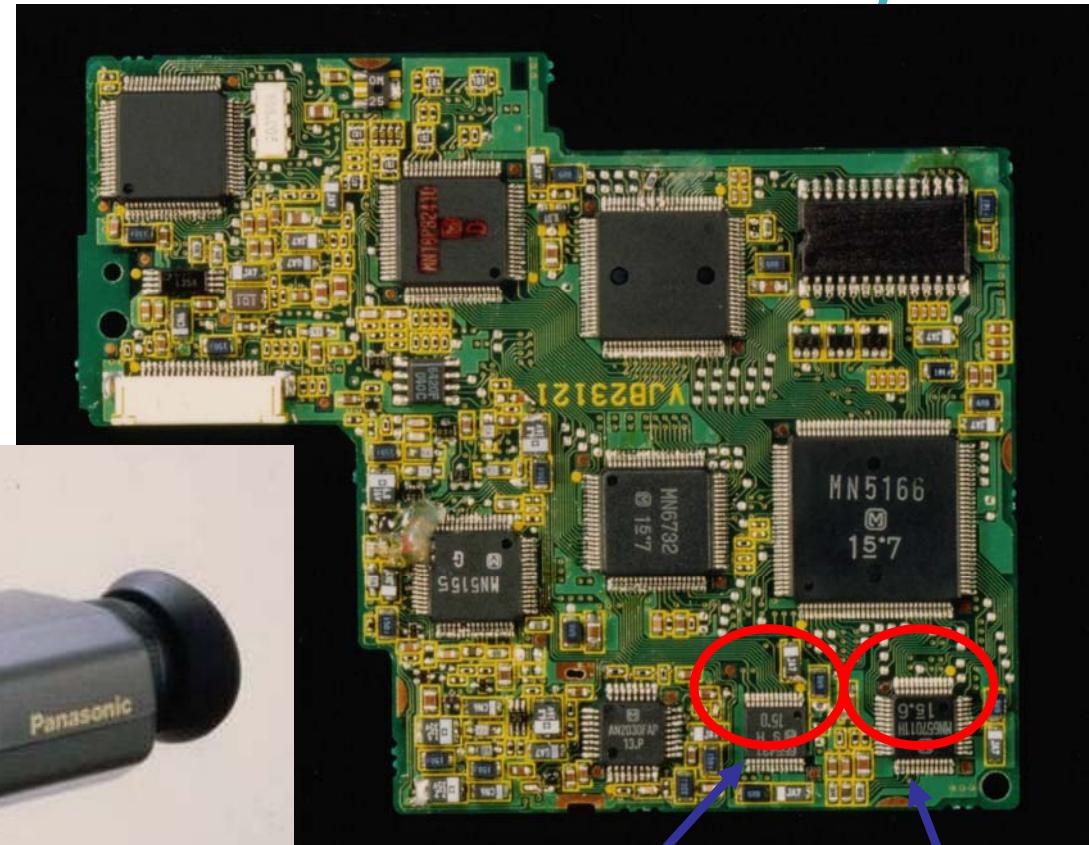


System block diagram



Digital handy VCR needs
CMOS ADCs and DACs

1991



CMOS 8b ADC

CMOS 8b 3ch DAC

パイプライン型ADC

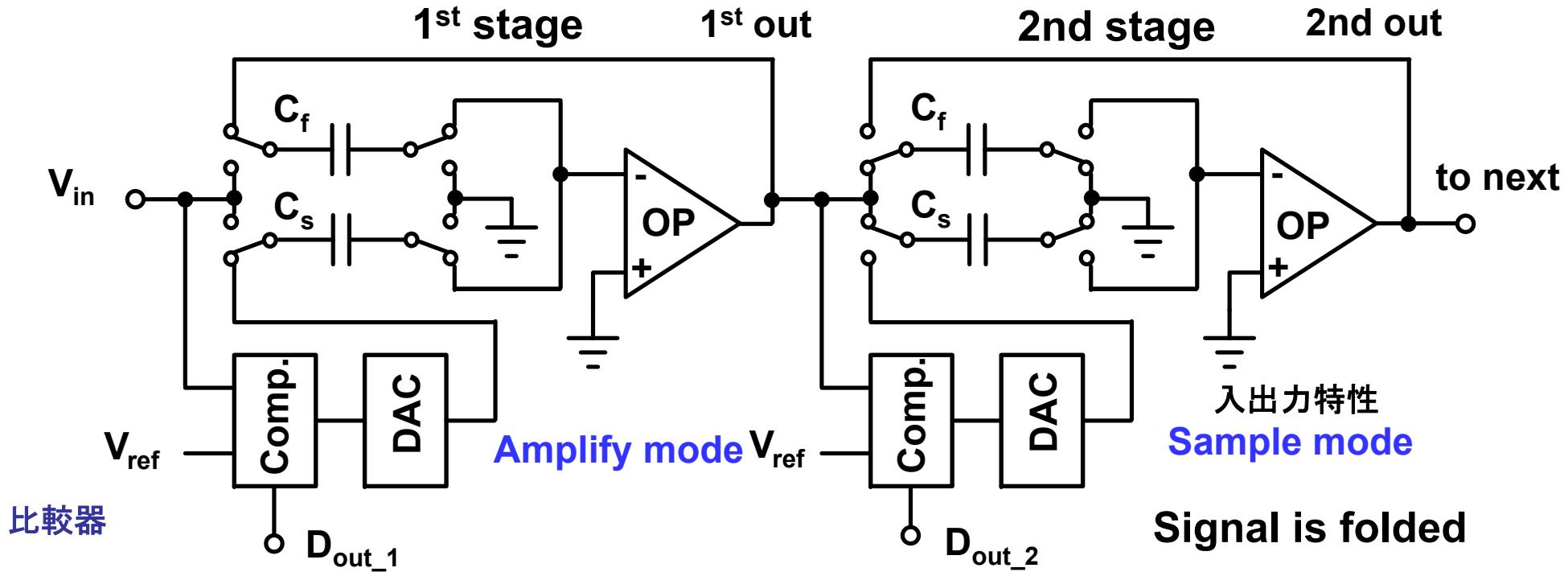
90年代から主流になったADCがパイプライン型ADCである。直並列型ADCは低電力であるが、高精度化が困難である。**パイプライン型ADC**は14ビット程度の**高精度化を図ることができる**。当初、比較期のオフセットへの要求が厳しかったので使用されなかつたが、極めて**大きなオフセットでも構わない****1.5bit冗長技術**が開発されてから、大きく発展した。**微細化**によりCMOS増幅器やスイッチの性能がぐんぐん向上し、**ADC性能も急速に進歩した**。

パイプライン型ADC

29

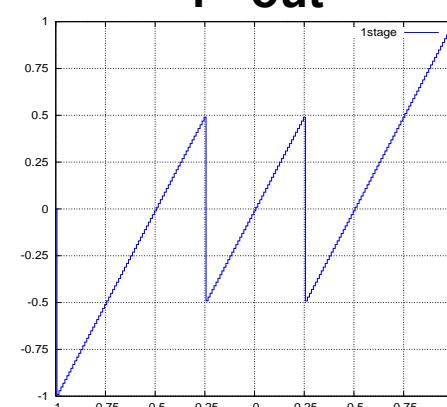
TOKYO TECH
Pursuing Excellence

パイプライン型ADCは折返し入出力特性を有しパイプライン動作でA/D変換を行う。

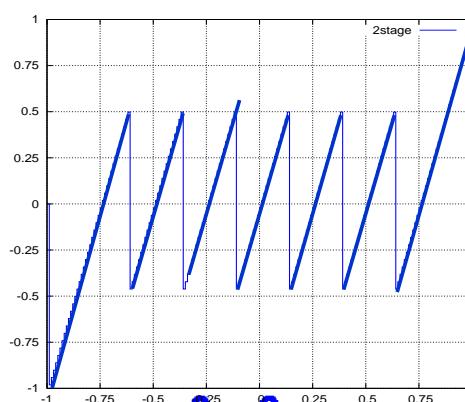


$$V_{out} = 2 \left(V_{in} - \left\{ +\frac{V_{ref}}{2}, 0, -\frac{V_{ref}}{2} \right\} \right)$$

V_{DAC} (+V_{ref}, 0, -V_{ref})



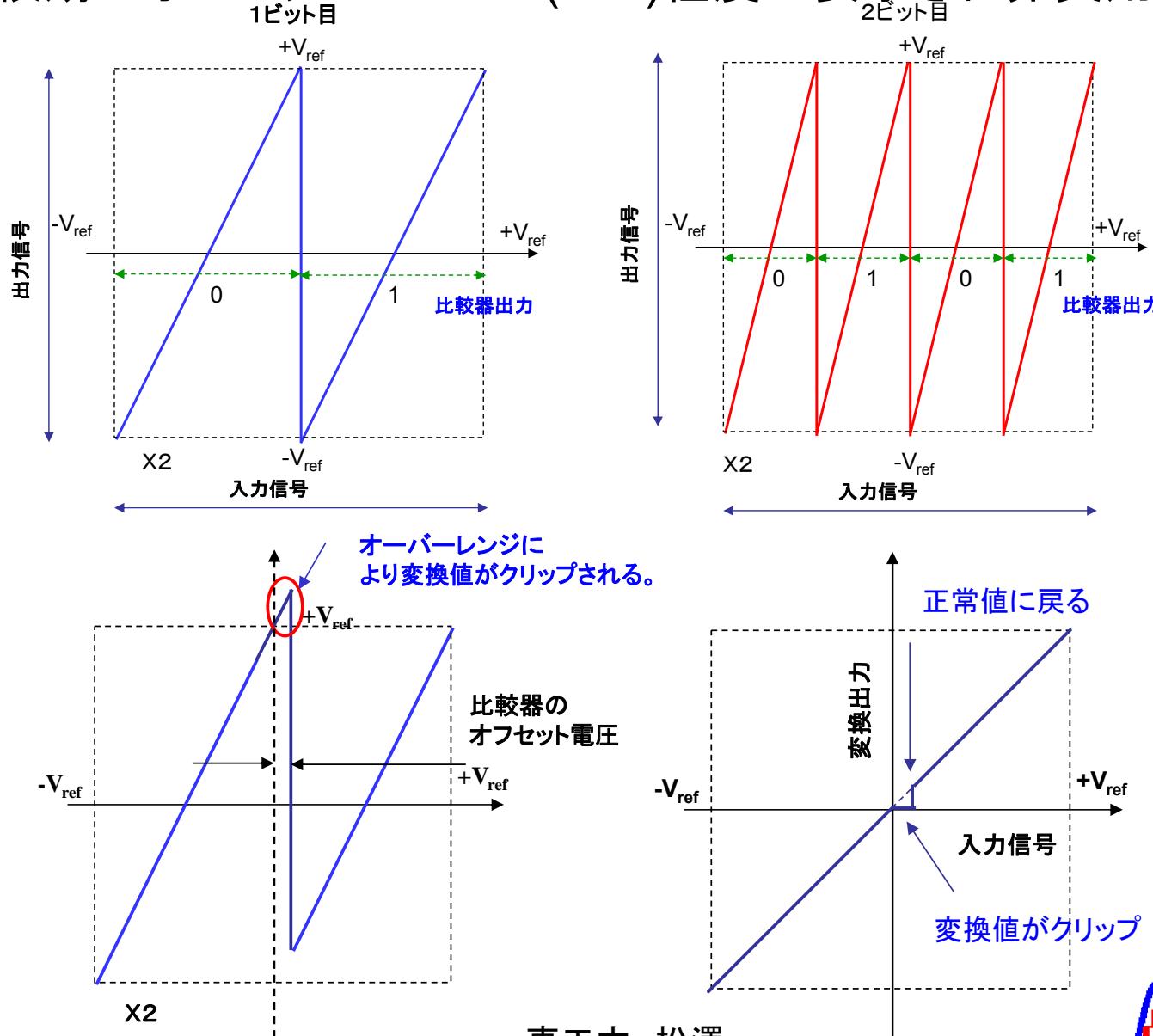
東工大 松澤



1bit パイプラインADCの動作と課題

30

信号を折れ返して転送することにより1ビットずつ変換を行う
比較期のオフセットは0.1mV(12b)程度が要求され非実用的だった



1.5ビット冗長構成の発明

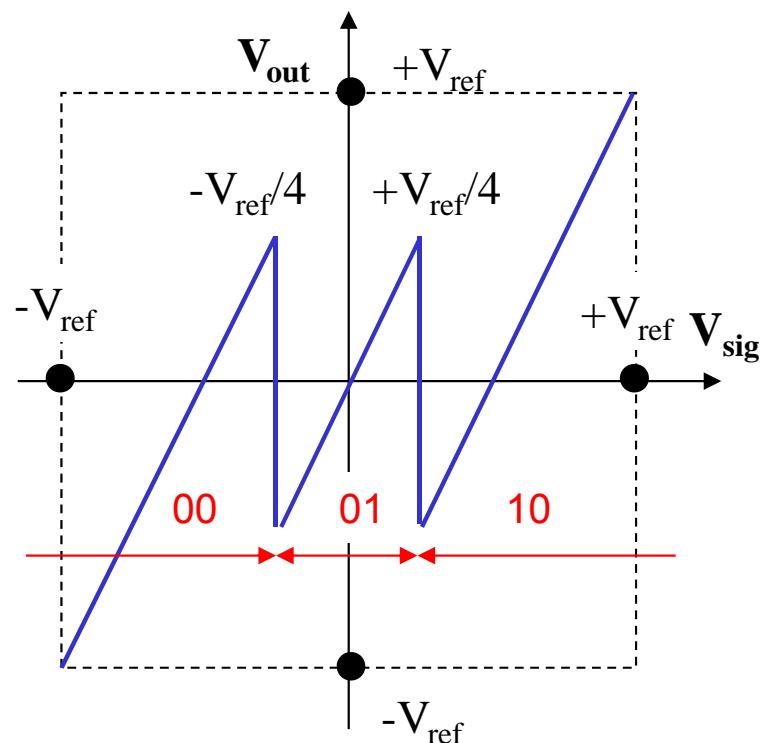
31

TOKYO TECH
Pursuing Excellence

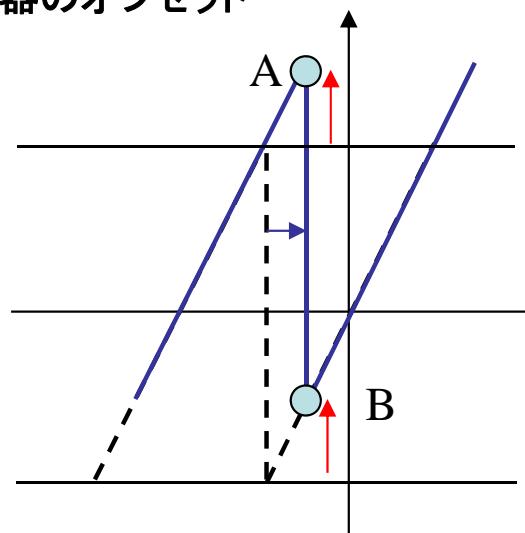
冗長構成により比較器と増幅器のオフセット電圧は変換特性に影響を与えない。
以後、この構成が主流となり、高速ADCはパイプライン型が主流となる。

1.5ビット冗長構成の変換特性

変換範囲の充分内側で折れ返す特性



比較器のオフセット



Lewis et al., JSSC '92

Ginetti et al., JSSC '92

比較器のオフセットで
切り替わり点はずれる

利得が正確な場合
A点とB点は値として
つながる

比較器のオフセットは
補正可能
OPアンプも同様

A点: MSB変換値は0 だが、大きなアナログ出力

B点: アナログ出力は小さいが、MSB変換値は1である。

A点でのA/D変換値とB点でのA/D変換値は同じ

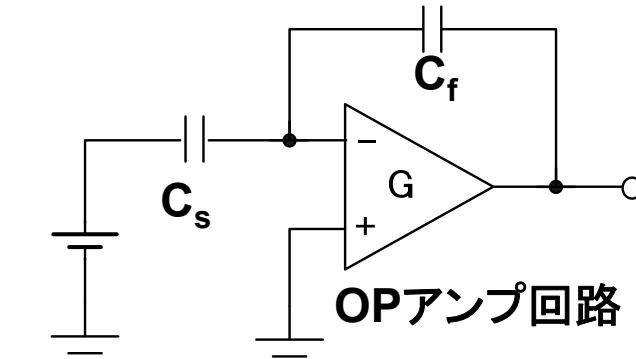
パイプライン型ADCの精度と速度

32

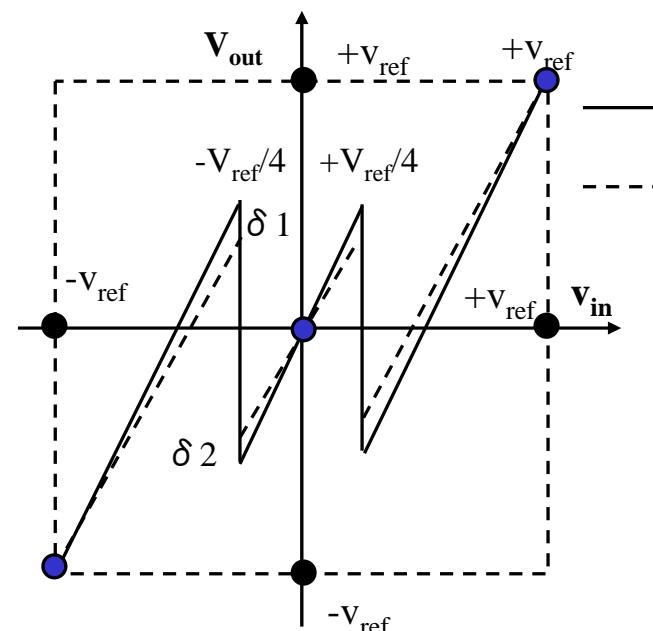
TOKYO TECH
Pursuing Excellence

パイプライン型ADCの性能はOPアンプ周りの性能で決定される。

CMOSの微細化により急激に性能が向上、しかし、低電圧化に伴いOPアンプ性能が劣化
最近は以前ほどは使用されなくなった。



容量ミスマッチがあるときの入出力特性



1. 精度

1) OPアンプ利得

$$G(dB) > 6N + 10$$

70dB: 10b

94dB: 14b

2) 容量ミスマッチ

$$\frac{\Delta C}{C} < \frac{1}{2^N} \quad \frac{\Delta C}{C} \propto \frac{1}{\sqrt{C}}$$

0.1%: 10b

0.006%: 14b

3) 热雑音

$$v_{nt}^2 = 6 \frac{kT}{C_o} < \frac{V_{ref}^2}{3 \cdot 2^{2N}} \quad C_o > \frac{18 \cdot 2^{2N} \cdot kT}{V_{ref}^2}$$

GBW_{open}

$$GBW_{open} > Nf_c$$

1GHz: 10b, 100MS/s

10GHz: 10b: 1GS/s

2. 速度



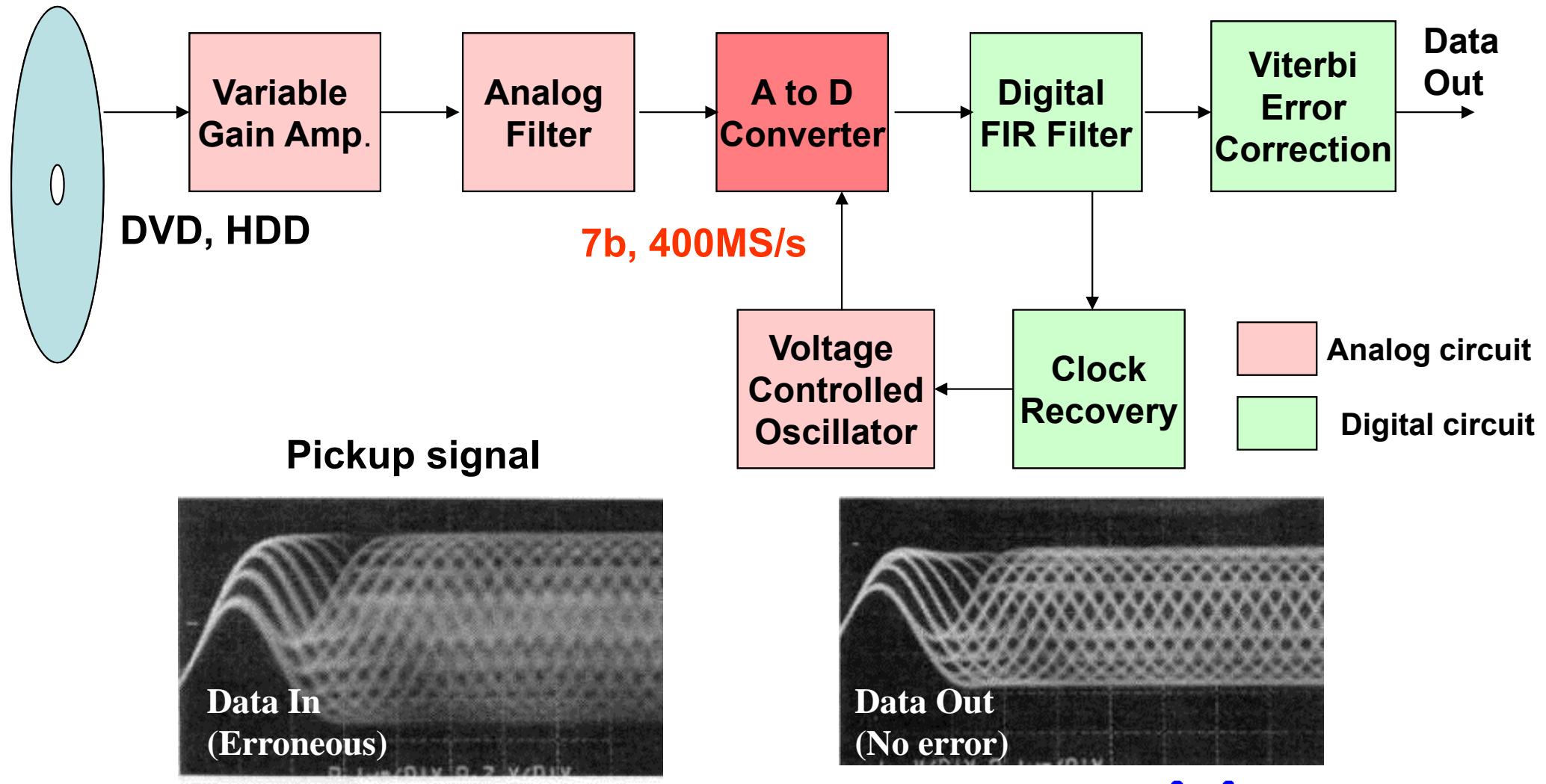
CMOS超高速ADCの開発

DVDの記録信号を誤りなく読み出すために
7bit 400MHz程度の**超高速CMOSADC**の開発
が必要となった。

従来はバイポーラ技術が必要であったが,
CMOS化にチャレンジした。高速化だけでなく
低電力化, 高精度化が同時に必要であった。

DVDレコーダーはSNRが低く、誤り率が高い、そこで波形等価やエラー訂正などのデジタル信号処理が必要となった。

しかしそれは7b, 400MHzという計測器なみのADCを必要とすることであった。

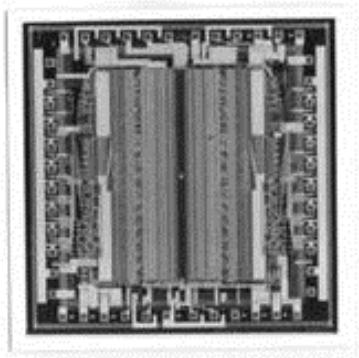


超高速CMOSADCの開発

35

TOKYO TECH
Pursuing Excellence

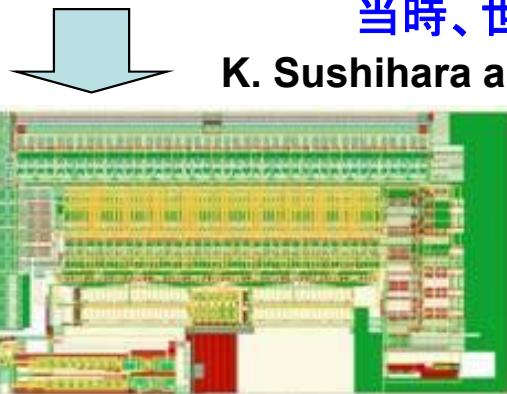
超高速ADCの民生機器応用にはCMOS化と低電力・低コスト化が不可欠であった



91年当時、世界最高速の6b ADC バイポーラ技術

6b, 1GHz ADC
2W,
1.5um Bipolar

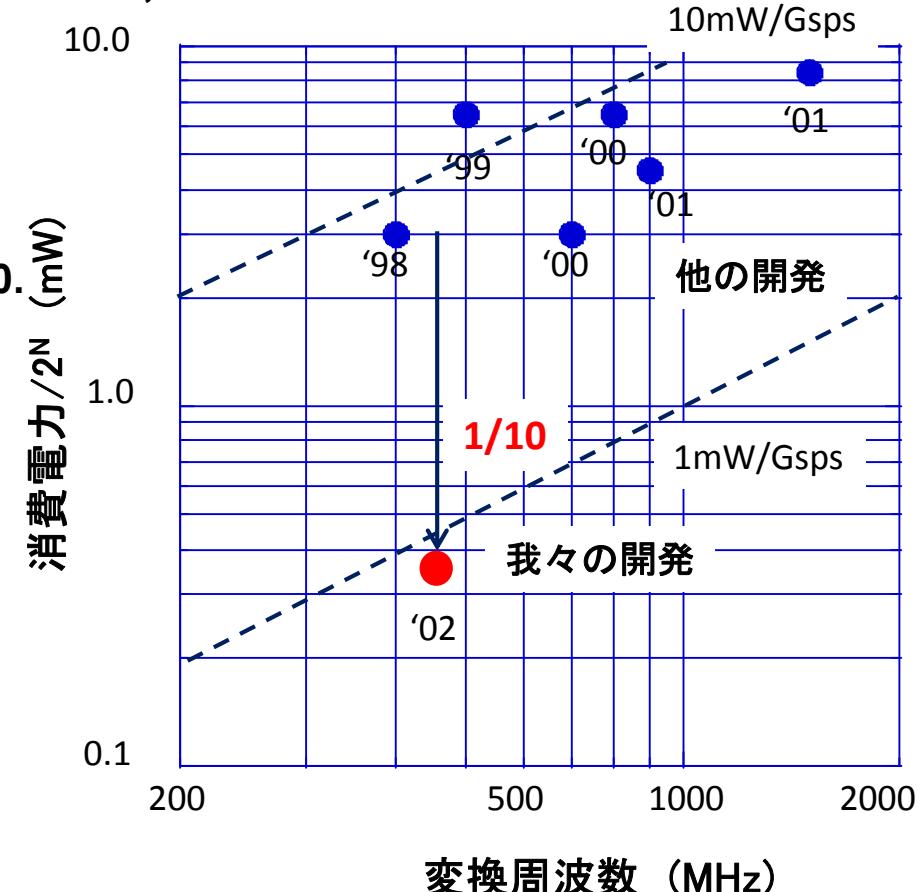
A. Matsuzawa, ISSCC 1991



当時、世界最高速のCMOS ADC

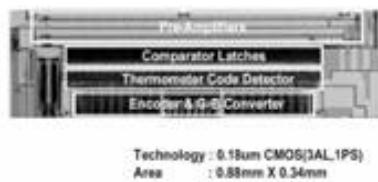
K. Sushihara and A. Matsuzawa, ISSCC 2000.

6b, 800MHz ADC
400mW, 2mm²
0.25umCMOS



高速性を維持し、電力を1/8に下げた

K. Sushihara and A. Matsuzawa, ISSCC 2002.

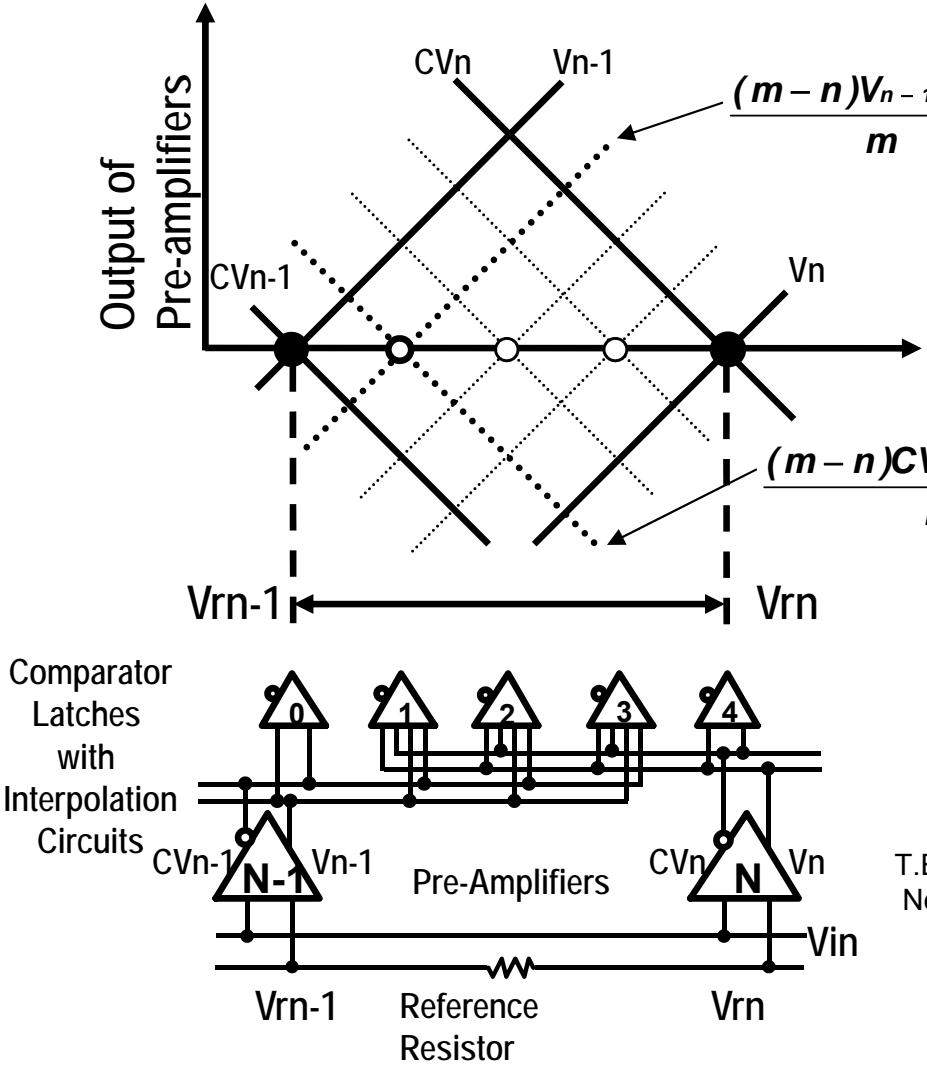


7b, 400MHz ADC
50mW, 0.3mm²
0.18umCMOS

ダイナミック比較器と補間動作の併用

36

MOSリニア領域でのコンダクタンスの加算性を用いて補間動作を実現
ダイナミック動作のため、低電力。 精度限界は分散プリアンプで補償

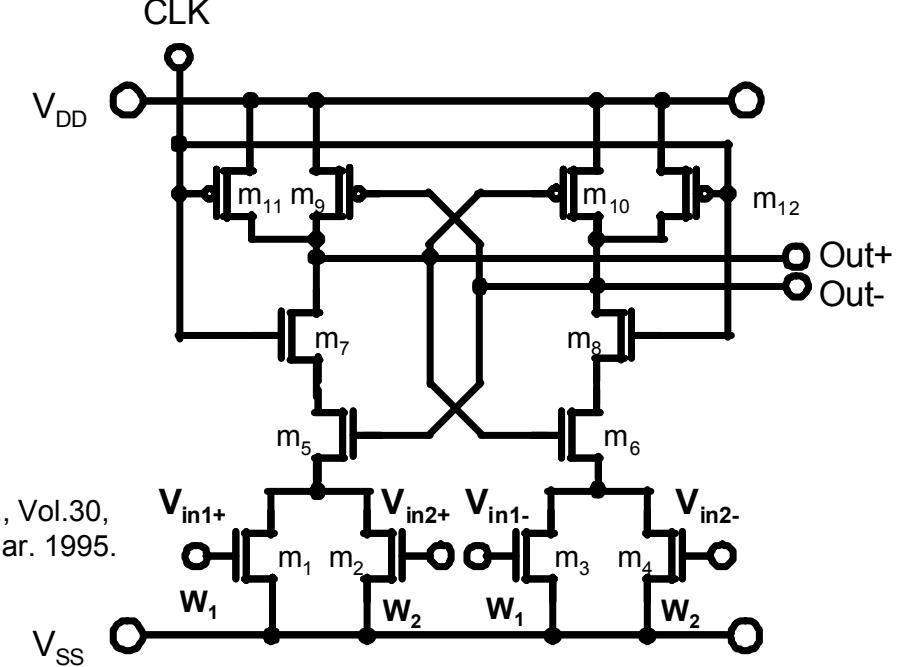


T.B.Cho., et al., J.S.C., Vol.30,
No.30, pp.166-172, Mar. 1995.

$$G_1 = K_p \left[\frac{W_1}{L} (V_{in1+} - V_{th}) + \frac{W_2}{L} (V_{in2+} - V_{th}) \right]$$

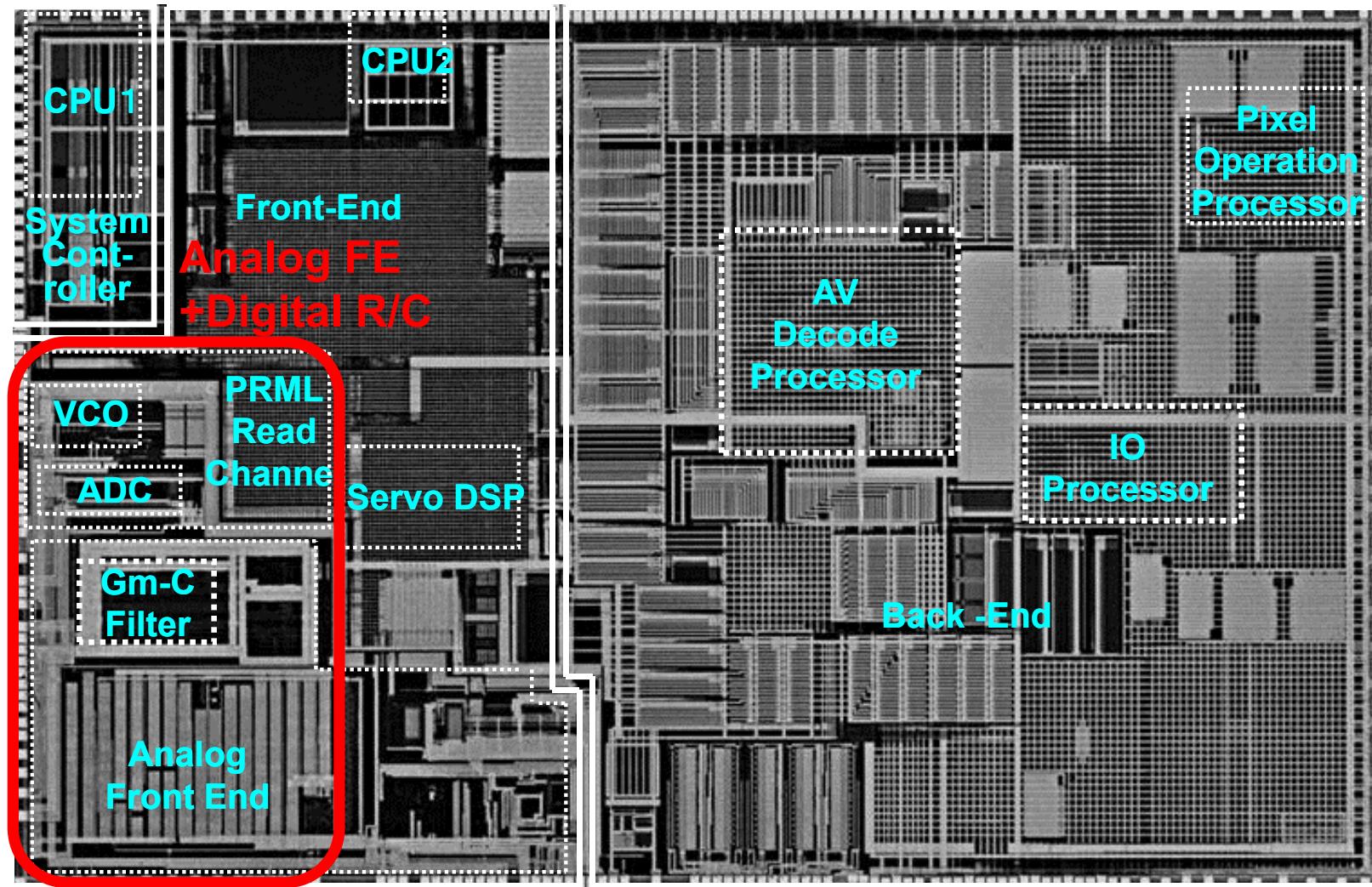
$$G_2 = K_p \left[\frac{W_1}{L} (V_{in1-} - V_{th}) + \frac{W_2}{L} (V_{in2-} - V_{th}) \right]$$

if $W_1 : W_2 = \frac{m-n}{m} : \frac{n}{m}$
then, $(m-n)V_{in1+} + nV_{in2+} = (m-n)V_{in1-} + nV_{in2-}$



DVDシステムを完全にワンチップ化した世界初のアナ・デジ混載SoCを実現

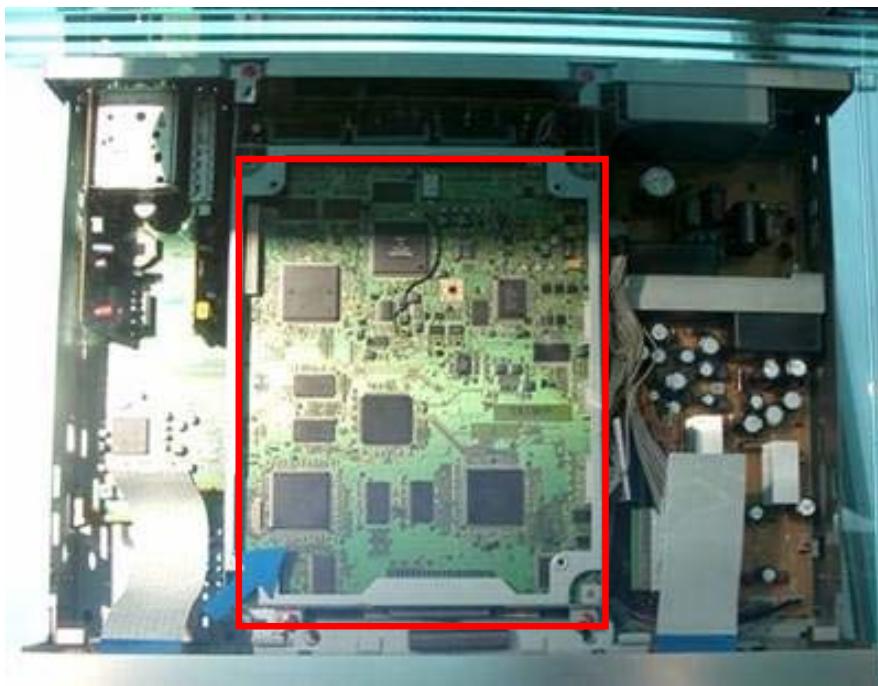
Okamoto,..., A. Matsuzawa., ISSCC 2003, JSC 2003. 0.13um, Cu 6Layer, 24MTr



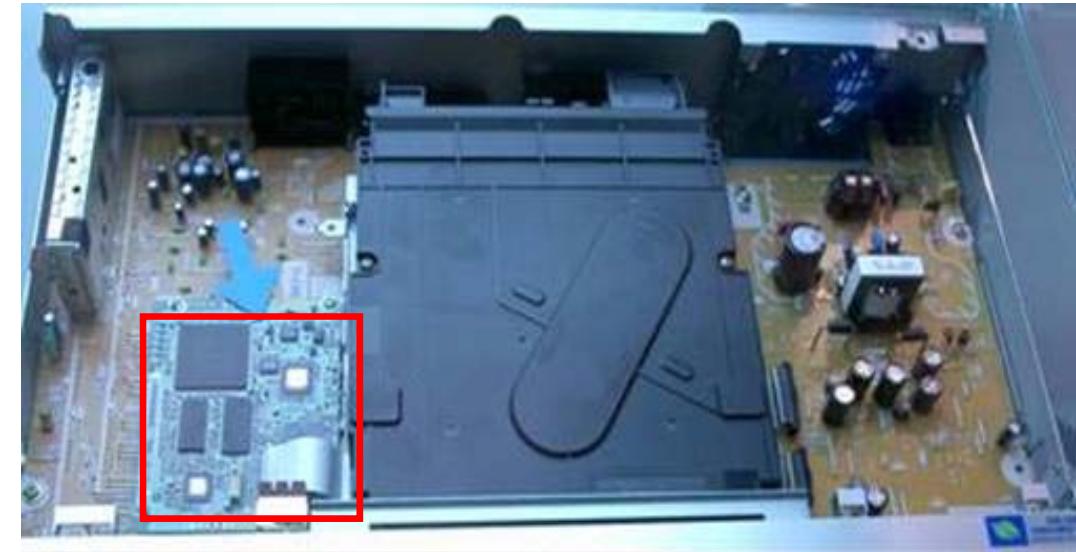
システム集積が可能なアナ・デジ混載SoCは機器の高性能化、簡素化、低コスト化に大いに寄与した。

DVD Recorderの例

'2000 Model



'2003 Model

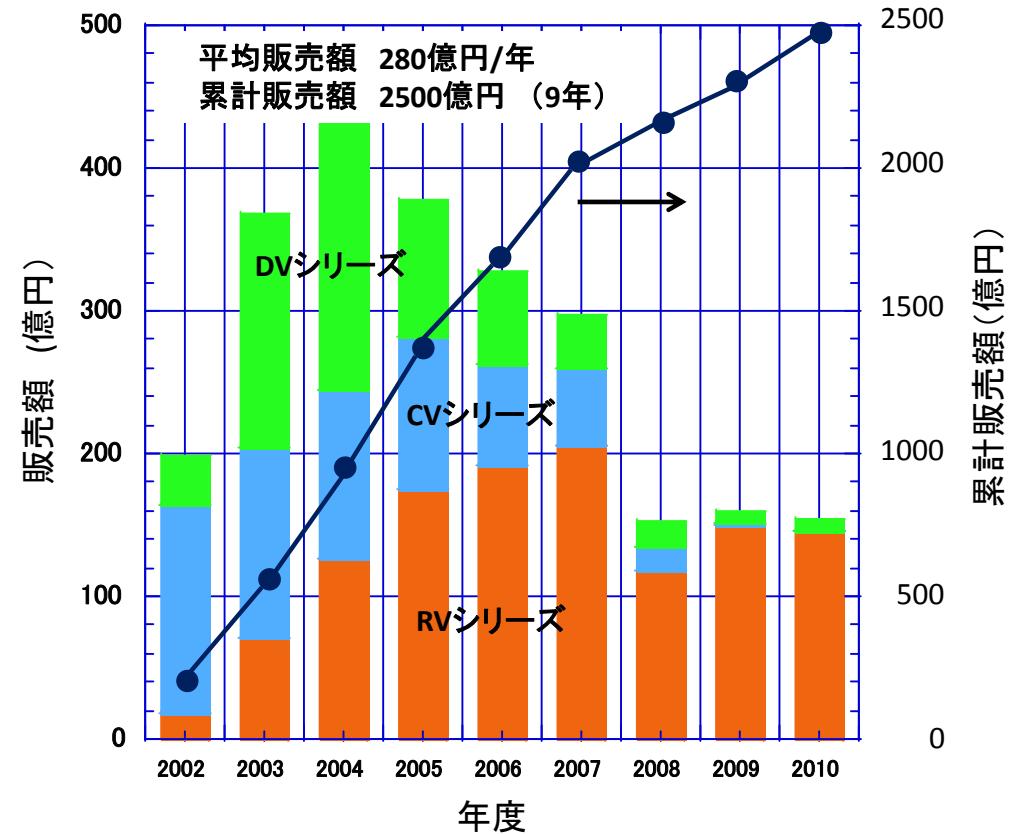
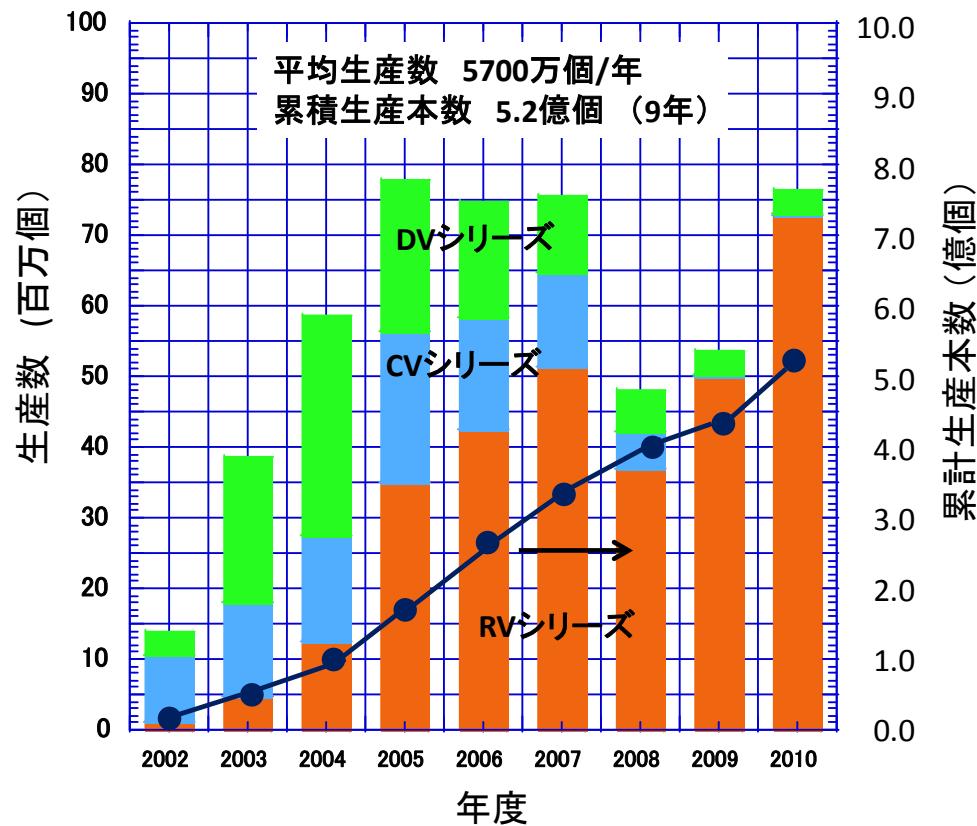


DVD用SoCの生産・販売

39

TOKYO TECH
Pursuing Excellence

DVD用SoCは累積数量5.2億個、累積販売額2500億円に達した。



SAR ADCの革新

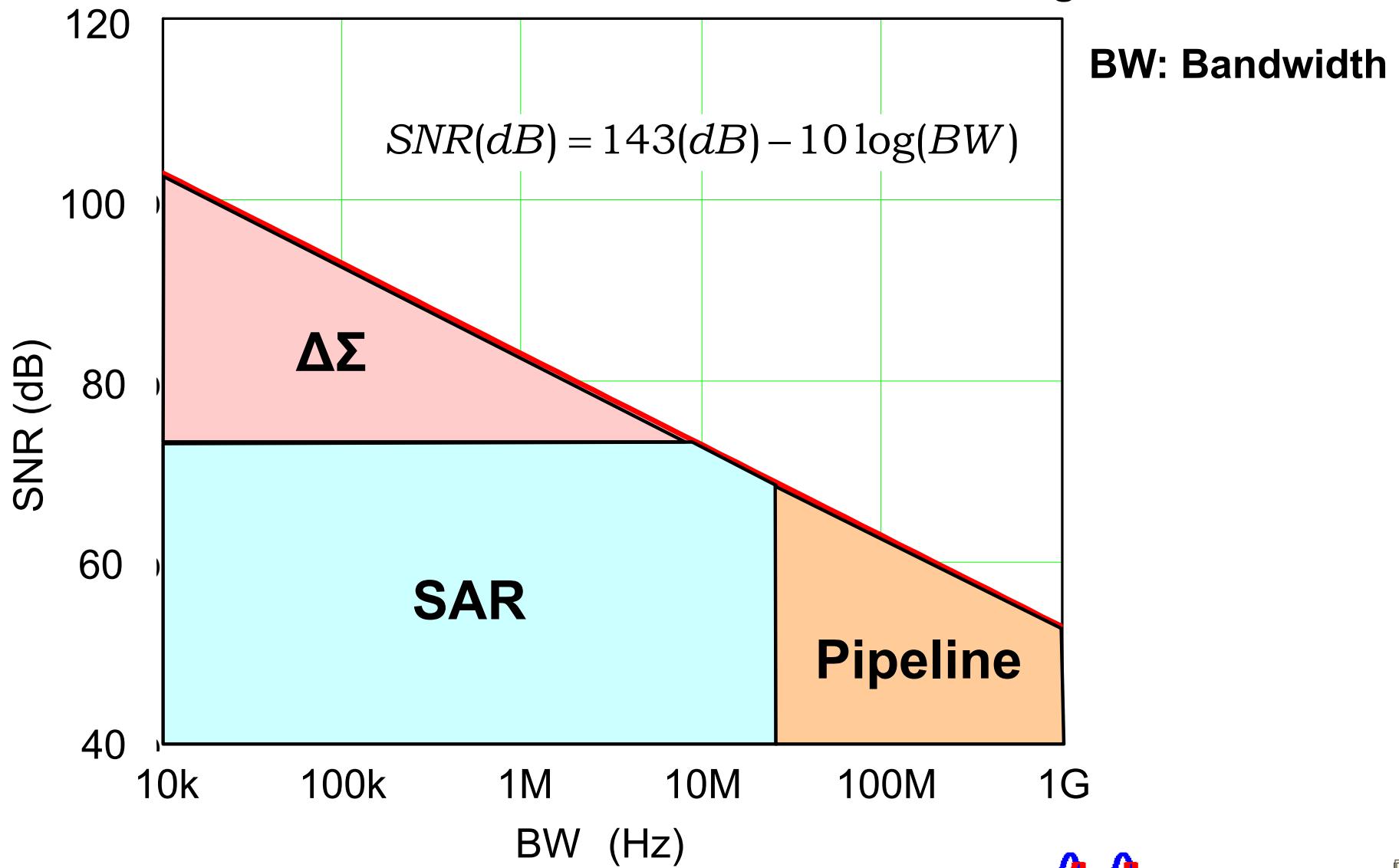
SAR (逐次比較)ADCは1970年代から使用されてきたADCであるが、近年急速に性能を上げエネルギー消費を下げており、面積も小さいため現在の主流ADCとなっている。

容量のみで構成され、定常電流を流さないダイナミック動作により究極の低エネルギー動作が可能である。

CMOS微細化の恩恵を直接受け、低電圧動作も可能なため今後の主流の位置は揺らぎそうもない。

SAR ADC が主流, SNR が 70 dBよりも高い場合は $\Delta\Sigma$ 型
BWが30MHzよりも広い場合はパイプライン型

SNR: Signal to Noise Ratio

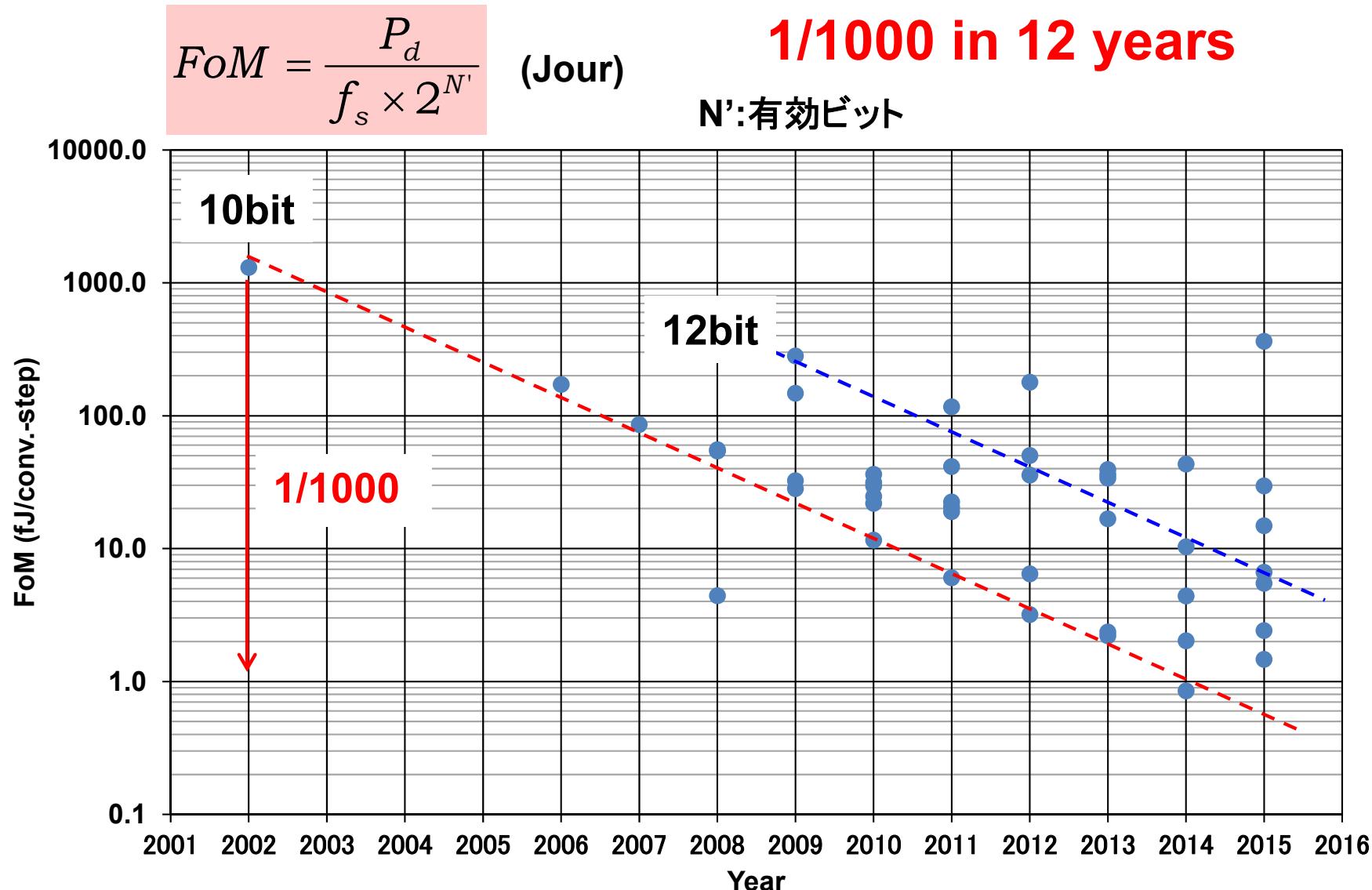


ADCの変換エネルギー低減の進歩

42



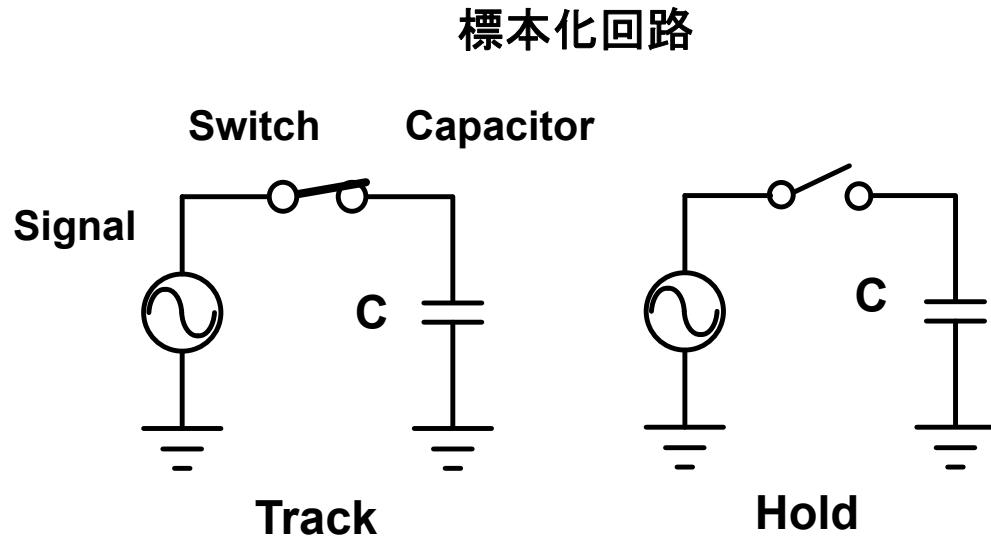
ADCの消費電力が大きく、機器開発のネックであったが
ここ15年は大幅に変換エネルギーが低下している



標本化回路の消費エネルギー

43

ADCでは高いSNR(=低いノイズ電力)の実現には大きな容量が必要で、
高いSNRを実現するには必然的に消費エネルギーは増大する



雑音の電気エネルギー=熱エネルギー

$$\frac{1}{2}CV_n^2 = \frac{1}{2}kT \quad \therefore V_n^2 = \frac{kT}{C}$$

量子化電圧 $V_q = \frac{V_{FS}}{2^N}$

量子化雑音電力 $\overline{V_q^2} = \frac{V_q^2}{12} = \frac{V_{FS}^2}{12 \cdot 2^{2N}}$

雑音のバランス $\overline{V_n^2} = \overline{V_q^2}$

必要容量 $C = 12kT \frac{2^{2N}}{V_{FS}^2}$

消費エネルギー

$$E_S = 2CV_{FS}^2 = 24kT2^{2N}$$

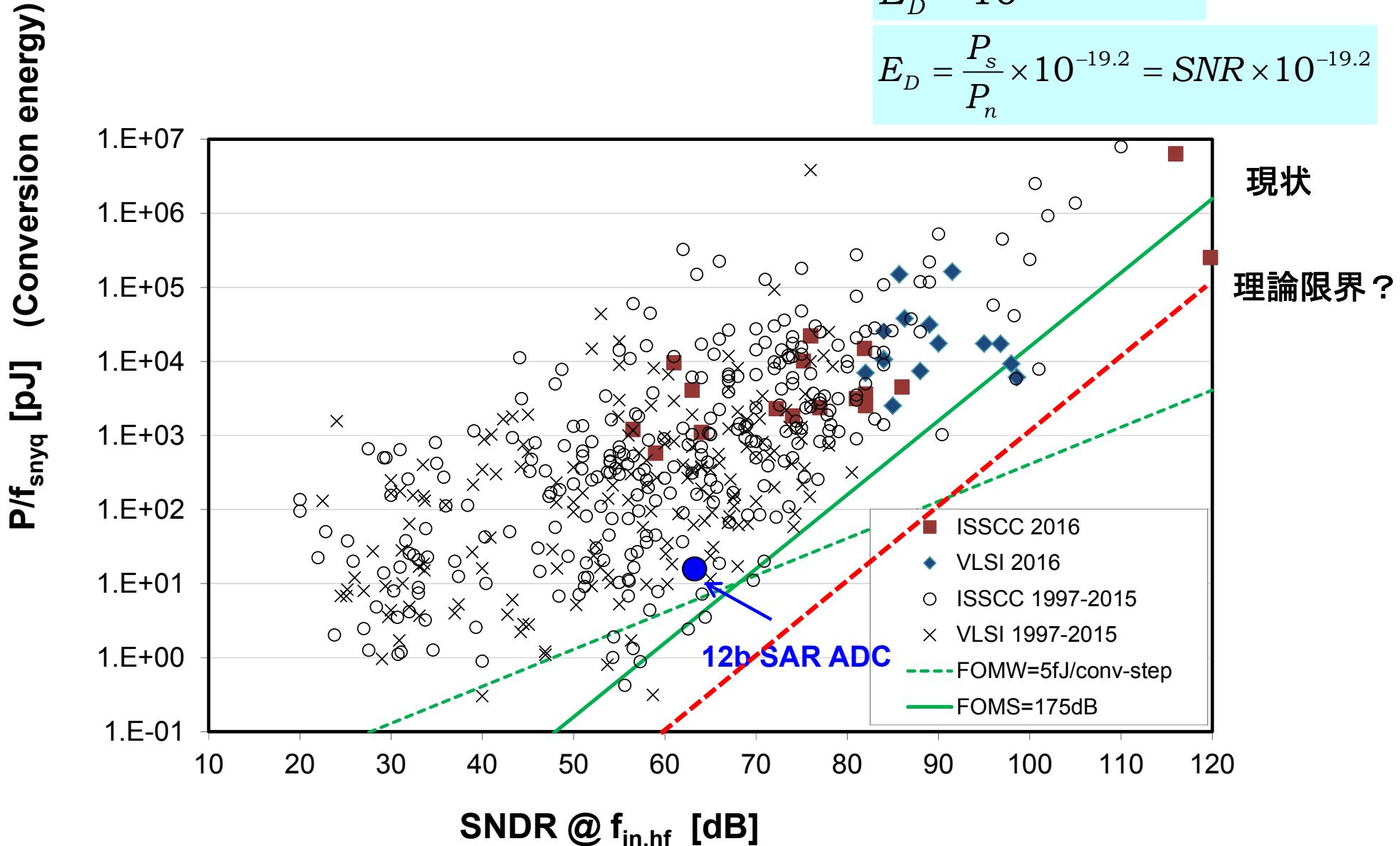
ADCの変換エネルギー

44

変換エネルギーはSNRに比例する

$$E_D = 10^{\left(\frac{SNR(dB)-192}{10}\right)}$$

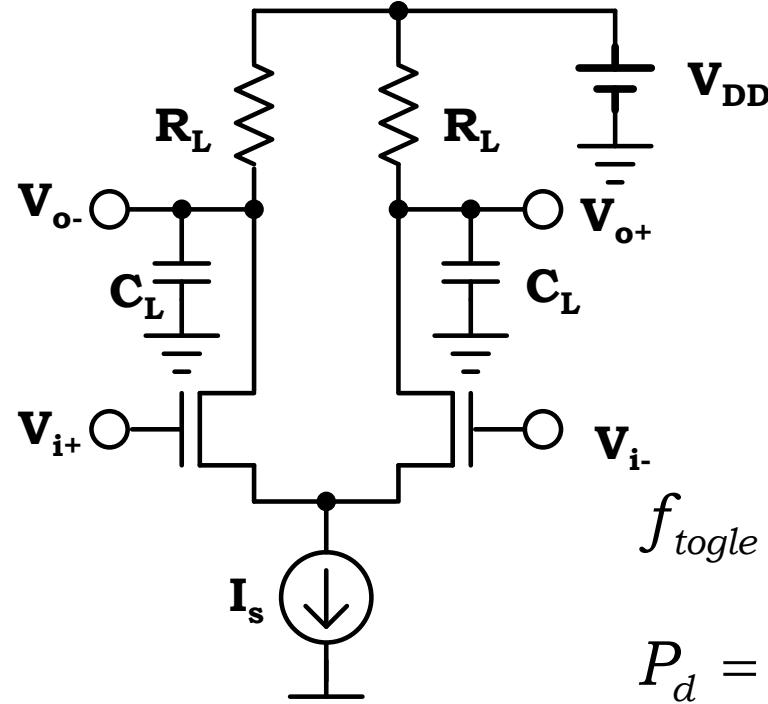
$$E_D = \frac{P_s}{P_n} \times 10^{-19.2} = SNR \times 10^{-19.2}$$



CMOS論理回路のようなADCの実現をめざす

- ・高速動作でも低速動作でも回路は同じ
- ・消費電力が、与えられた変換クロック周波数に自動的に比例する
- ・クロックが止まつたら電源電流は流れない

CML 論理回路 通常の増幅器

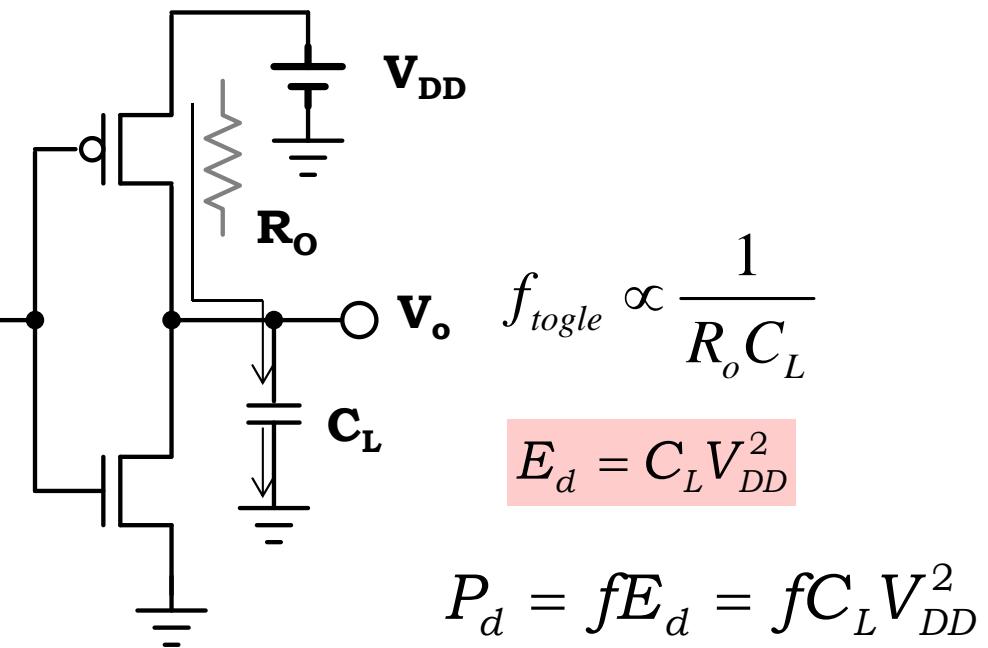


$$f_{togle} \propto \frac{I_s}{V_{DD} C_L}$$

$$P_d = V_{DD} I_s$$

動作速度を上げるために
消費電流を増やすなければならない

CMOS 論理回路.



$$f_{togle} \propto \frac{1}{R_o C_L}$$

$$E_d = C_L V_{DD}^2$$

$$P_d = f E_d = f C_L V_{DD}^2$$

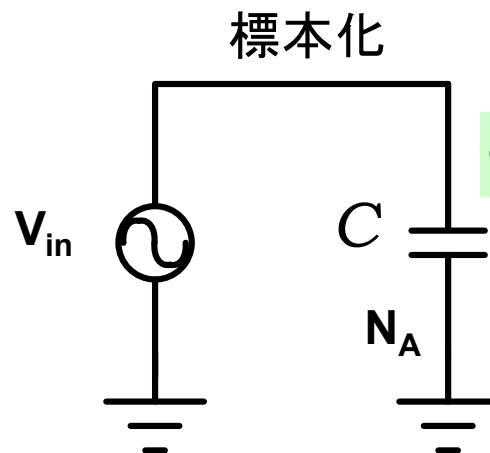
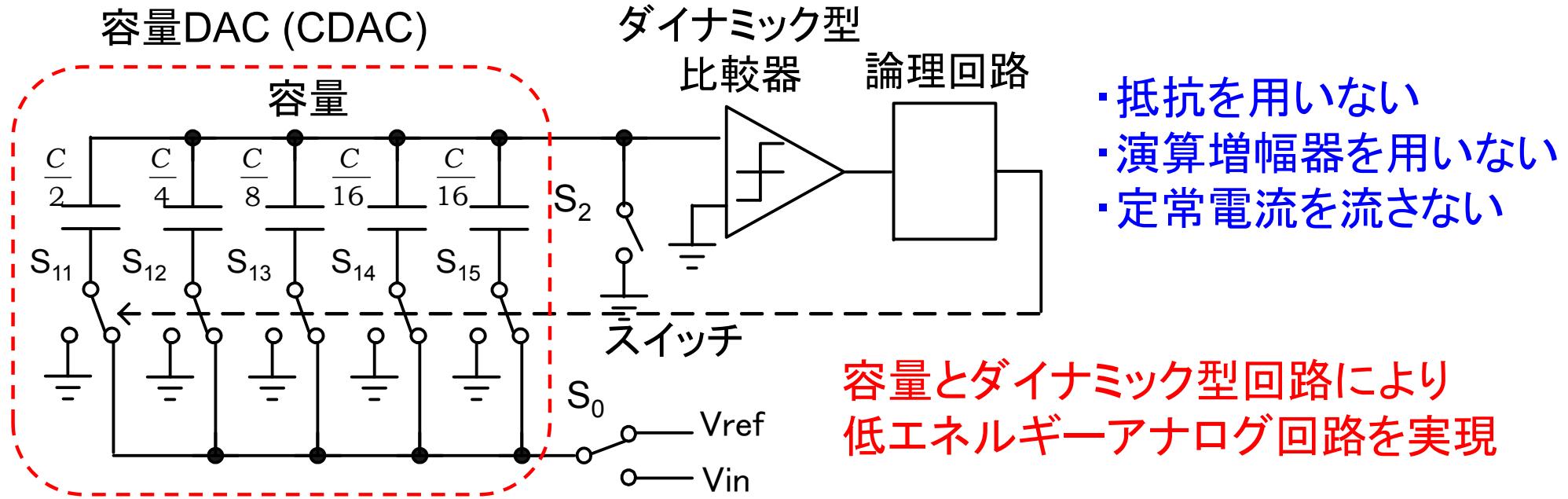
動作速度を上げても
消費エネルギーは増えない

逐次比較型 (SAR) ADC

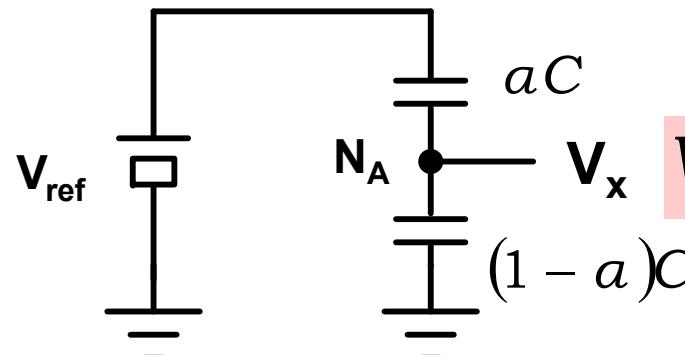
46

TOKYO TECH
Pursuing Excellence

SAR ADC は定常電流が流れないように構成することができる。



容量分圧による差電圧の発生

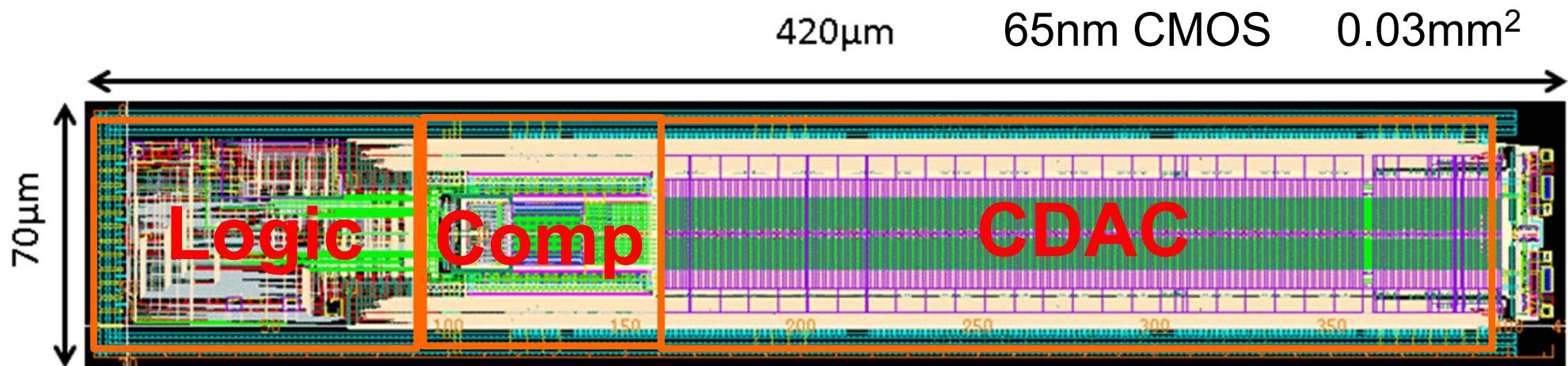


$$E_d \approx \frac{1}{2} CV_{ref}^2$$

$$V_x = -(V_{sig} - a \cdot V_{ref})$$

$$0 < a < 1$$

SAR ADCは最も単純かつ低消費電力で小面積なADCである。
これをベースにして、高SNR化、広帯域化を図り、
1つのADCコアで殆ど全ての用途に適合するようにしたい。

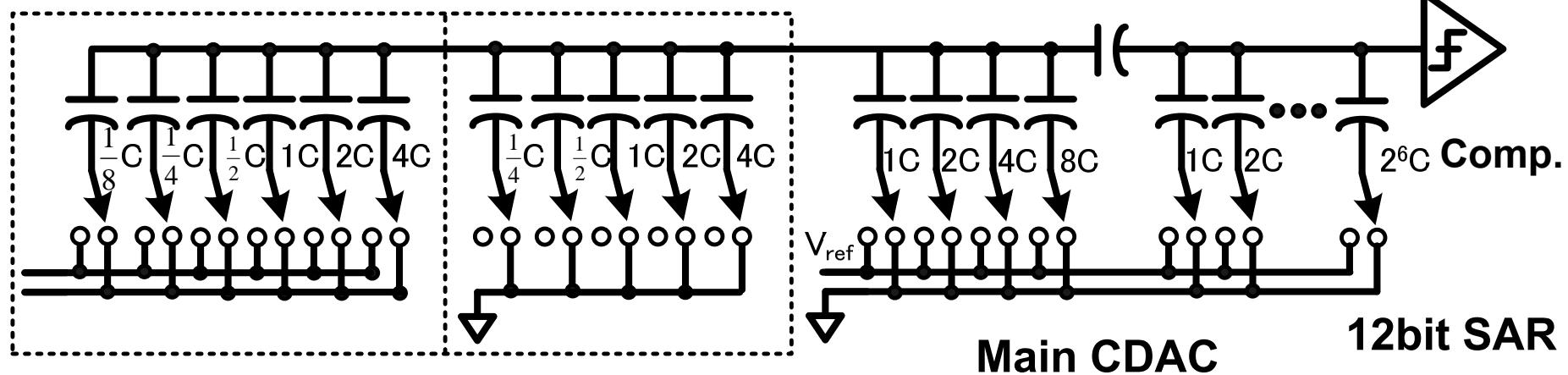


S. Lee, A. Matsuzawa, et al., SSDM 2013

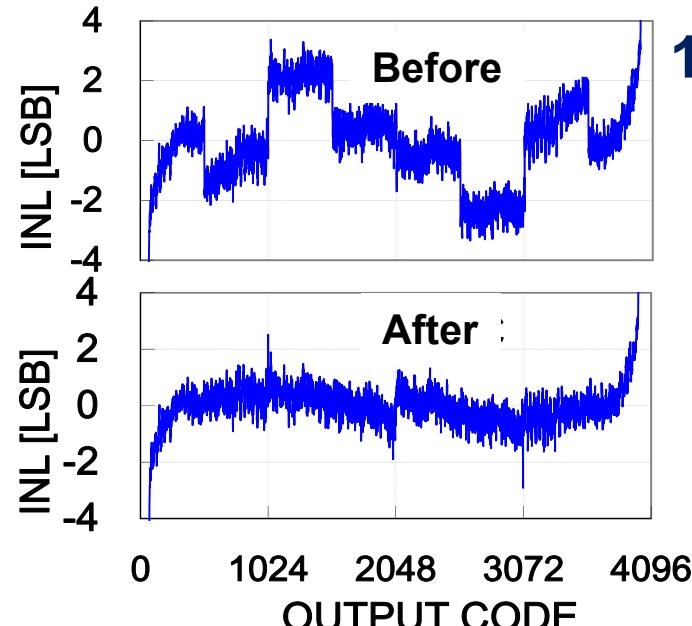
直線性の向上

容量誤差や寄生容量による直線性劣化に対し、微小容量とデジタル補正回路を用いて直線性を向上させた

Capacitance mismatch CAL **Floating capacitance CAL** **Split capacitor**

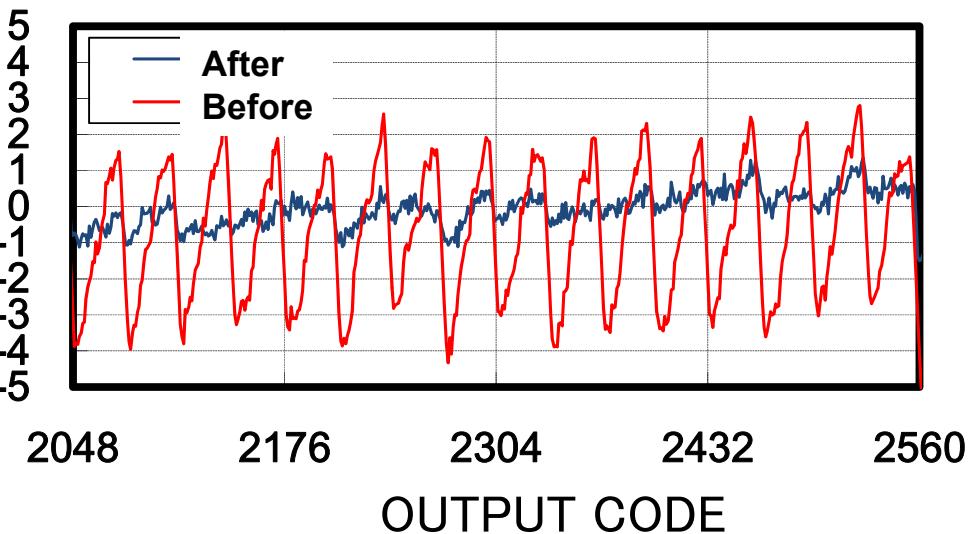


Capacitance mismatch CAL



12bit

Floating capacitor CAL



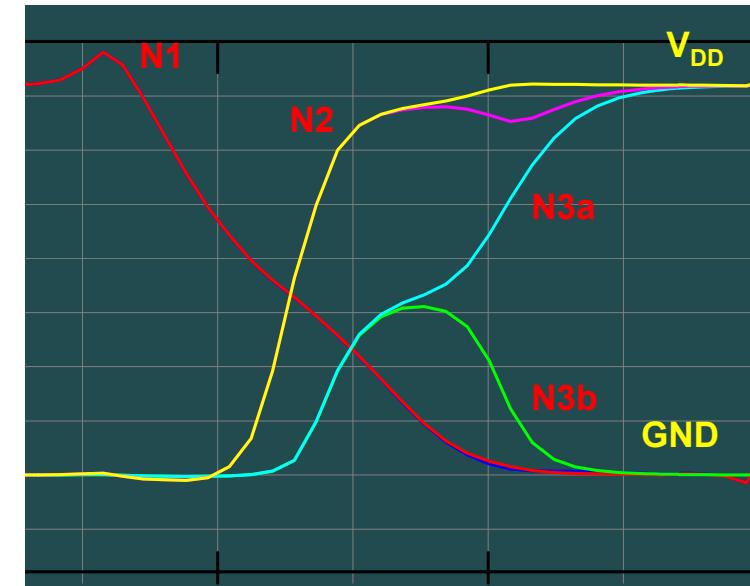
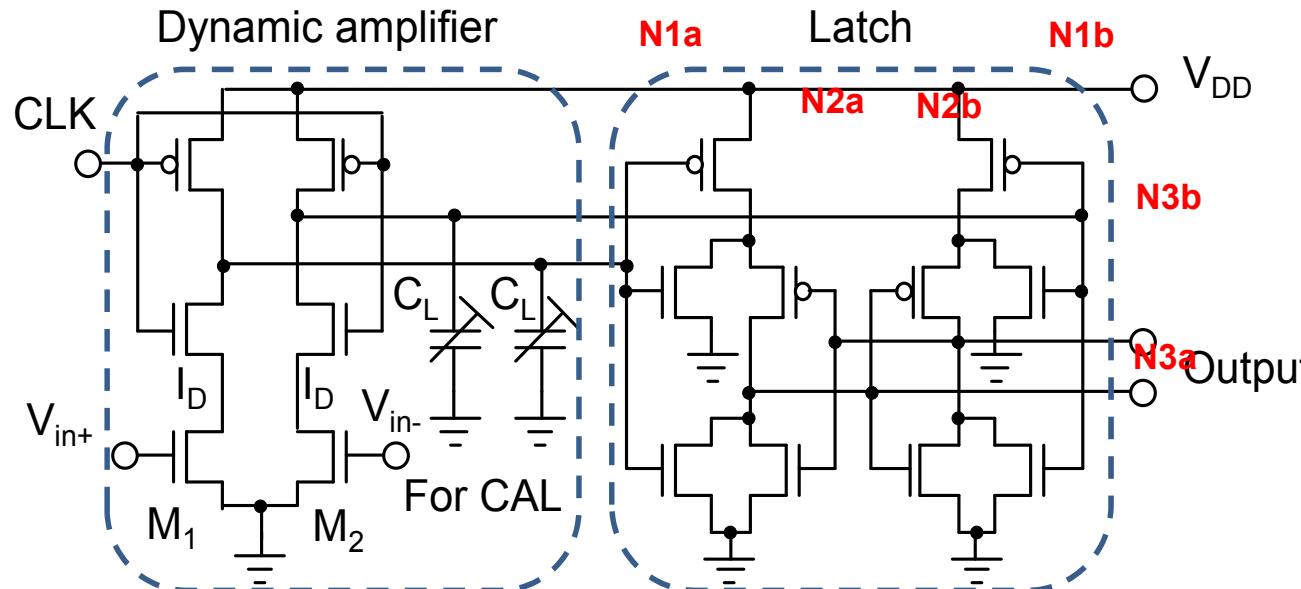
ダイナミック型比較器の発明

49

TOKYO TECH
Pursuing Excellence

ダイナミック型比較器はCMOSロジックと同様貫通電流がゼロで動作する。最大4GHzの動作が可能だが、数Hzの低速でも動作する。ノイズが大きく10bit以上の高分解能化が困難であったが、低ノイズ回路の開発により12bitの高分解能化が可能となった。

この論文の引用件数は200件以上であり、現在のADC比較器の主流になった



M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

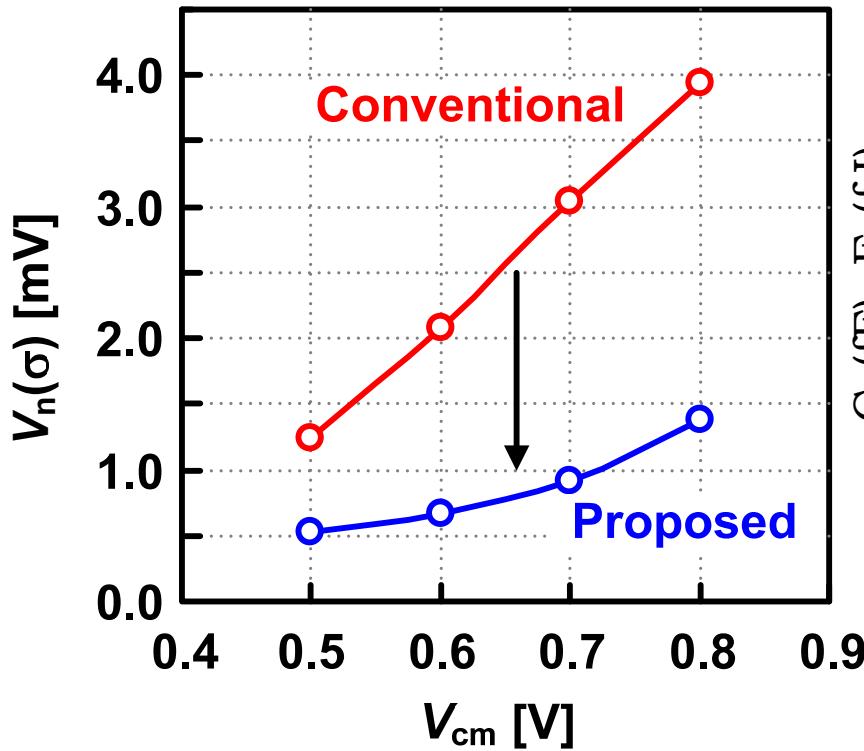
Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira Matsuzawa, "A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC," A-SSCC, 5-3, pp. 141-144, Taiwan, Taipei, Nov. 2009.

ダイナミック型比較器のノイズ

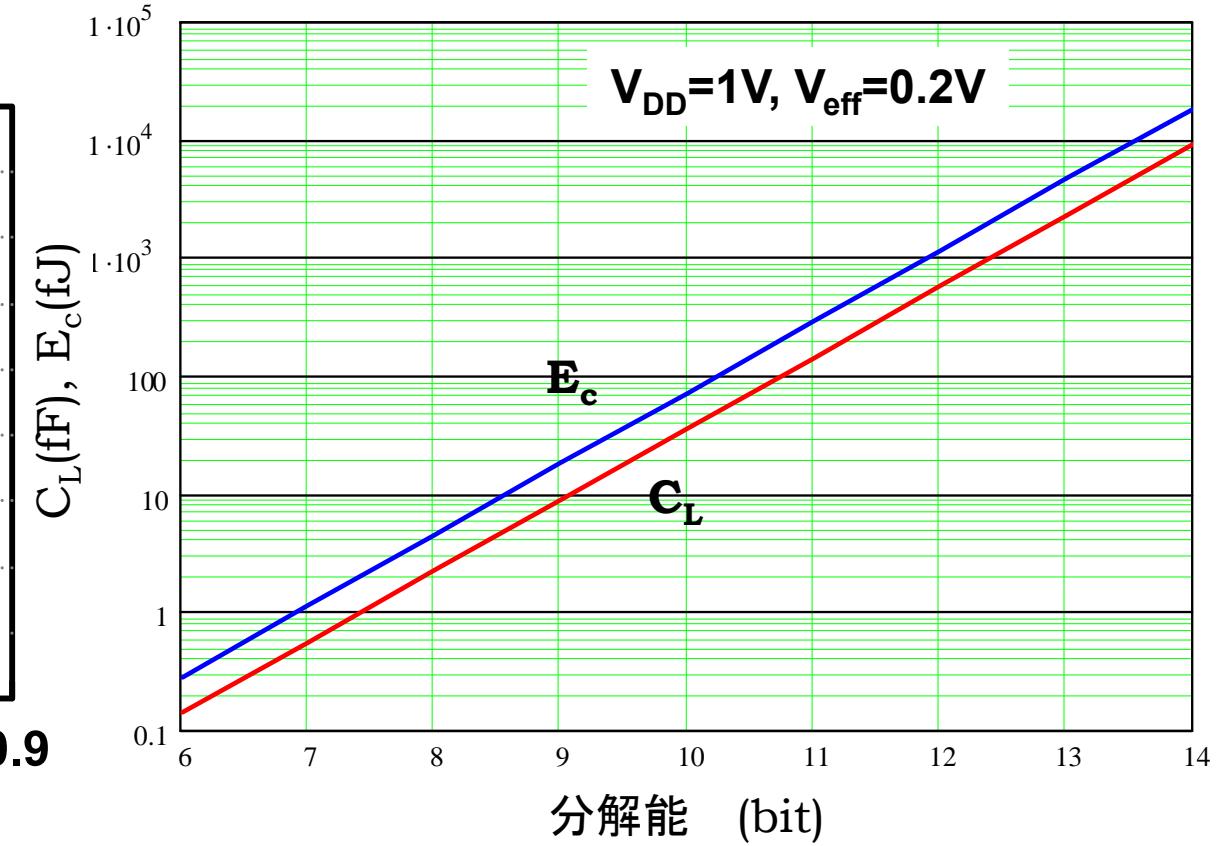
50

ダイナミック型比較器の構成をラッチの前にCMOS増幅器を設けた構成にすることで、ノイズを低減させた。またノイズレベルが負荷容量でほぼ決定されることを見出し、ノイズと消費電力の最適化指針を導いた。

$$\overline{v_{ni}^2} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$



分解能と負荷容量C_L, 消費エネルギーE_c



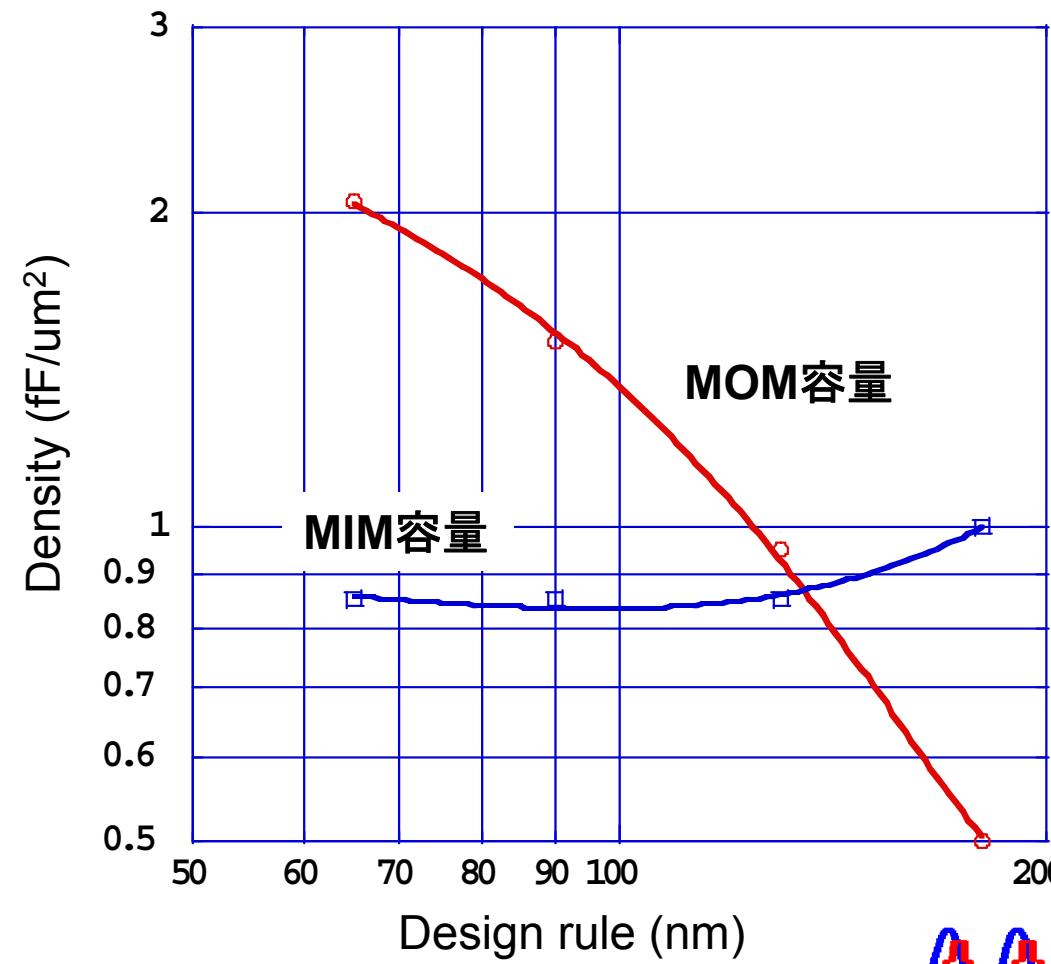
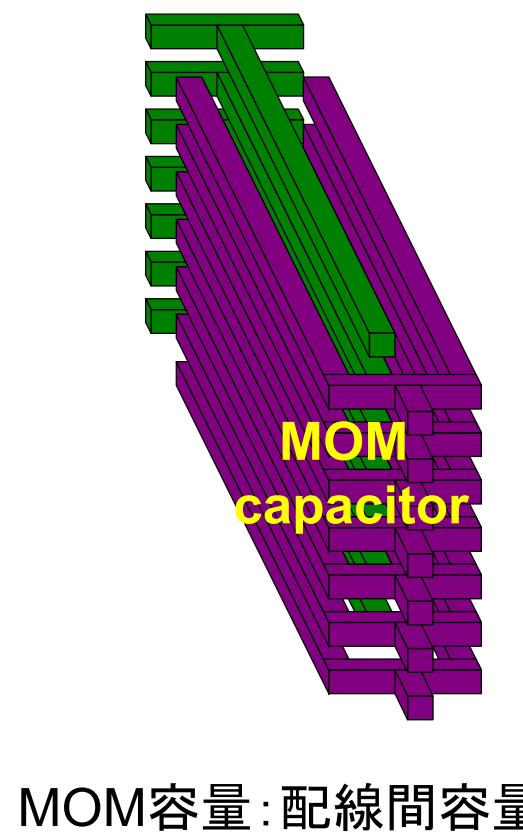
A. Matsuzawa, ASICON 2009, pp. 218-221, Oct. 2009.

MIM容量の限界とMOM容量

51

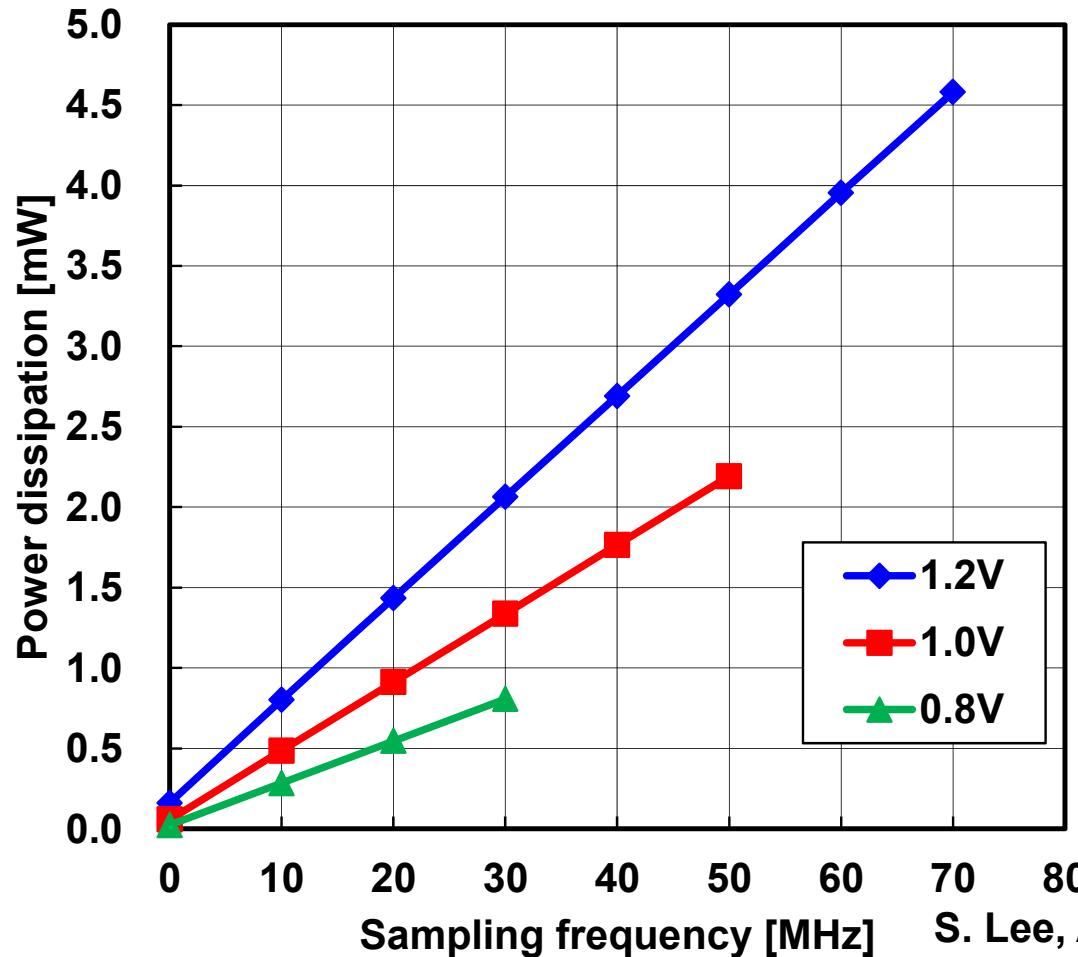
MOM容量はMIM容量と違い微細化により容量密度が増加する。
したがって、微細化プロセスを用いることで占有面積が小さくなり、
距離が短縮されるので、高速化、低電力化を図ることができる。

MOM容量により、微細化とともに容量部の面積縮小が可能である



完全なダイナミック動作により、ADCの消費電力はCMOSロジックと同様動作周波数に比例する。低い変換周波数では超低電力化が可能。
低い変換周波数では低電圧動作により、より低電力化が可能である。
70MSpsの高速動作を実現。

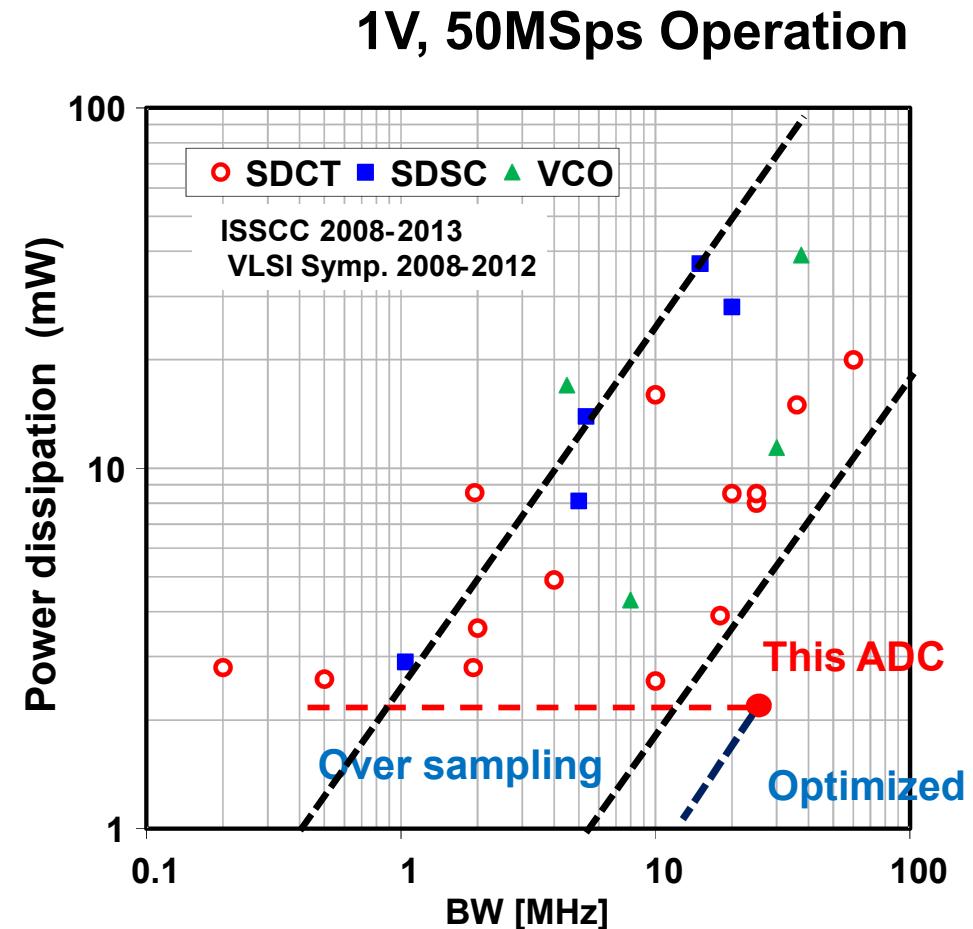
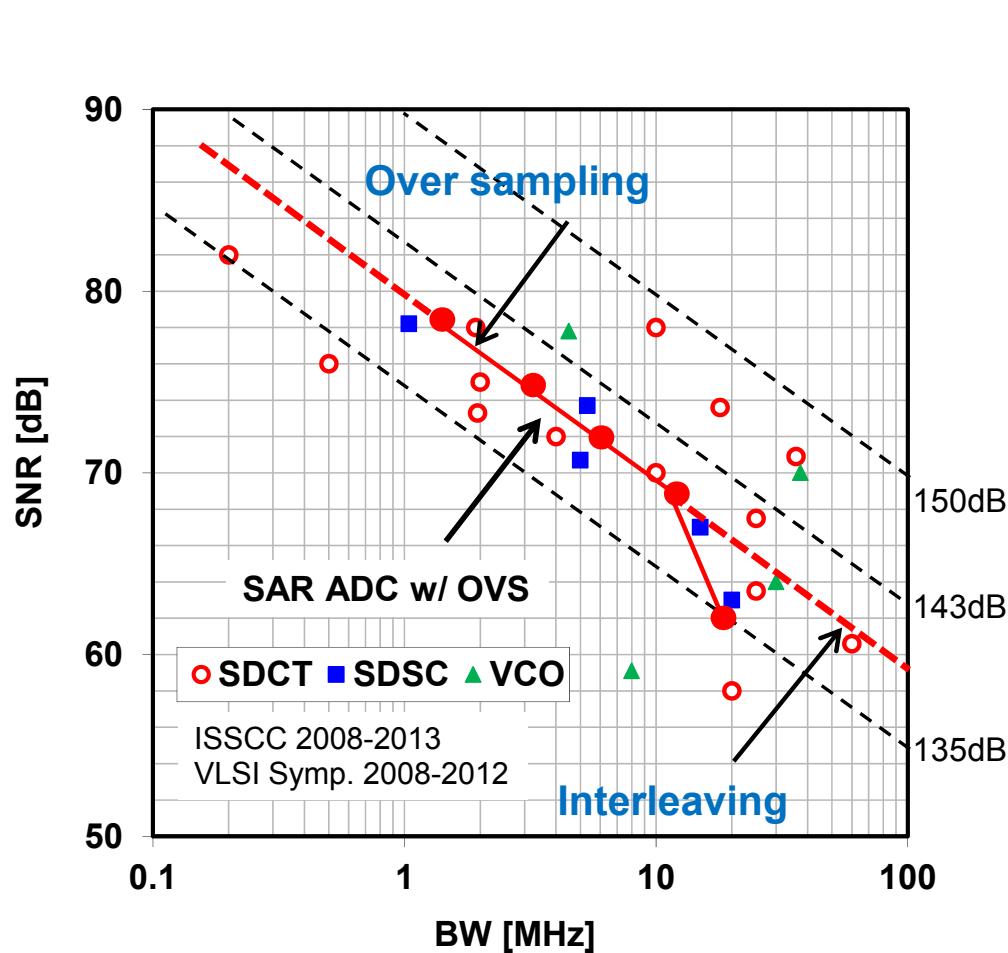
IoT時代に最適なADCである



- 50MSps: 2mW
- 5MSps: 200uW
- 500KSps: 20uW
- 50KSps: 2uW
- 5kSps: 0.2uW

S. Lee, A. Matsuzawa, et al., SSDM 2013

SNRは信号帯域が20MHzで62dB, デジタルフィルターで信号帯域を制限することでSNRを向上できる。高い信号帯域に対してはインターーリーブで対応。消費電力はこれまでの通信用ADCに比べ最少。

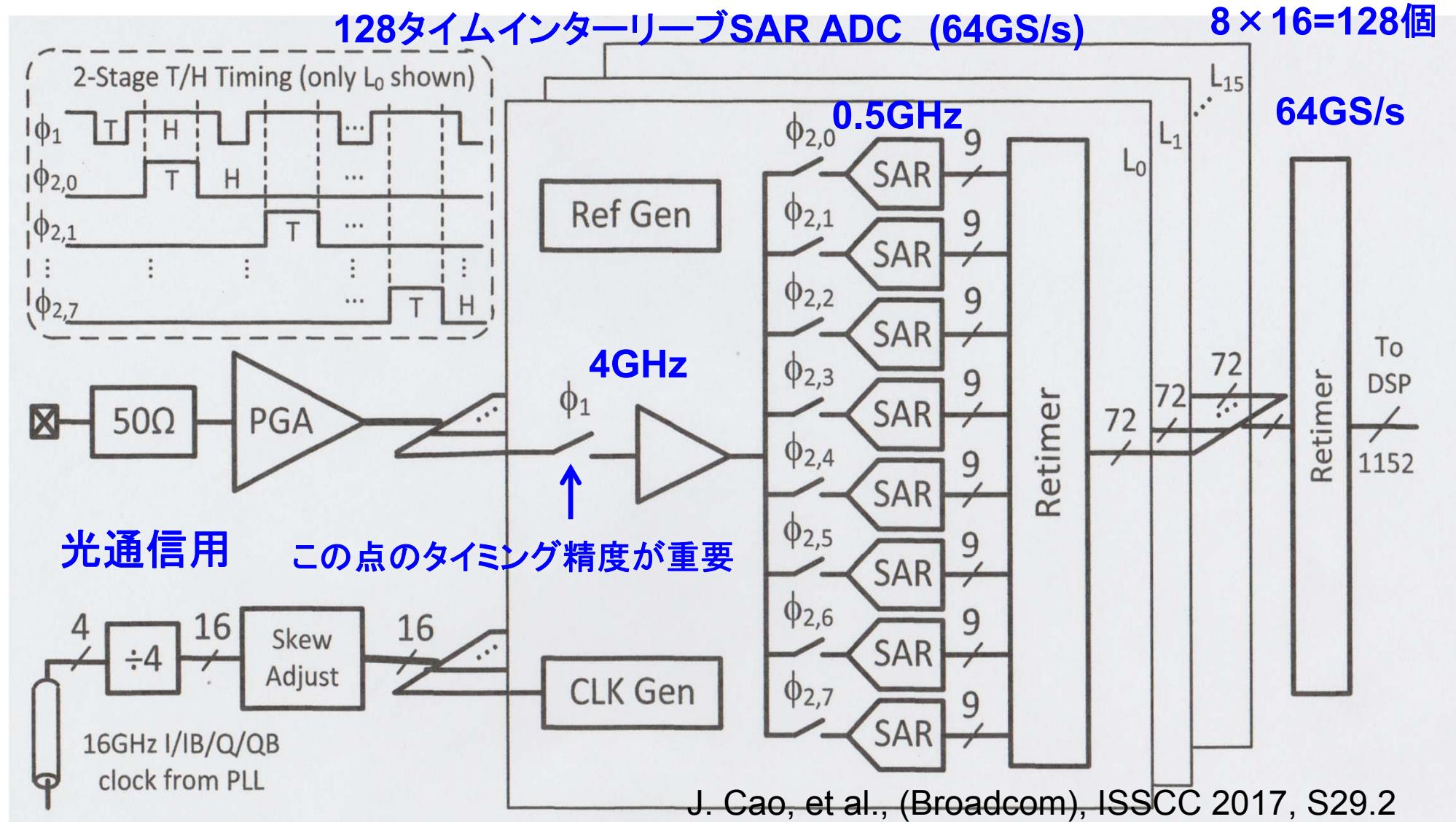


9b 64GS/s Interleaved SAR ADC

54

TOKYO TECH
Pursuing Excellence

SAR ADCは面積が小さく、低電力なので超並列動作に向いている。
時間をずらした動作により等価的に超高速動作を実現している。



SAR ADC

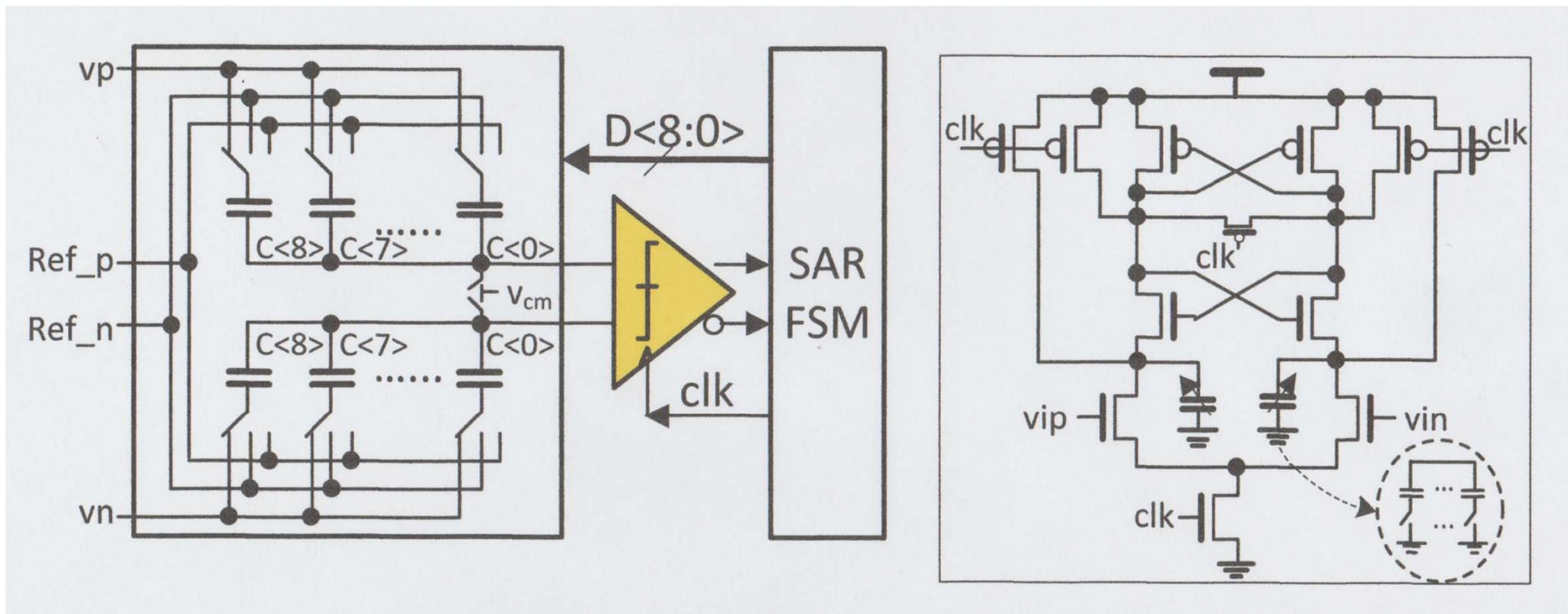
55

TOKYO TECH
Pursuing Excellence

9bit SAR ADC

2nsで動作→1サイクル200psの動作速度

回路自体は普通のSAR ADCであるが、速度が速い



J. Cao, et al., (Broadcom), ISSCC 2017, S29.2

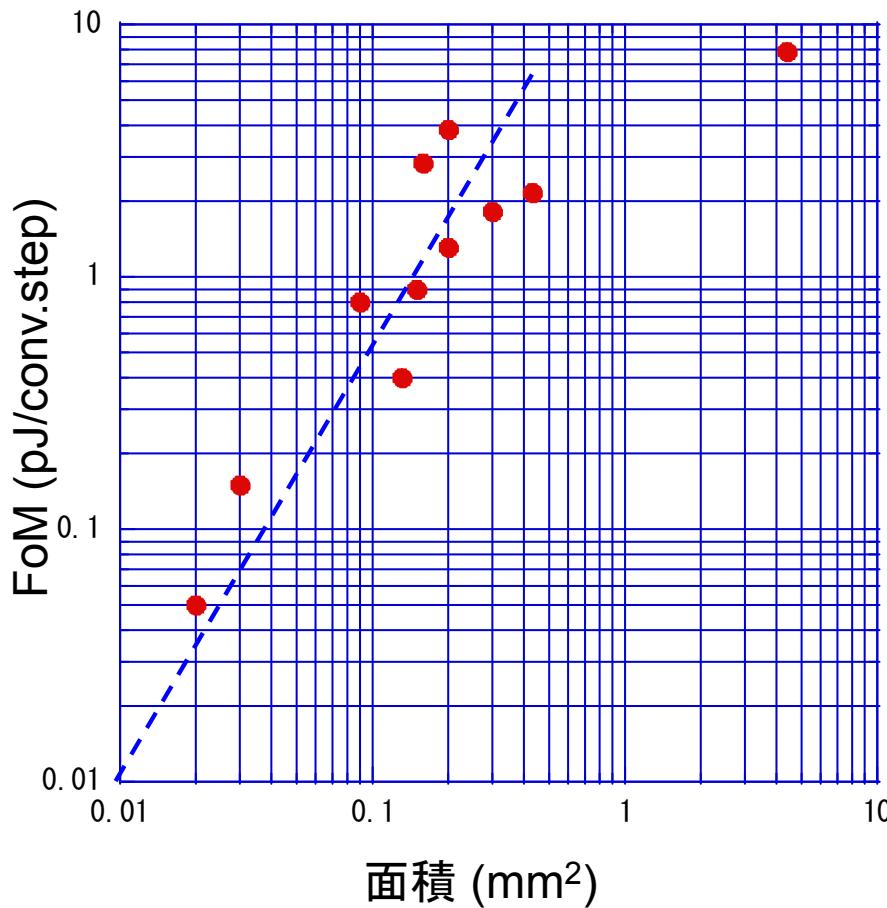
低エネルギー化への設計方針

56

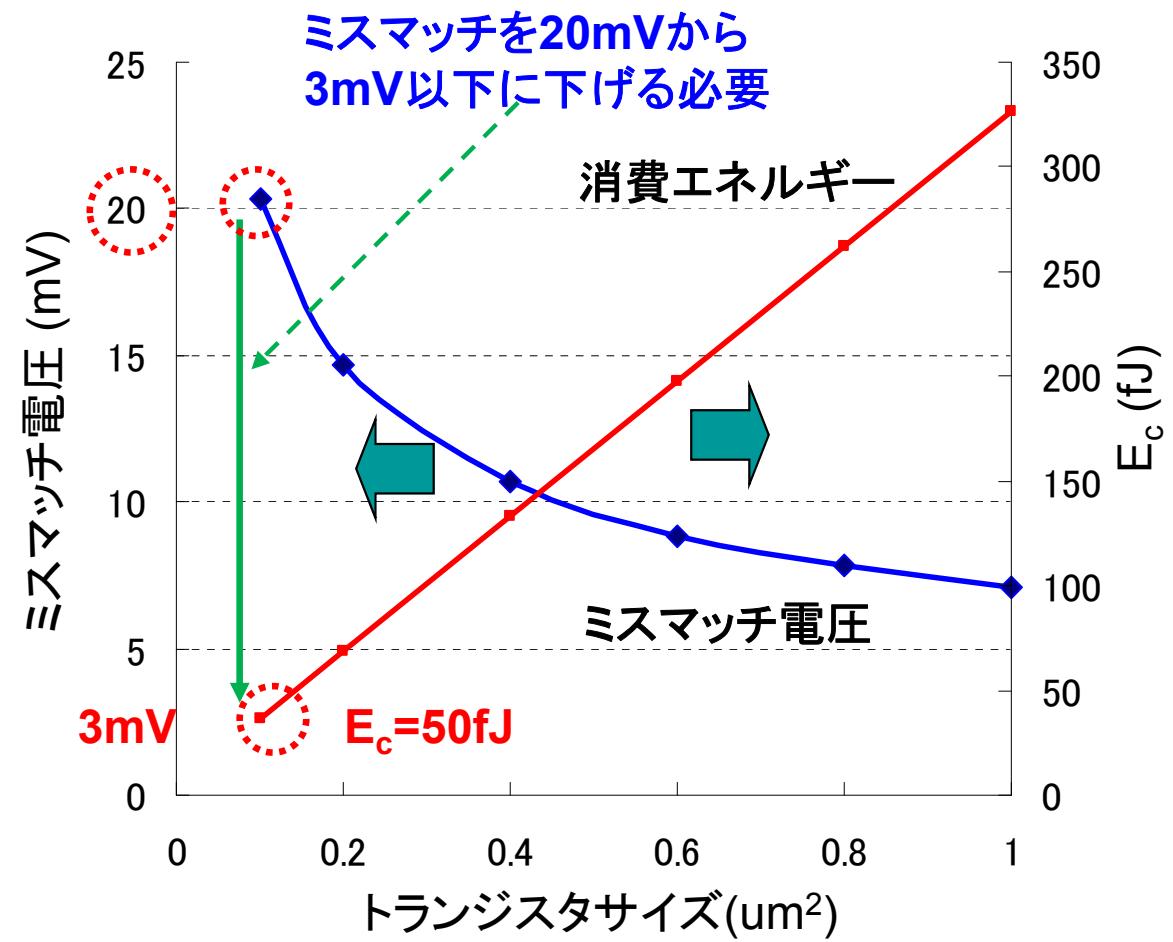
TOKYO TECH
Pursuing Excellence

消費エネルギーを低減するには容量を小さくする、つまり面積を小さくすればよいがミスマッチ電圧は増大する。そこで、デジタルアシスト技術を用いてミスマッチを下げる。

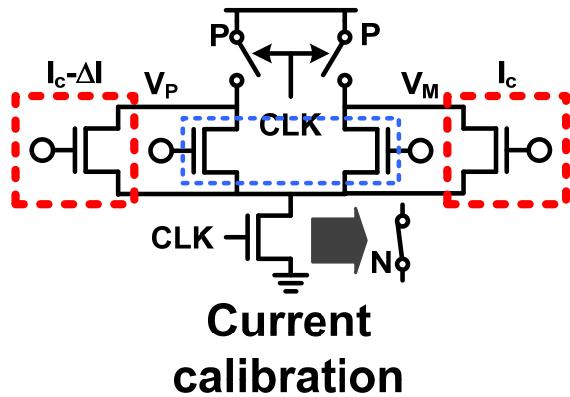
面積が小さいほどエネルギー消費が少ない



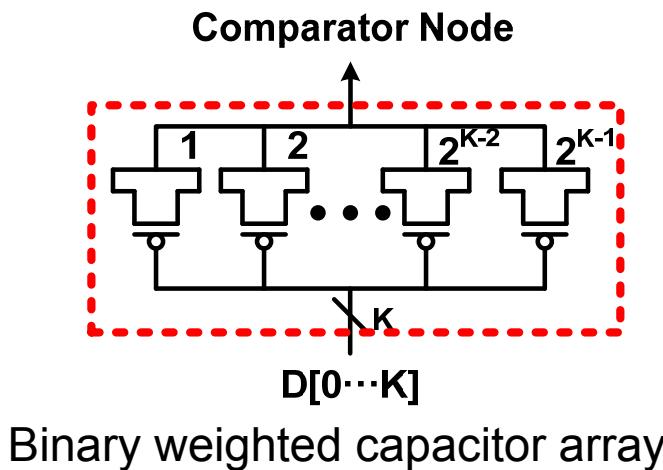
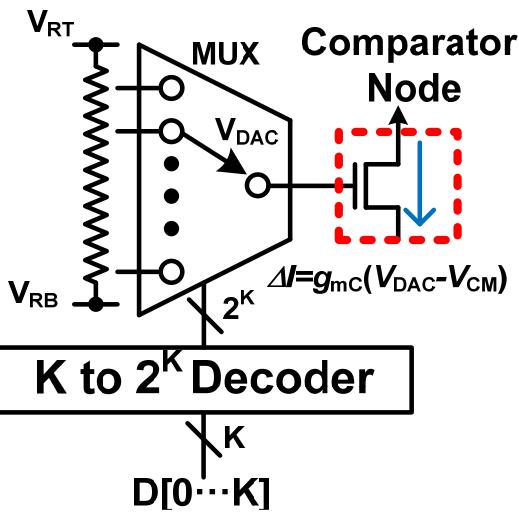
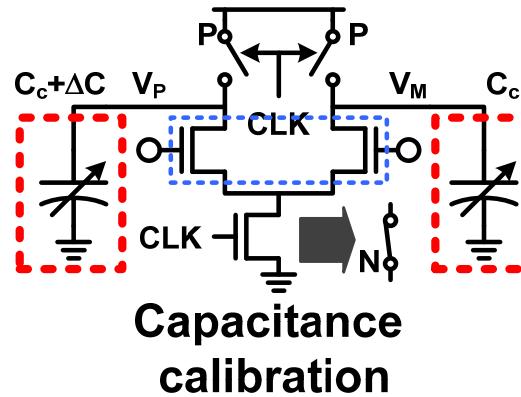
トランジスタが小さいほどミスマッチは増大



RDAC方式



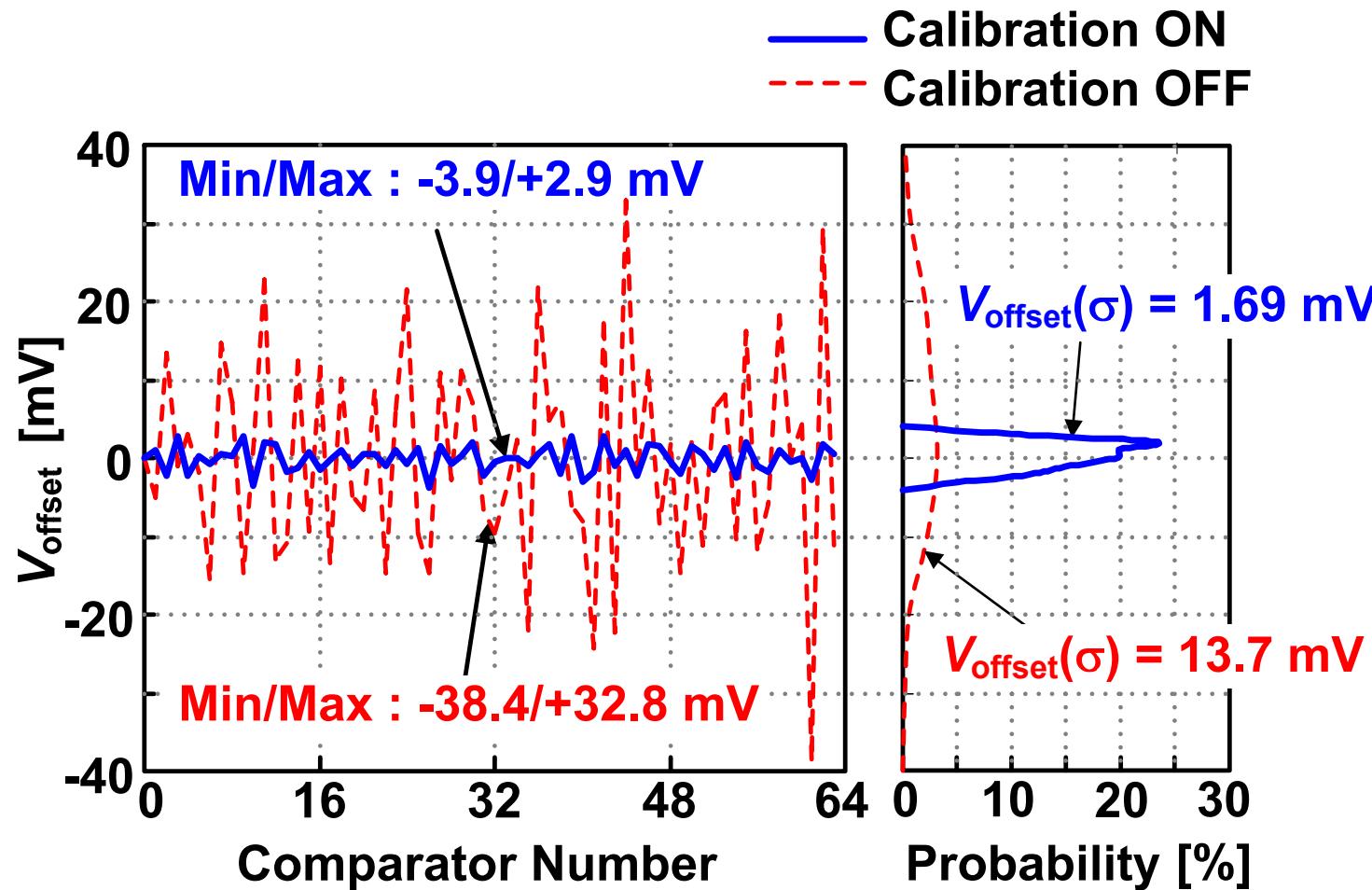
CDAC方式



Y. Asada, K. Yoshihara, T. Urano, M. Miyahara and A. Matsuzawa,
 "A 6bit, 7mW, 250fJ, 700MS/s Sub-ranging ADC" A-SSCC, pp. 141-144, Nov. 2009.

デジタルアシスト技術はミスマッチ、直線性・歪補償に極めて有効であるが、ただしノイズは低減できない

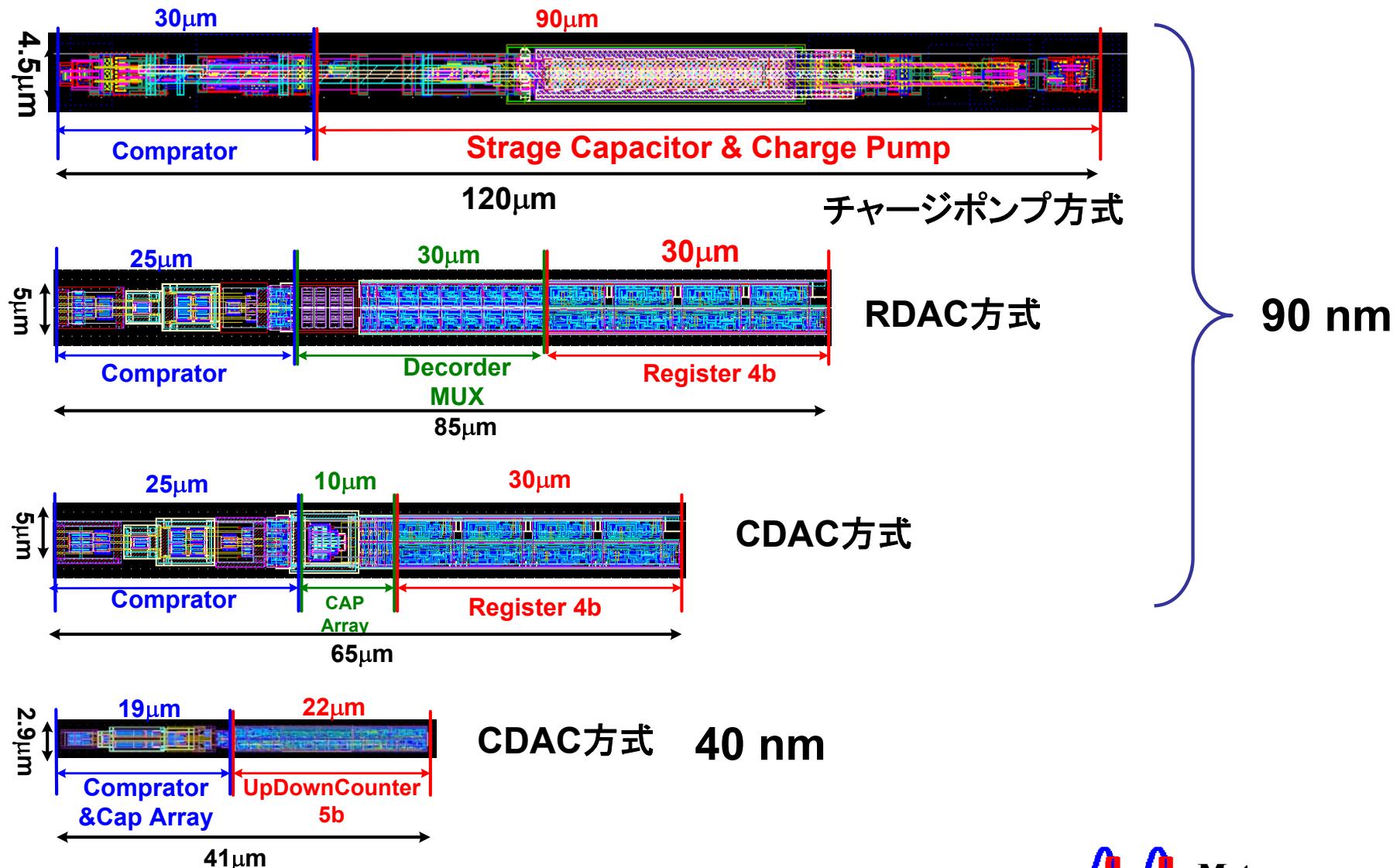
13.7 mV のミスマッチ電圧を 1.7mV に低減



M. Miyahara, Y. Asada, D. Paik,
and A. Matsuzawa, "A Low-
Noise Self-Calibrating Dynamic
Comparator for High-Speed
ADCs," A-SSCC, Nov. 2008.

面積比較

デジタルミスマッチ補償回路の面積比率は微細化とともに減少する
今後ますます使い易くなる



今後の ADC開発の展望

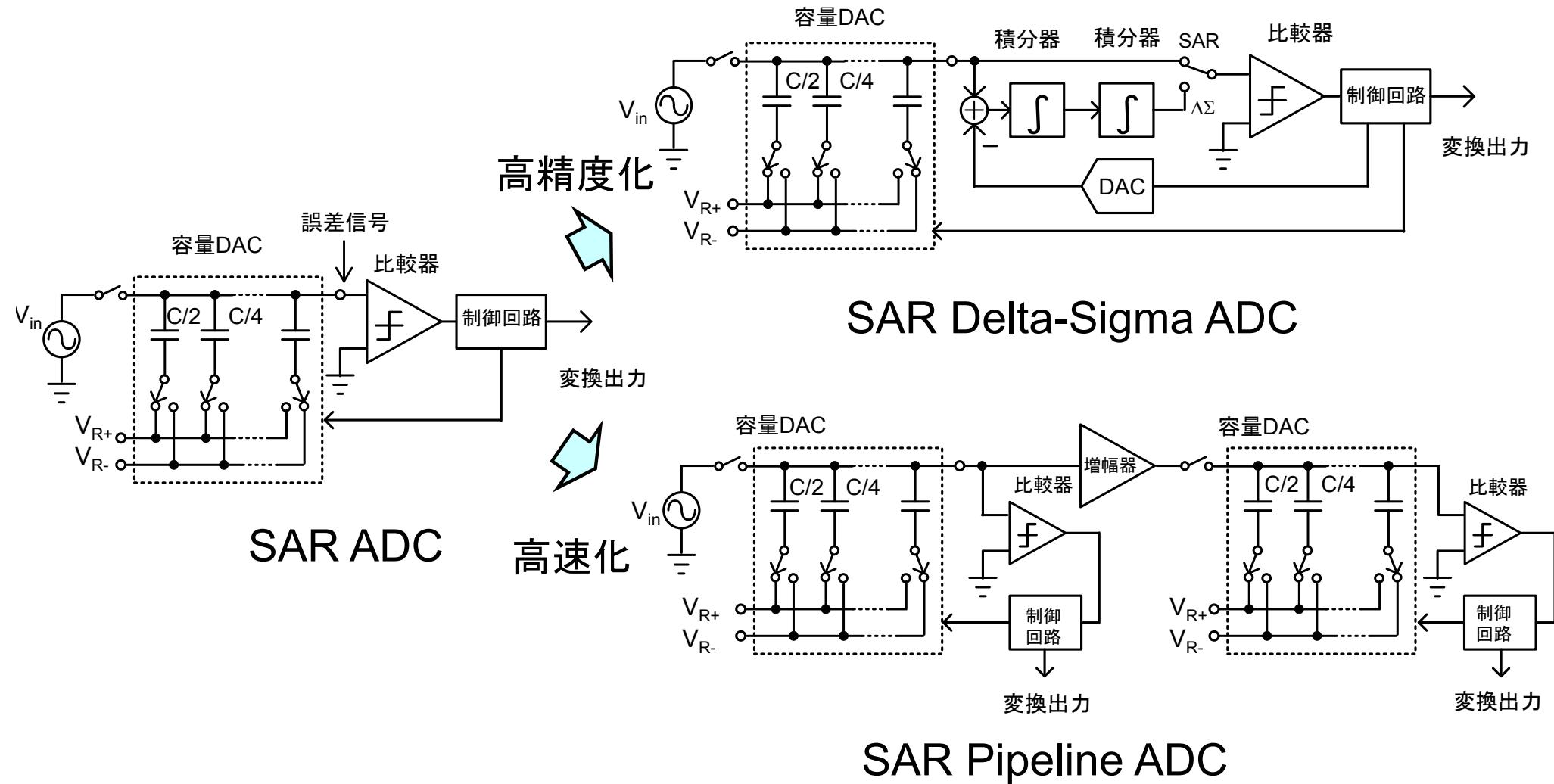
SAR ADCは小面積, 低動作エネルギーで, インタリーブにより変換速度を数10GS/sにすることも可能だが, 分解能はせいぜい **12bit**, SNRは **70dBが妥当**なところであり, それ以上の性能が必要な場合は SARをベースとして他の方式と組み合わせる**ハイブリッド型**が注目されている。

ハイブリッド型ADC

61

TOKYO TECH
Pursuing Excellence

SAR ADCをベースとしたハイブリッド型ADCが注目されている



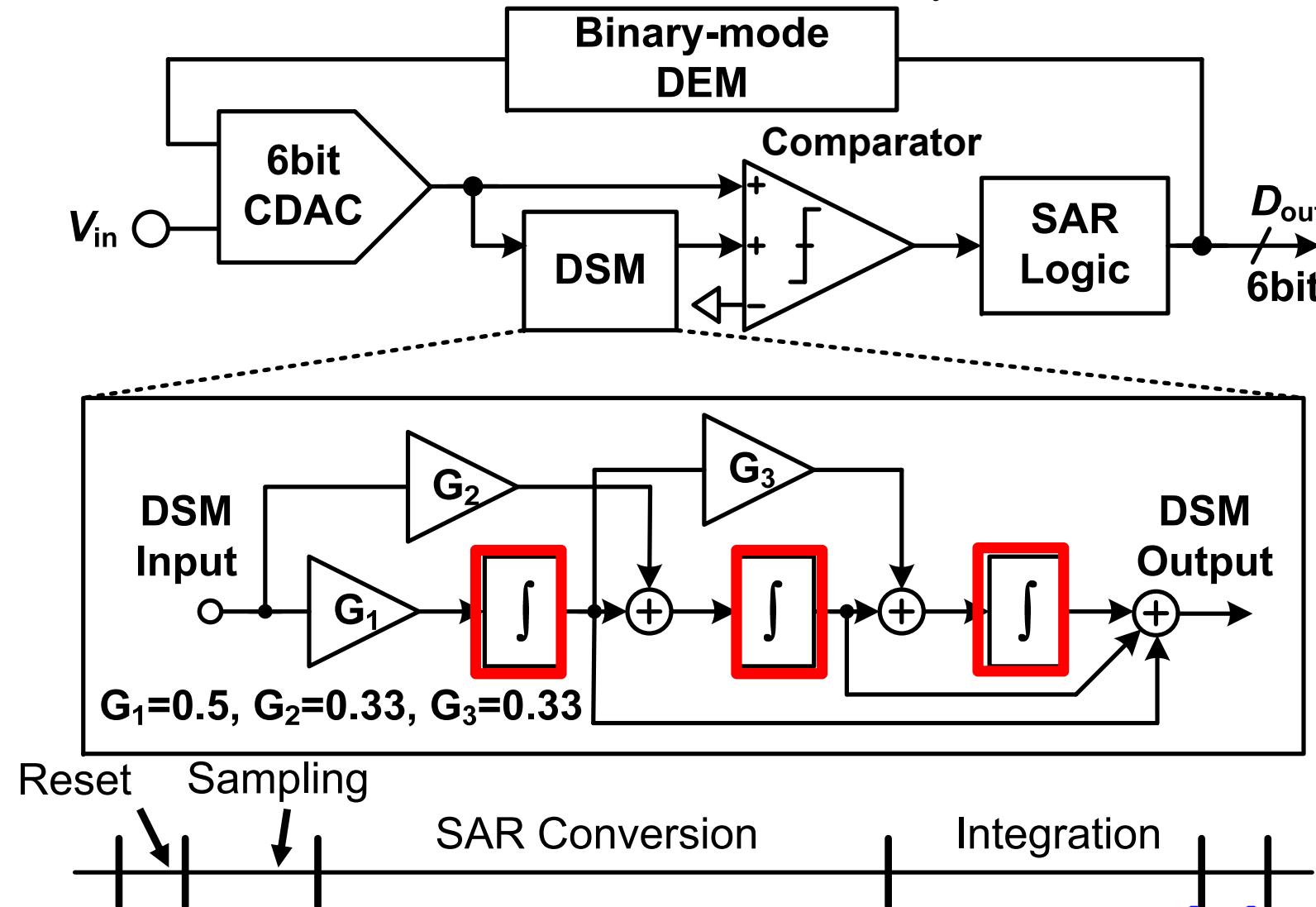
SAR+Delta-Sigma ADC

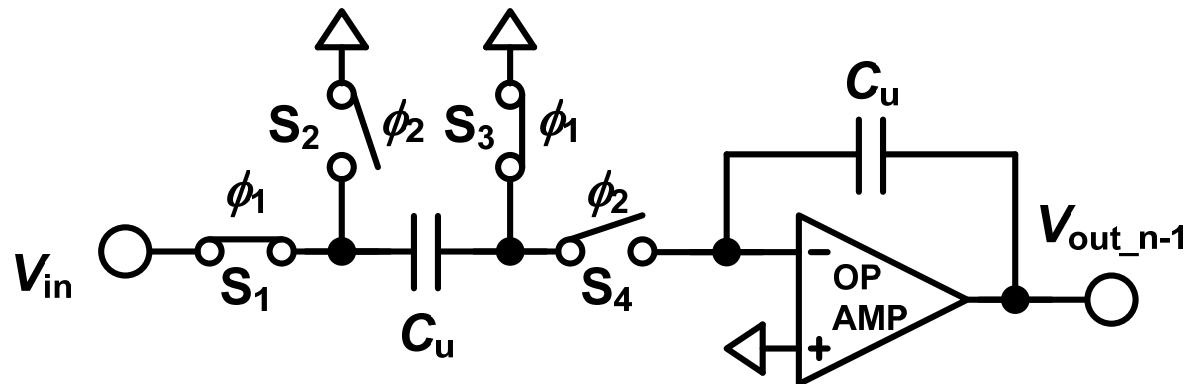
62

TOKYO TECH
Pursuing Excellence

SARADCとDelta-Sigma ADCを組み合わせたハイブリッドADCを開発

M. Miyahara & A. Matsuzawa, CICC 2017.

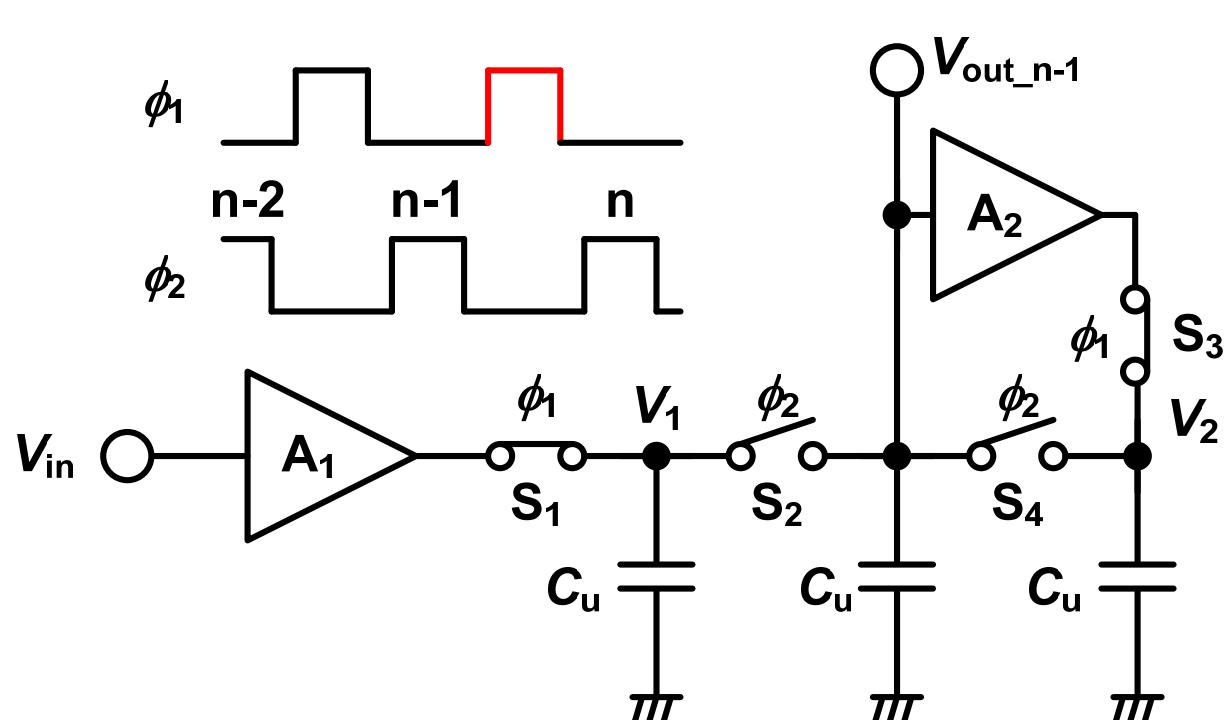




Phase: ϕ_1

$$V_{\text{out}} = V_{\text{out}_{n-1}}$$

Conventional closed-loop integrator



Phase: ϕ_1

$$V_{\text{out}} = V_{\text{out}_{n-1}}$$

$$V_1 = A_1 V_{\text{in}}$$

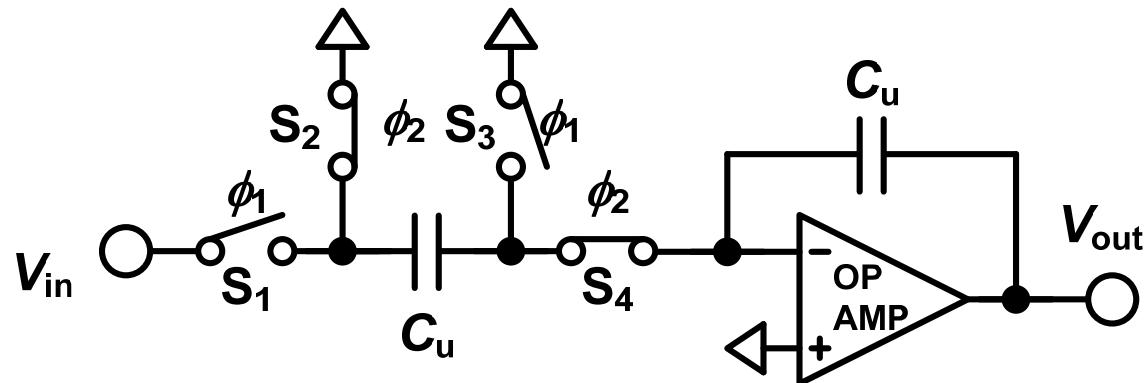
$$V_2 = A_2 V_{\text{out}_{n-1}}$$

Proposed open-loop integrator

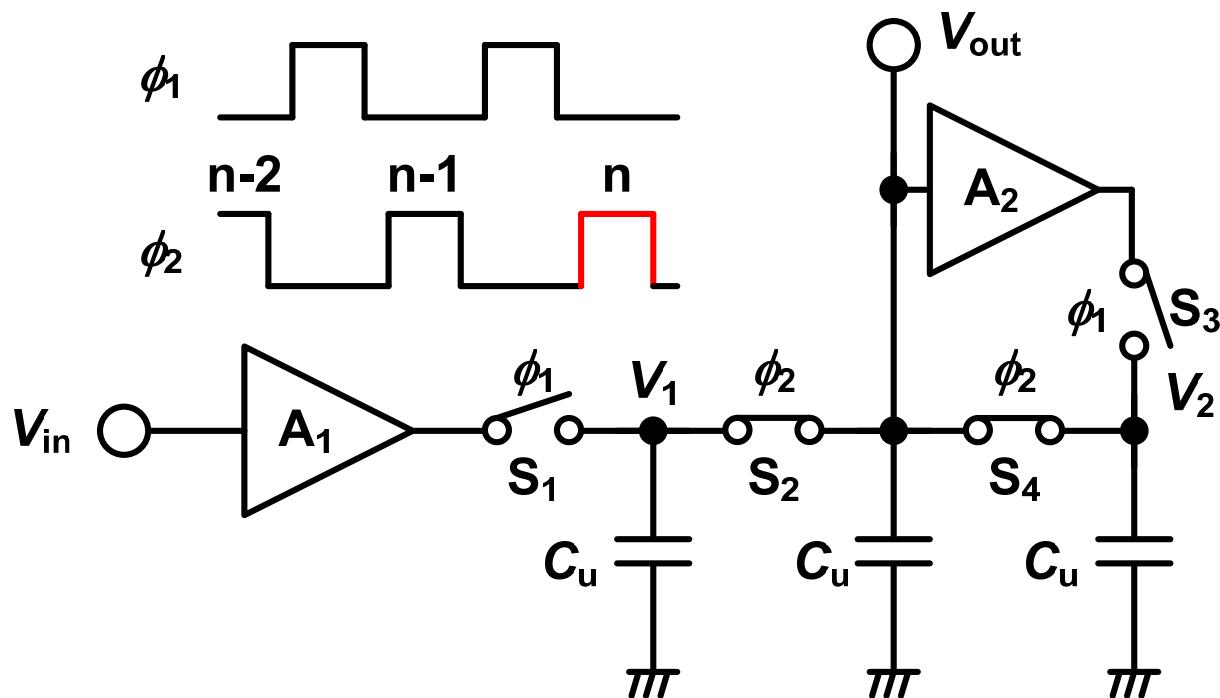
世界初：OpAmpを用いない開ループの完全積分器

64

TOKYO TECH
Pursuing Excellence



Conventional closed-loop integrator



Proposed open-loop integrator

東工大 松澤



Phase: ϕ_1

$$V_{\text{out}} = V_{\text{out_n-1}}$$

Phase: ϕ_2

$$V_{\text{out}} = V_{\text{out_n-1}} + V_{\text{in}}$$

Phase: ϕ_1

$$V_{\text{out}} = V_{\text{out_n-1}}$$

$$V_1 = A_1 V_{\text{in}}$$

$$V_2 = A_2 V_{\text{out_n-1}}$$

Phase: ϕ_2

$$V_{\text{out}} = (V_{\text{out_n-1}} + V_1 + V_2)/3$$

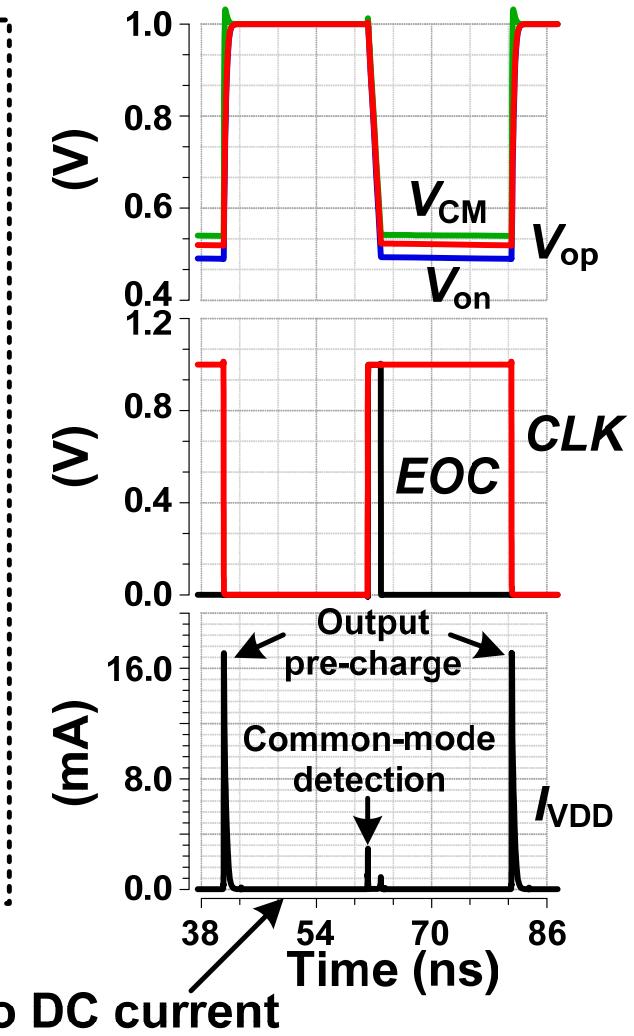
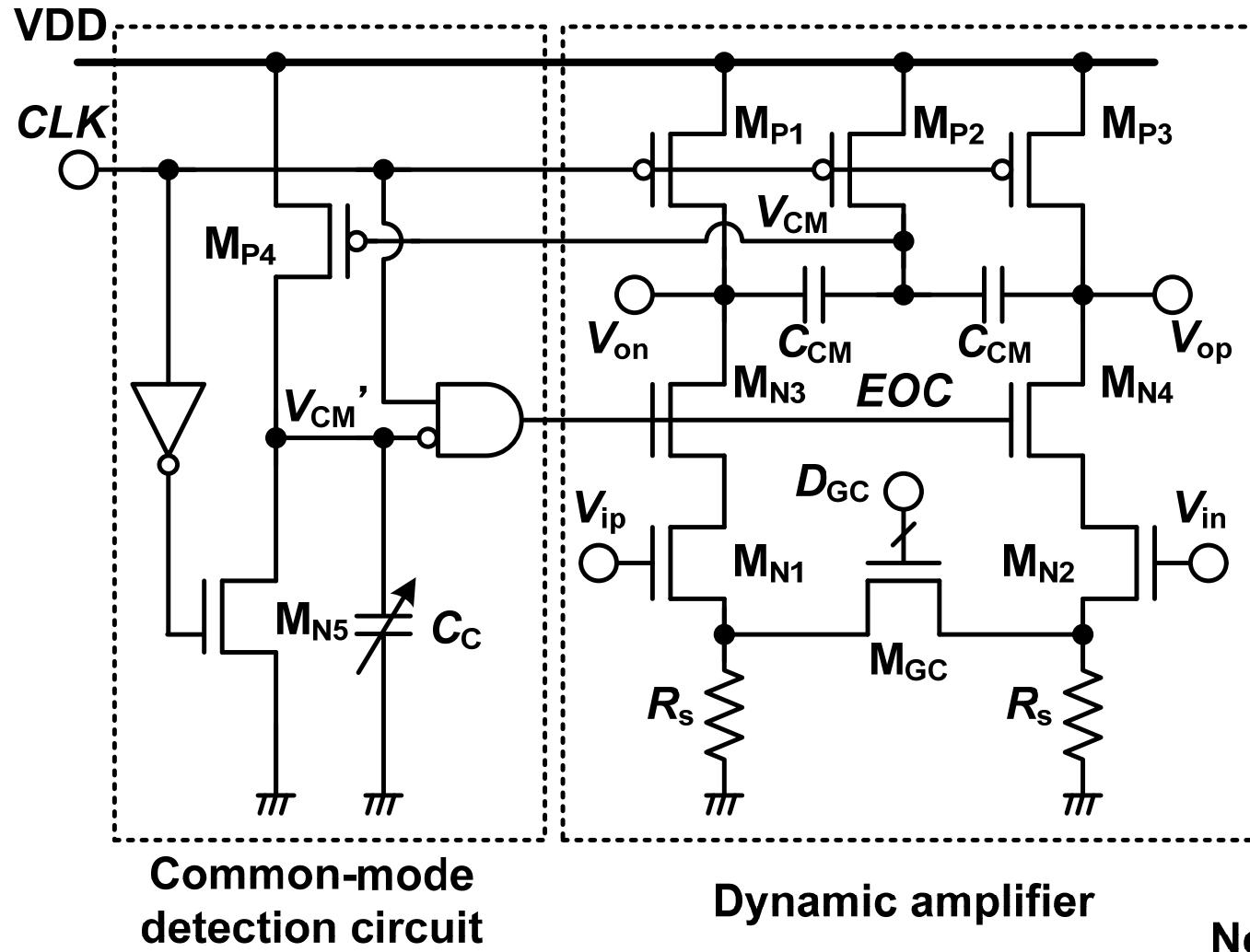
$$A_1=3, A_2=2,$$

$$V_{\text{out}} = V_{\text{out_n-1}} + V_{\text{in}}$$

ダイナミックアンプの提案

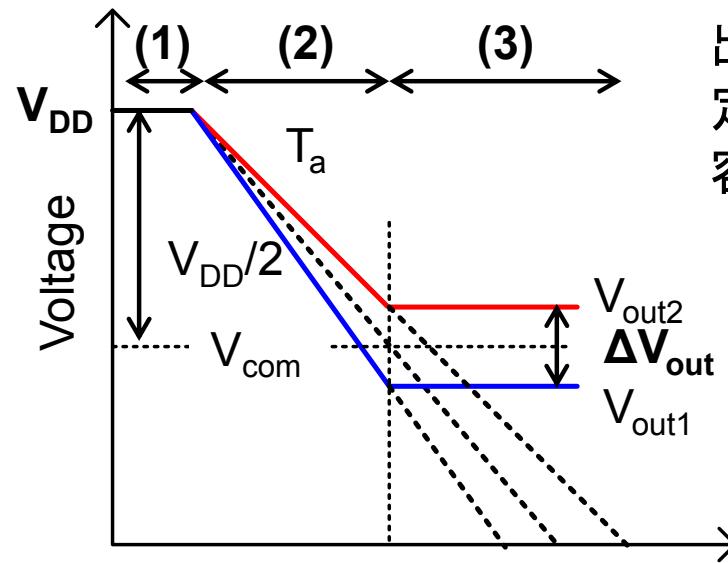
65

- No DC current
- Gain controllable $1.5x \sim 4.5x$, 5bit resolution



ダイナミックアンプの発明

66



出力の中間電圧を検知して電流を停止し、電圧を保持する定常電流が流れず、考えうる最小電力での増幅を実現容量によりノイズレベルが決まる

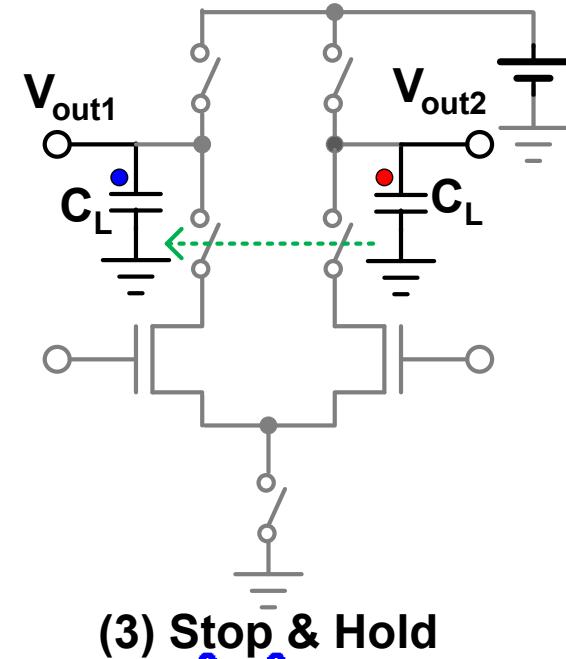
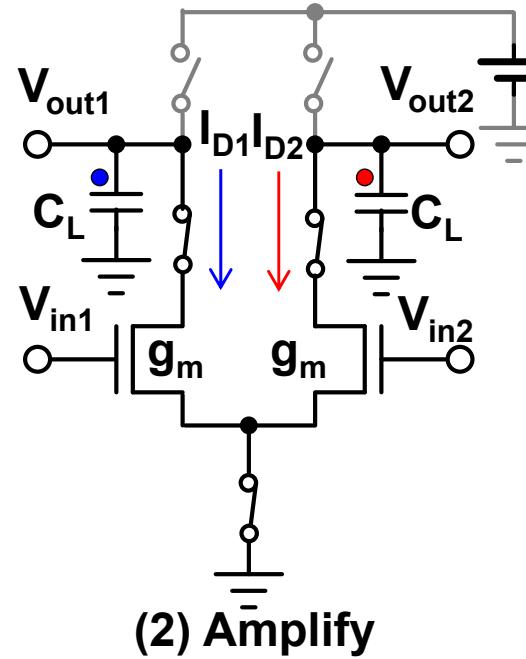
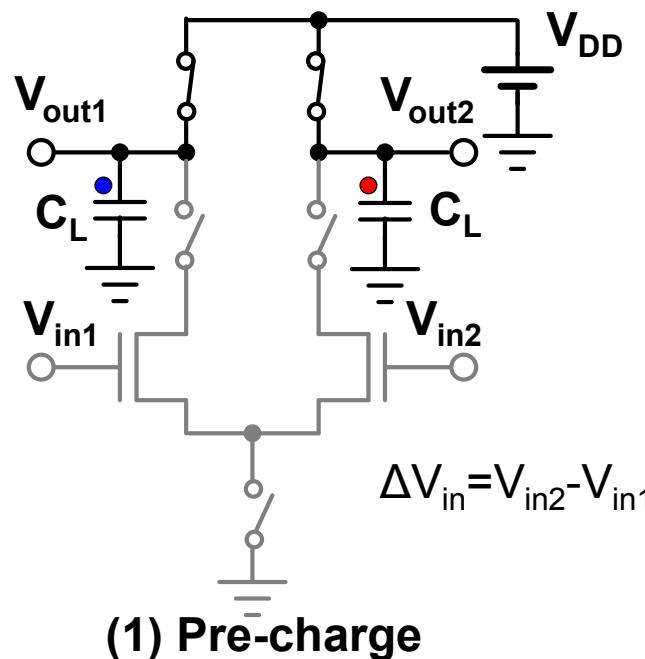
$$E_d = C_L V_{DD}^2$$

$$\Delta I_{out} = g_m \Delta V_{in}$$

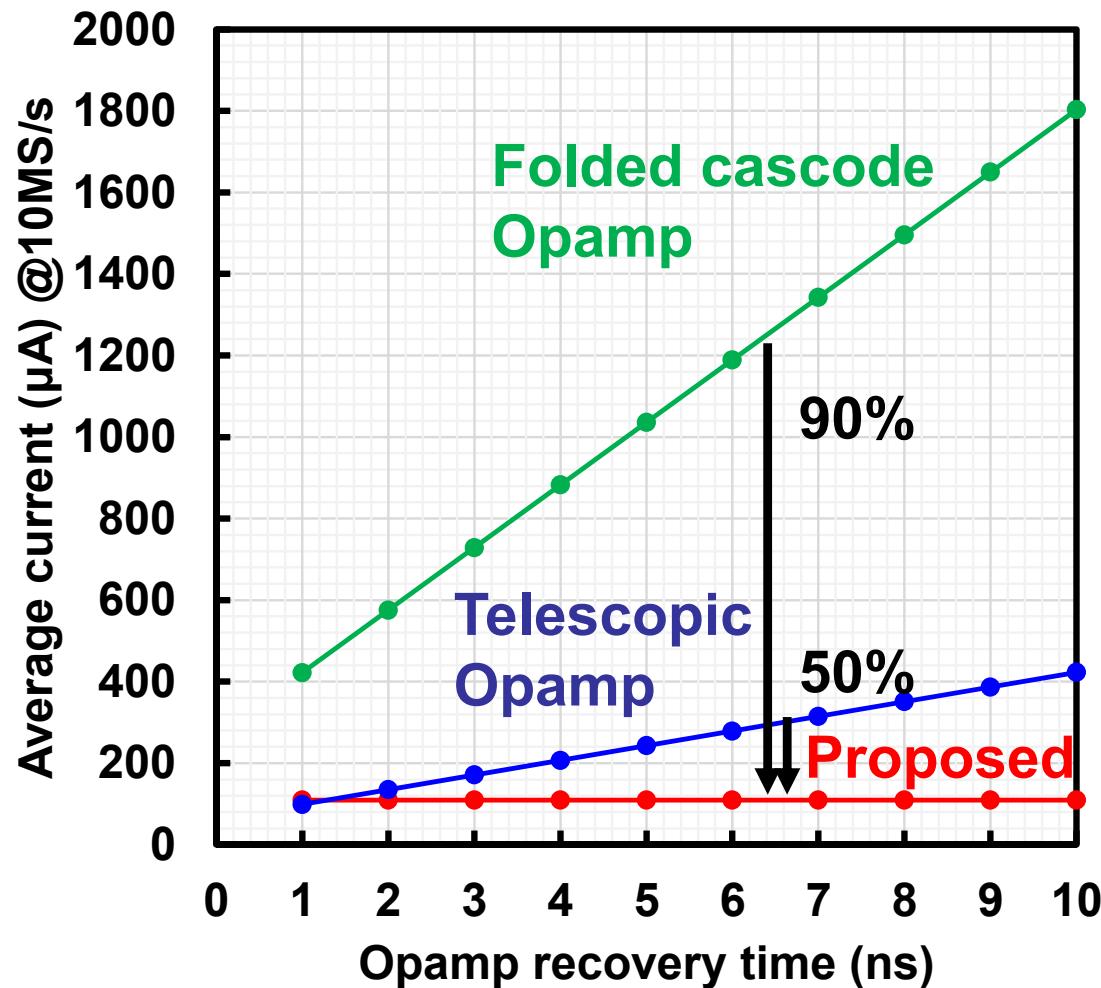
$$\Delta V_{out} = \frac{\Delta Q}{C_L} = \frac{\Delta I_{out} \cdot T_a}{C_L} = \frac{g_m \Delta V_{in} \cdot T_a}{C_L}$$

$$G = \frac{\Delta V_{out}}{\Delta V_{in}} = -\frac{V_{DD}}{V_{eff}}$$

J. Lin, M. Miyahara, and A. Matsuzawa,
ISCAS, pp. 21-24, May 2011.



開ループ積分器とダイナミックアンプにより90%の消費電力削減が可能



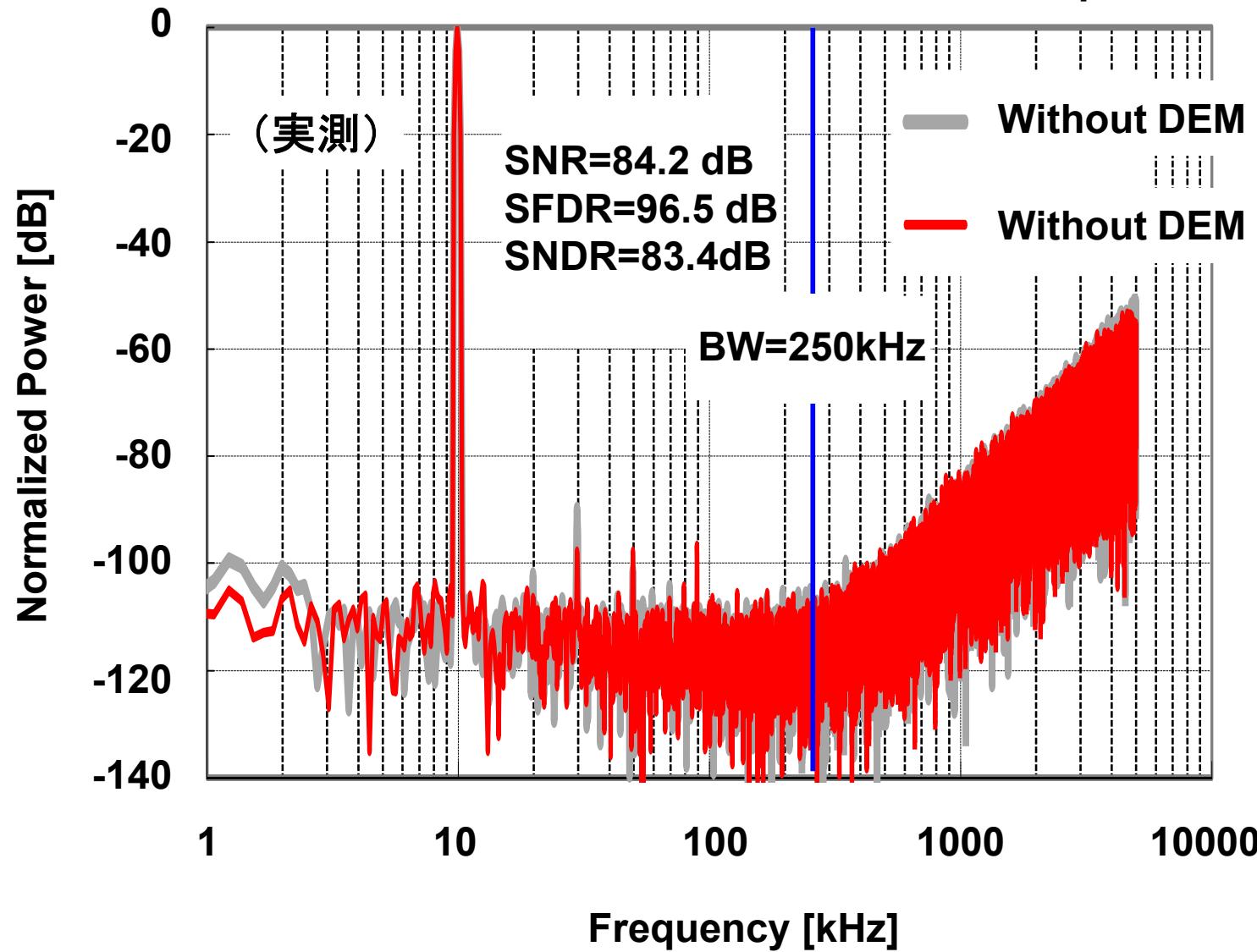
	Proposed	Opamp
DC Gain(V/V)	3	100
# of unit	2	1
Integrator Type	Open	Closed
Integrator Output noise	100μV RMS	
Settling error	-	1%
Settling time	1.8ns	
Clock Freq.	150MHz	
Recovery time	None	1 CLK (6.7ns)

FFT スペクトラム

68

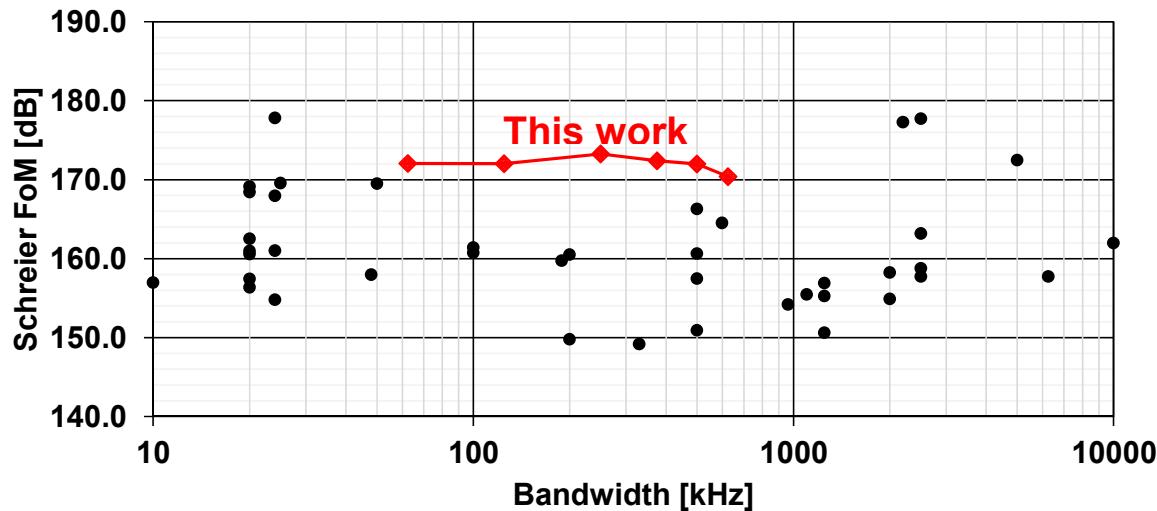
84dBの高いSNDRを実現

$F_s=10\text{MS/s}$, $BW=250\text{kHz}$, $OSR=20$, 10kHz input



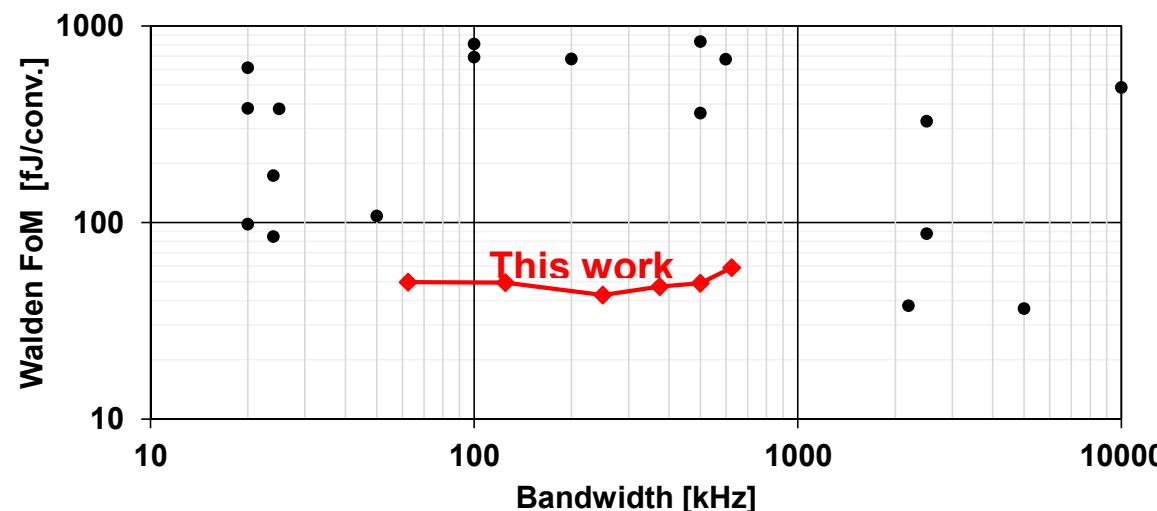
世界最高レベルのFoMと80dBを超えるDRを実現

BW 500kHz ($T_s=1\mu s$)で, DR=81dB (100μV) FoMs=171 (dB) $P_d=500\mu W$
 50kHz ($T_s=10\mu s$), DR=84dB (60μV) FoMs=172 (dB) $P_d=55\mu W$



DR: Dynamic Range
 BW: Bandwidth

$$FoM_s = DR + 10 \log\left(\frac{BW}{P_d}\right)$$



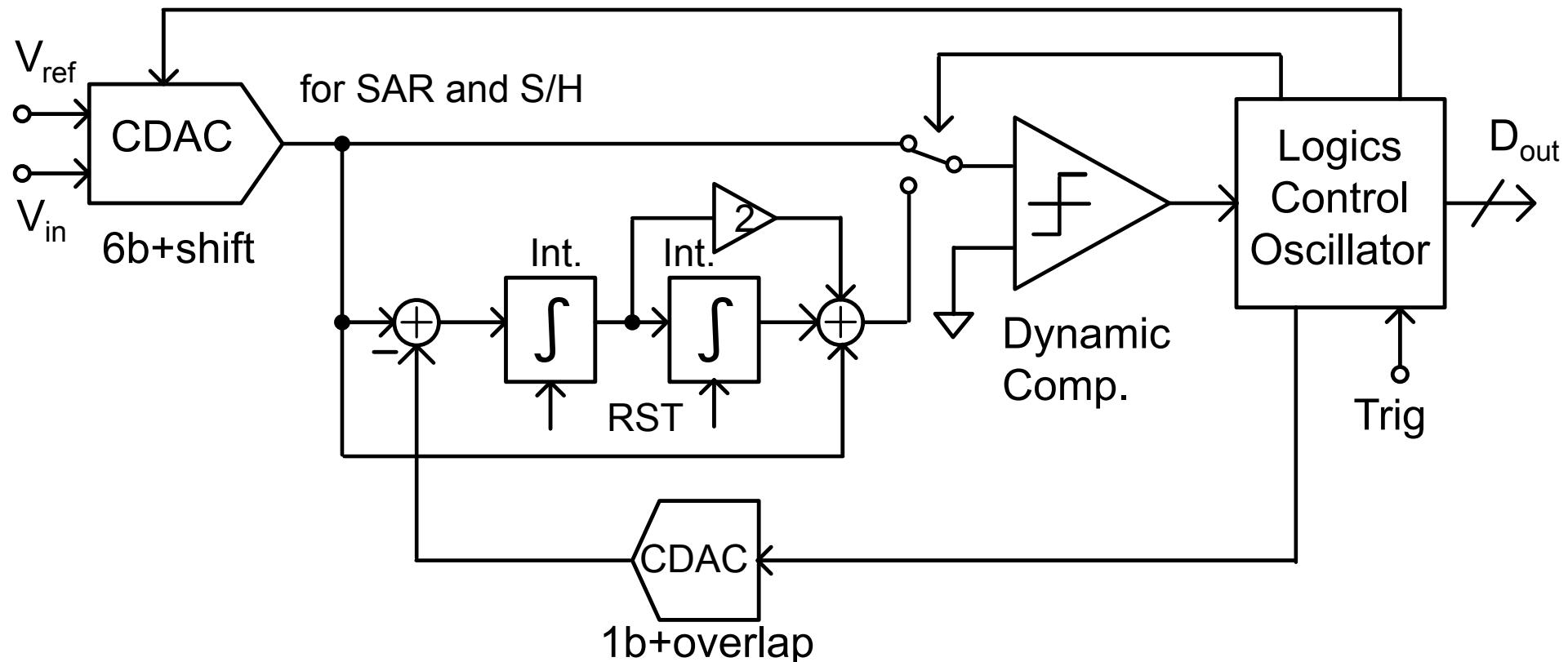
$$FoM_w = \frac{P_d}{2^{ENOB} \cdot 2BW}$$

CMOSイメージセンサーの低ノイズ化を狙いに開発

Low power SAR ADC + low noise $\Delta\Sigma$ ADC

2nd order incremental SAR+ $\Delta\Sigma$ ADC

A. Matsuzawa & M. Miyahara, IISW 2017.

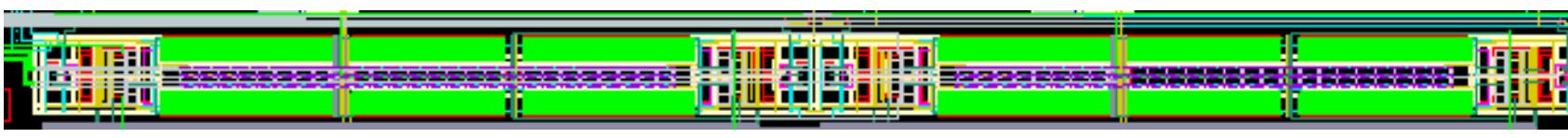
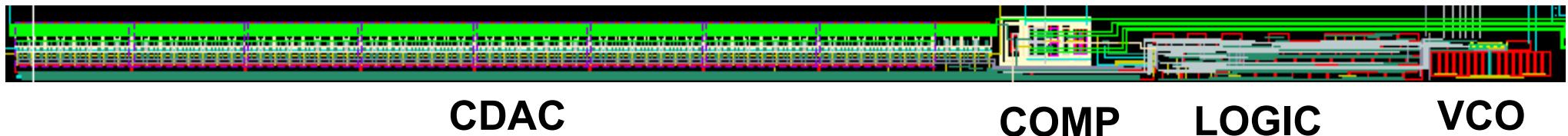
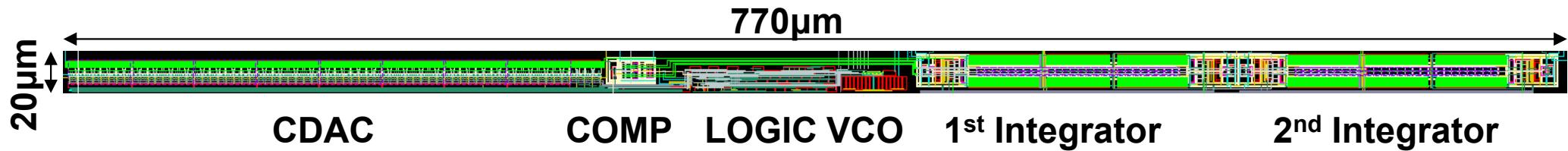


ADCレイアウト

71



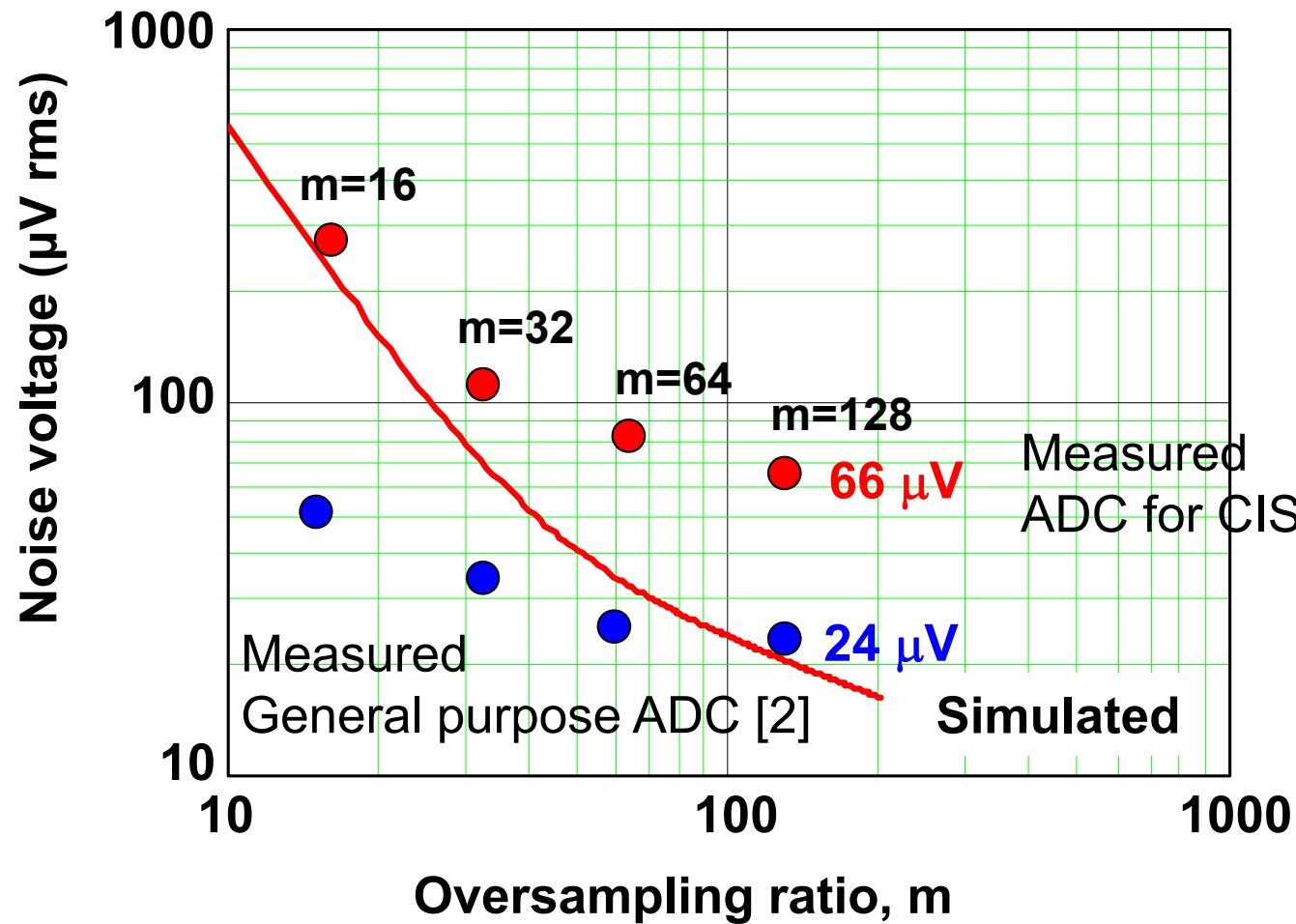
CIS用に20μm幅のADCのレイアウト



1st Integrator

2nd Integrator

オーバーサンプリング比を上げることで汎用ADCでは $24\mu\text{V}$
CIS用ADCでは $66\mu\text{V}$ を実現



[2] M. Miyahara, et al, CICC, April, 2017

- キーデバイス(ADC)の開発が新たな機器開発を促進
- 回路や変換方式は用途とその時点のデバイスから決定され、時代に適合したものが生き残る
- 今日は微細化・低電圧化に適した回路が求められる
- SNRは基本的に容量値とオーバーサンプリング比で決定される。速度は時定数と並列度で決定される。
- 重要技術:より簡素な回路に向かう
 - 容量, スイッチ, トランスコンダクタンス, $\Delta\Sigma$ 変調, ダイナミック回路
デジタルアシスト技術
- OPアンプレスの方向に向かっているが、増幅器は必要
ダイナミックアンプやリングアンプの研究がなされるだろう

40年間、楽しませていただきました。
ありがとうございました。

- 最初にADC開発のテーマを与えられたことは幸運であった
 - 最初から世界トップ
 - デジタル機器のためのアナログ技術
 - 回路技術だけでなく変換アーキテクチャの面白さ
 - ADCの開発で様々なデジタル機器を実現
 - 業務用デジタルビデオシステム, 256QAM通信システム
HDTV, デジタルオシロ, デジタルカムコーダ, デジタルカメラ, DVD, etc
 - 繼続した研究開発。未だに強い要望
 - 用途の変化に応じて、要求性能が変化 未だにADC律則
 - デバイスや微細化に伴い新たな課題