

カスケード型 IL-PLL における通倍比の最適化に関する検討

A Consideration of Optimizing Multiplication Factor Using Cascaded Injection Locked PLL

吉岡 透 中田 憲吾 岡田 健一 松澤 昭
Toru Yoshioka Kengo Nakata Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

注入同期 PLL(IL-PLL: Injection Locked PLL) は参照信号と出力信号を同期することで位相雑音を改善し、低ジッタを実現できる。しかし、参照信号に周波数の低い信号を用いた場合、通倍比が大きくなるとジッタが蓄積し、ロックが外れ所望の周波数で注入同期できない可能性が大きくなる。そのため IL-PLL において高通倍化が困難であるとされており、この問題を解決する手法として、カスケード型 IL-PLL[1]がある。本研究ではカスケード型 IL-PLL におけるジッタと通倍比の関係を解析し最適化することについて検討する。

2 IL-PLL

IL-PLL の位相雑音特性は参照信号の周波数に依存し、インバンドでの位相雑音を抑制することができる [2]。IL-PLL の位相雑音は次のように表すことができる。

$$S_{\phi}(f) = S_{\phi\text{free}}(f) \frac{kf^2}{1 + \left(\frac{f}{f_{\text{BW}}}\right)^2} + N^2 S_{\phi\text{ref}}(f) \frac{1}{1 + \left(\frac{f}{f_{\text{ref}}}\right)^2} \quad (1)$$

ここで $S_{\phi\text{free}}$ は注入同期していない発振器の位相雑音、 $S_{\phi\text{ref}}$ は参照信号の位相雑音、 f_{BW} はバンド幅であり

$$f_{\text{BW}} = \frac{f_{\text{ref}}}{2\pi} \sqrt{\frac{6}{1-N}} \quad (2)$$

と表される。通常 IL-PLL では参照信号の位相雑音は発振器の位相雑音に比べて十分良い水晶発振器などを用いるため、その影響は無視することができる。よって、IL-PLL の位相雑音特性は図 1 のようになり、発振器の位相雑音を改善することができる。

3 カスケード型 IL-PLL

本研究では IL-PLL を 2 段に分けて通倍する、カスケード型 IL-PLL について考察する。この回路は 1 段目の IL-PLL の出力信号を 2 段目の参照信号として注入同期を行う構成となっている。1 段目と 2 段目の通倍比がそれぞれ N_1, N_2 の IL-PLL を使い合計で $N_1 N_2 = N$ の通倍比を実現する。カスケード型 IL-PLL の伝達関数は図 2 のようになる。この回路において、2 段目の IL-PLL の参照信号として 1 段目の IL-PLL の出力信号を用いるため、その影響を考慮する必要がある。

この回路における位相雑音は次のように表される。

$$S_{\phi 2}(f) = S_{\phi\text{free}2} \frac{k_2 f^2}{1 + \left(\frac{f}{f_{\text{BW}2}}\right)^2} + N_2^2 S_{\phi 1}(f) \frac{1}{1 + \left(\frac{f}{N_1 f_{\text{ref}}}\right)^2} \quad (3)$$

出力における RMS ジッタは

$$J_{\text{RMS}} = \frac{1}{2\pi N f_{\text{ref}}} \sqrt{\int_0^{\infty} S_{\phi 2}(f) df} \quad (4)$$

によって計算される。合計の通倍比 N と参照信号の周波数 f_{ref} を一定とすれば、ジッタは 1 段目の通倍比 N_1 に依存する式で表すことができる。 N_1 を変化させたとき、ジッタは図 3 のように変化し、 N_1 が小さいほどジッタは小さくなる。

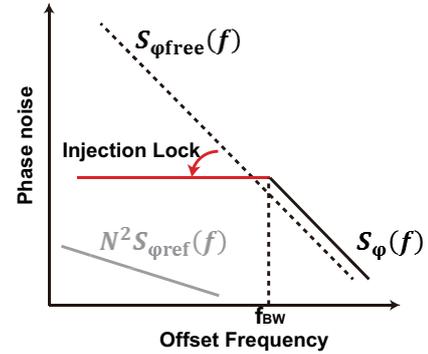


図 1 IL-PLL の位相雑音特性

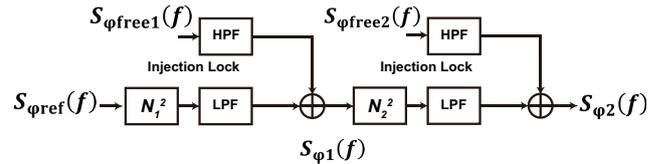


図 2 カスケード型 IL-PLL の伝達関数

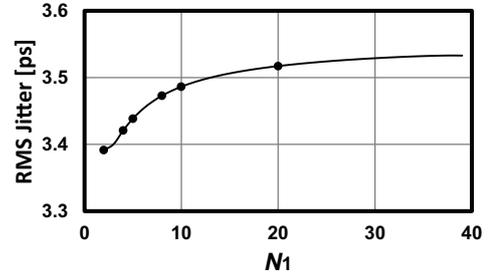


図 3 N_1 とジッタの関係 ($N=40, f_{\text{ref}}=50 \text{ MHz}, f_{\text{DCO}}=2 \text{ GHz}$)

4 まとめ

カスケード型 IL-PLL におけるジッタを算出し、ジッタの大きさと通倍比の関係を求めた。また、1 段目の通倍比が小さいほどジッタが小さくなると分かった。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、科学研究費補助金、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。

参考文献

- [1] Jri Lee, and Huaide Wang, "Study of Subharmonically Injection-Locked PLLs," *IEEE J. Solid-State Circuits*, vol. 44, no. 5 pp. 1539-1553, May 2009
- [2] Nicola Da Dalt, "An Analysis of Phase Noise in Realigned VCOs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, no. 3, pp. 143-147, Mar 2014.