

電子システム構築のための LSI設計とアナログ技術

松澤 昭

東京工業大学
大学院理工学研究科

2014.01.30

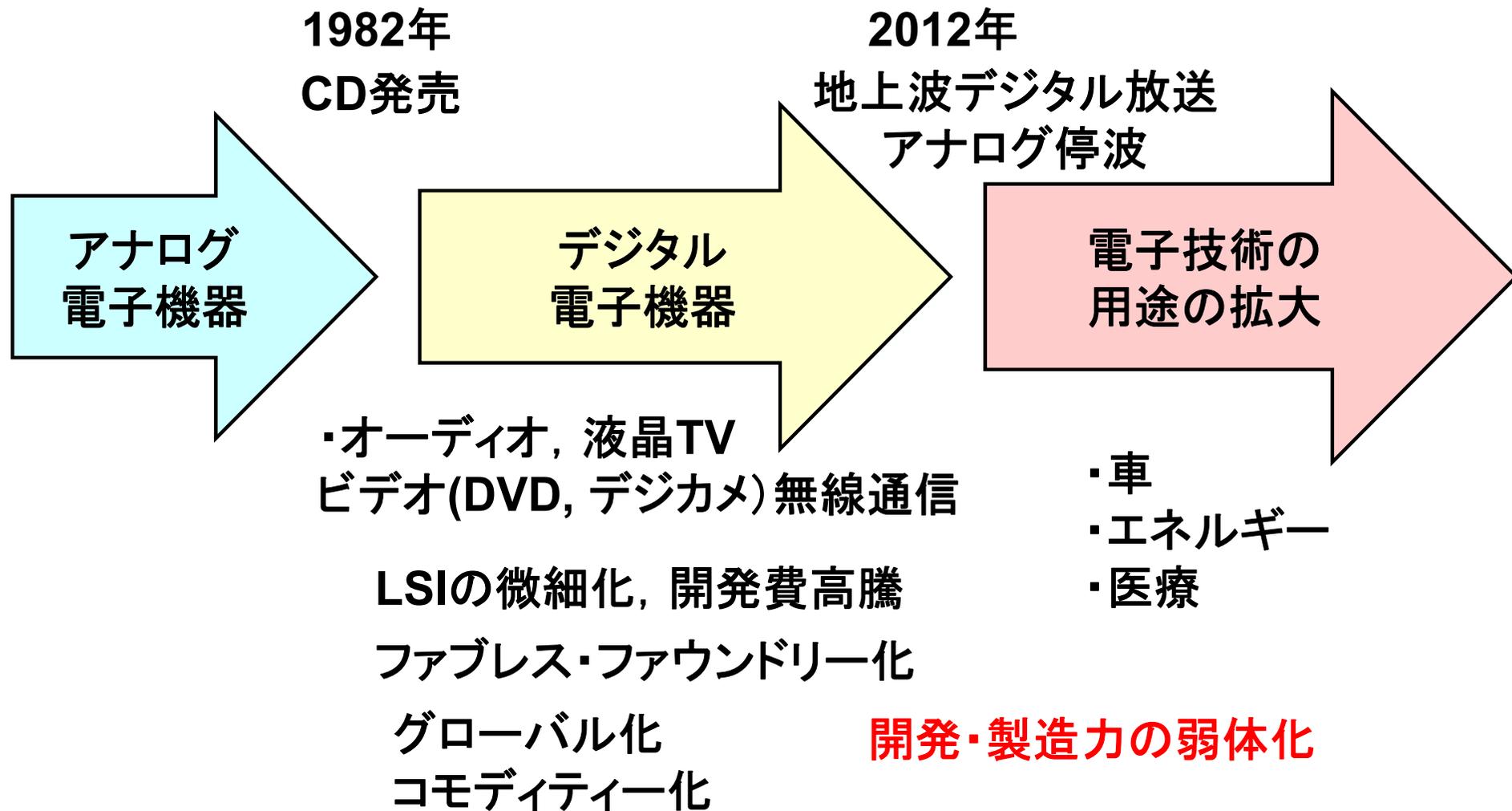
- これまで日本の電子機器メーカーが行ってきたことはデジタル化, 小型化。集積回路技術の向上でこれを達成
- デジタル化が終了, 他分野の電子化などの発展ストーリーが必要
- アナログ(SoC)技術が重要だが, 開発力は低下
- 今後のアナログ回路は低電圧に対応でき, 規則性のあるものに絞り込み, 規則構造を活かしてレイアウトを含めた設計自動化を推進し, 汎用的に使用できるようにすべき
- 今後の汎用的ADCとして高速12bit SAR ADCを開発。これまでの無線通信用ADCの性能を1つのコアかつ最小電力で実現
- PLLの高性能化・低電力化に向けて, クラスC VCO, インジェクションロック発振器, サブps分解能TDCなどを開発中。
- プログラムアナログによりレイアウトを含めた設計自動化を推進。これにより, アナログ開発リソースが弱い企業でもアナログIPが使用できるようにしていきたい。

- エレクトロニクスの流れと今後の発展
- アナログ・デジタル混載SoC技術
- 60GHz CMOS トランシーバの開発
 - アナログ・RFCMOS技術の最先端
- アナログフロントエンドの開発
 - スケーラブル 12bit SAR ADCの開発
- PLL技術
- レイアウトドリブン設計とプログラマブルアナログ回路技術
- まとめ

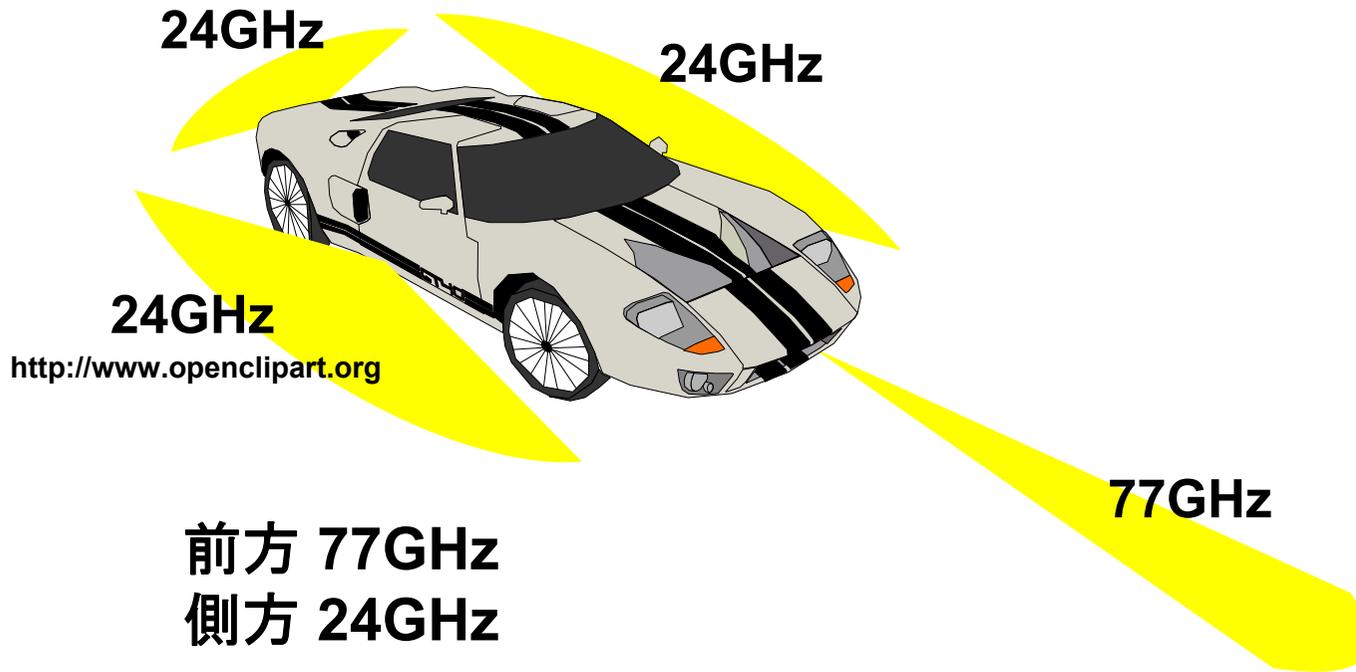
エレクトロニクスの流れと今後の発展

エレクトロニクスの流れ

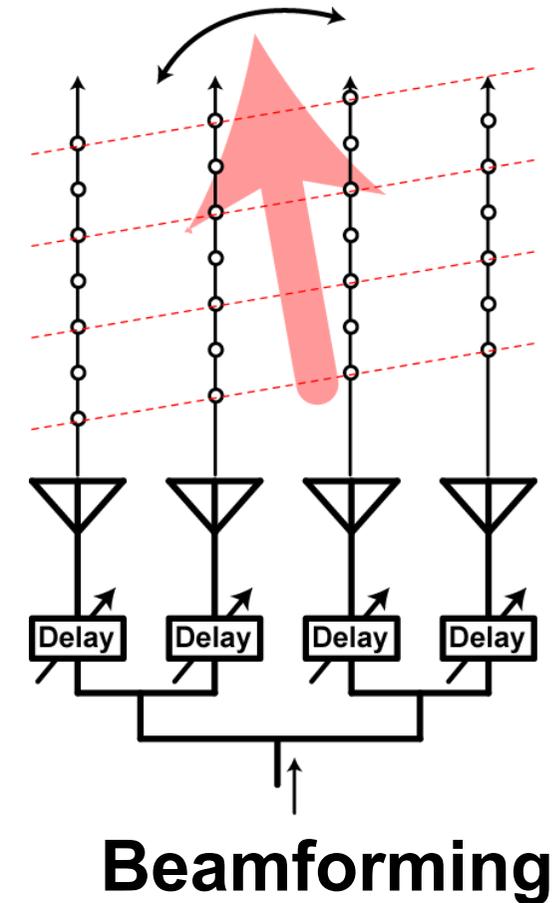
電子産業が過去30年間で、推し進めたことは、電子機器のデジタル化であった。現在はその終了期にあたる。今後は新分野への拡大が求められるが、日本メーカーは開発・製造力が弱体化している。



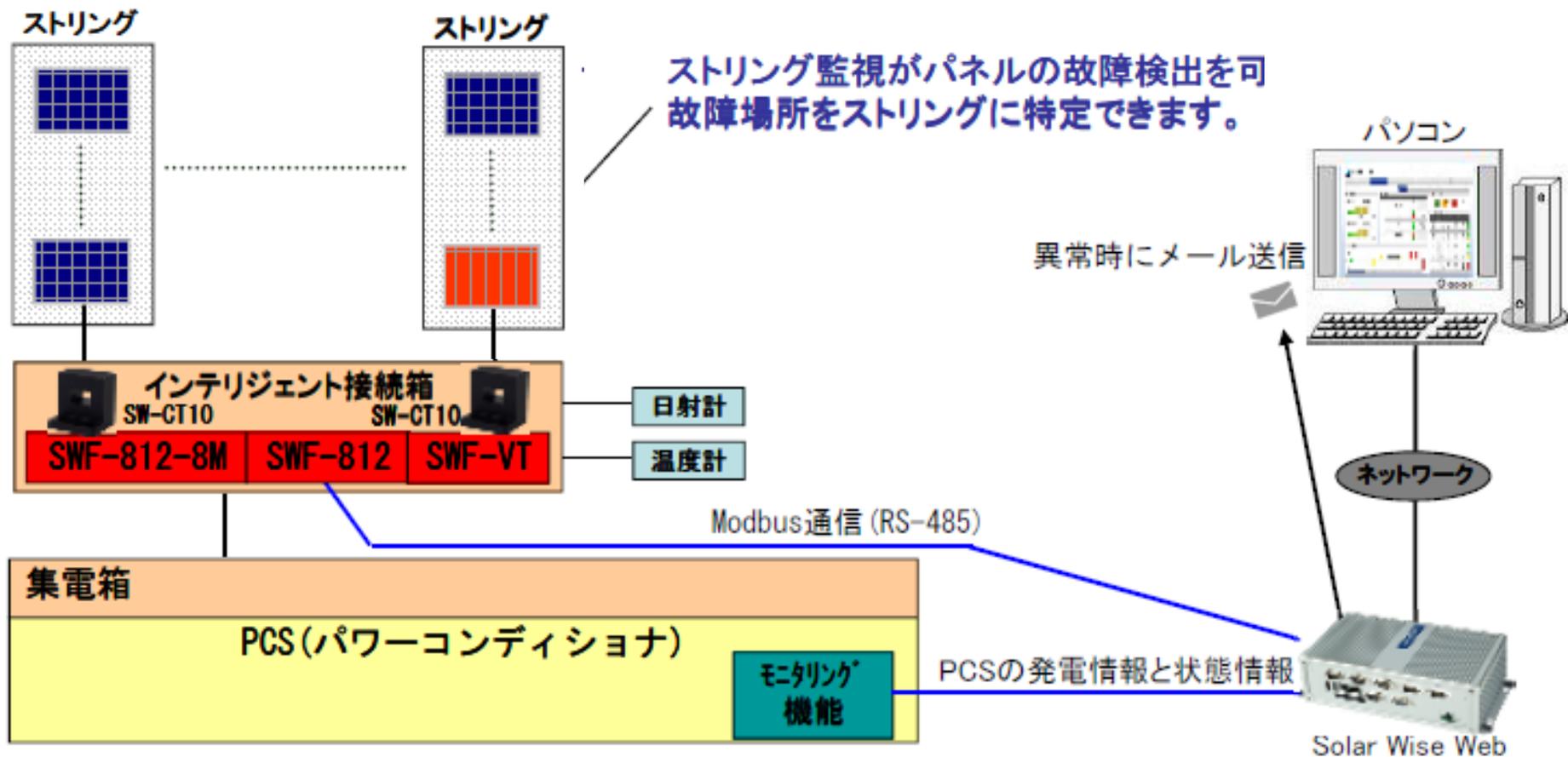
車にはより高度な安全装置が要求される。
77GHzという超高周波技術も必要である。



FMCWによる距離・速度のセンシング
画像認識だけでは夜間利用に難

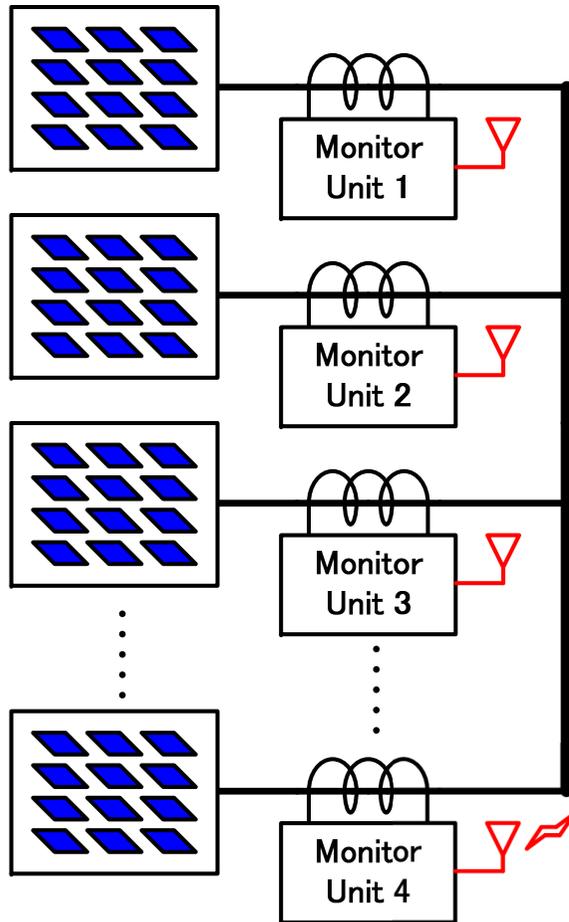


- ・直流電流センサの電源配線や通信配線等の設置コストの低減
- ・パワーコンディショナーからのスイッチング雑音の除去

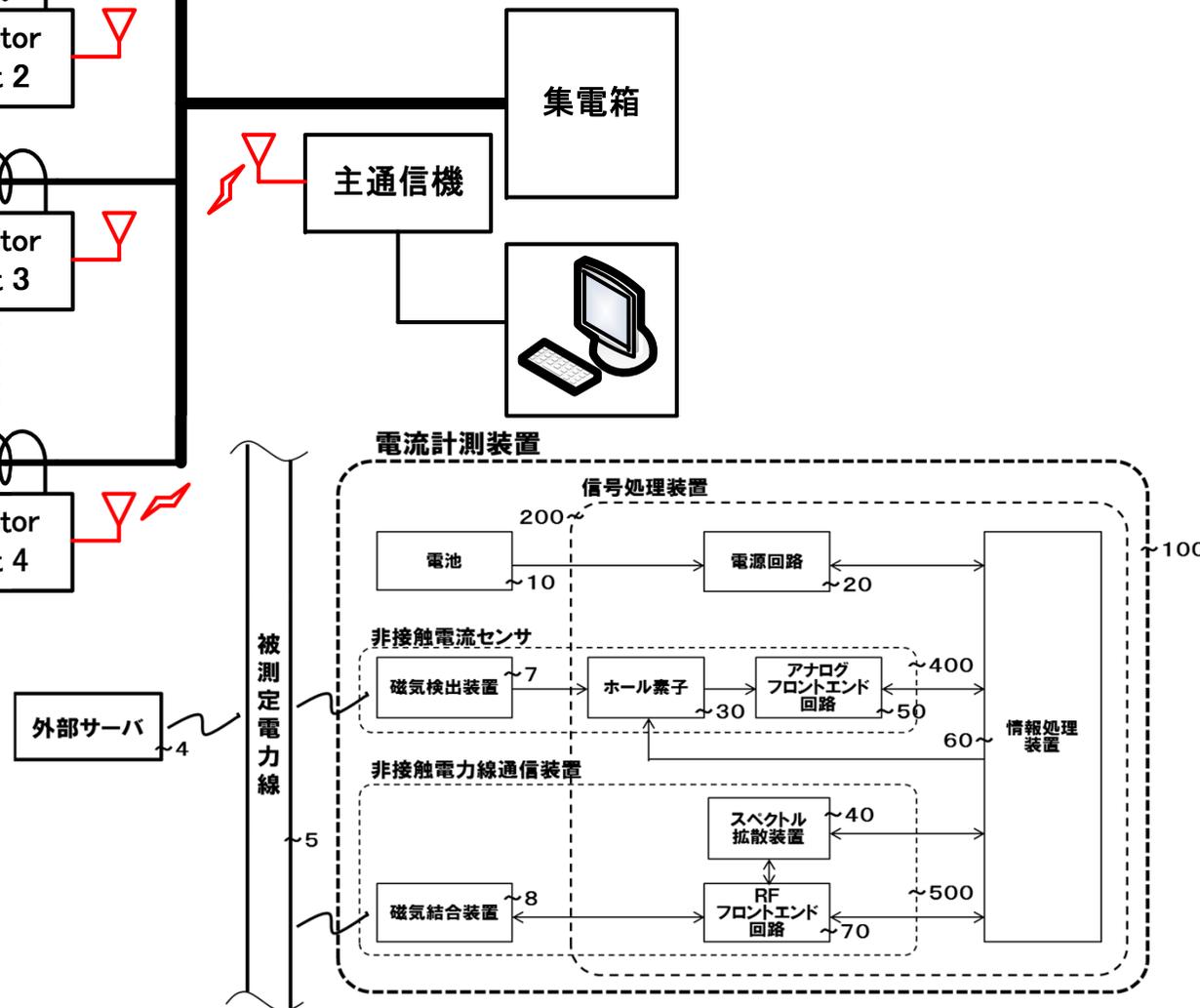


太陽光発電監視システム (近計システムSWF-812)

耐ノイズ性センサと無線を用いたモニタシステム 7

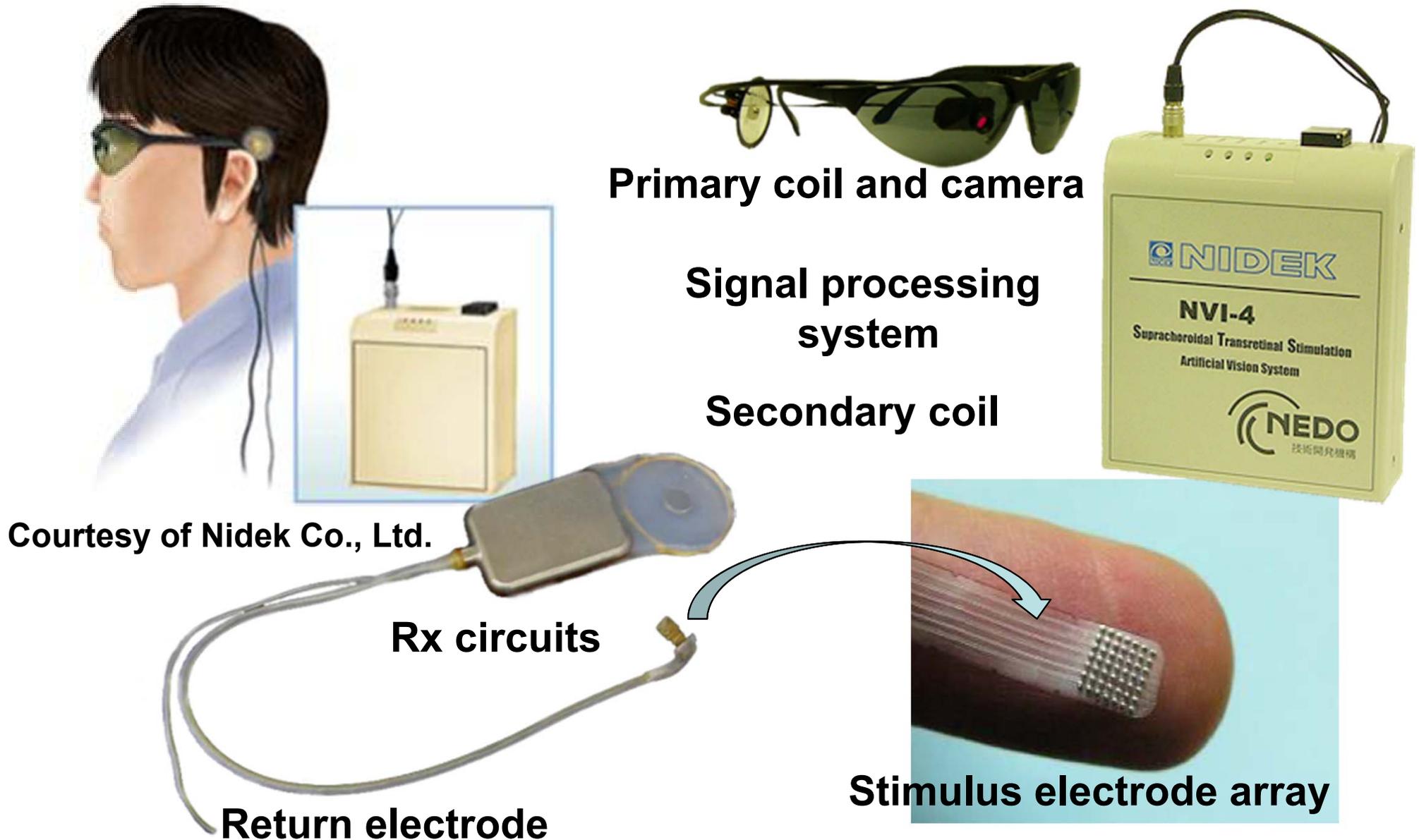


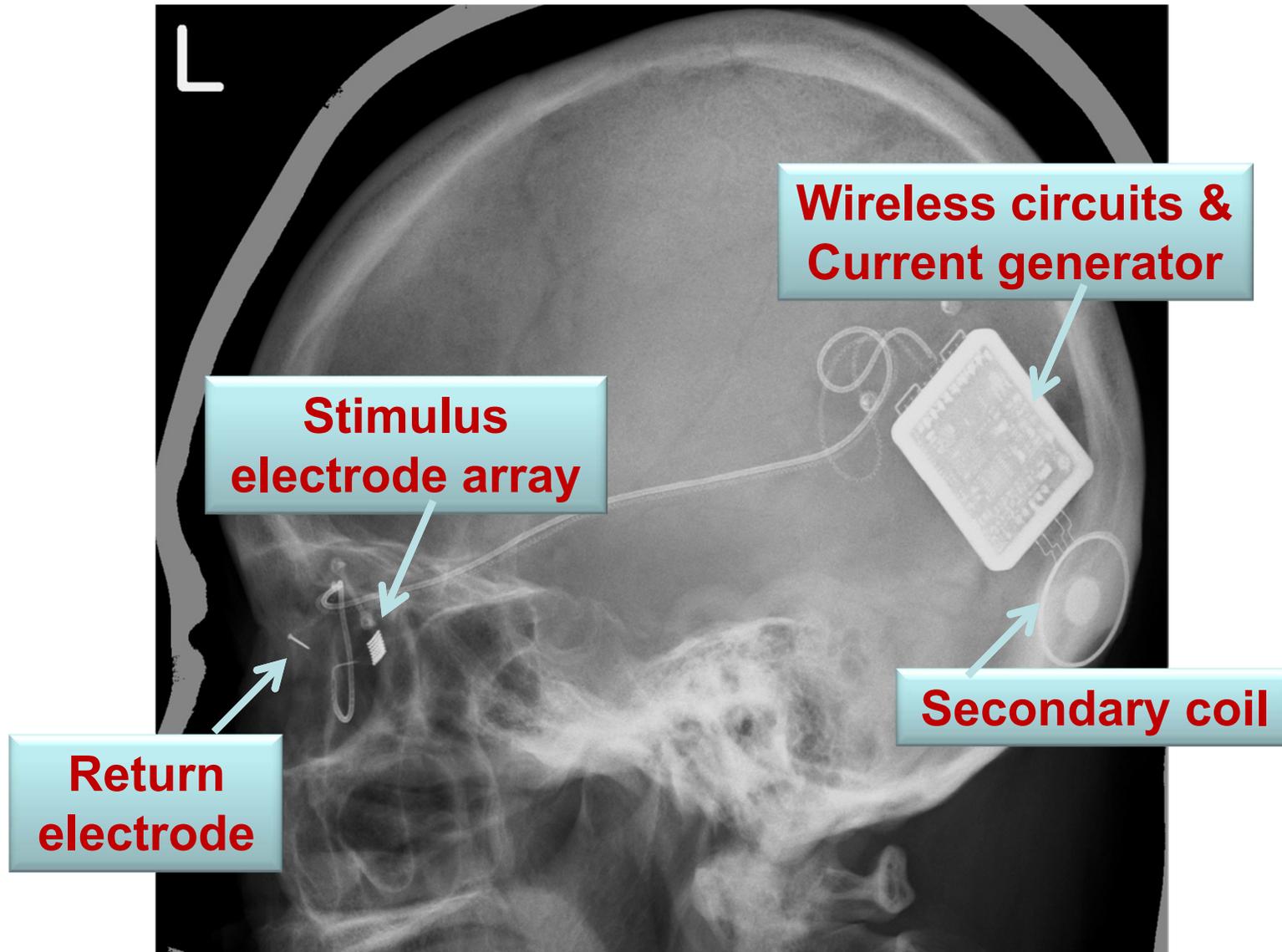
センサと無線システムの耐ノイズ性を高め
無線による通信で柔軟性を高める



医療分野：人工網膜

人工網膜チップを用い視力を取り戻す試みが行われている

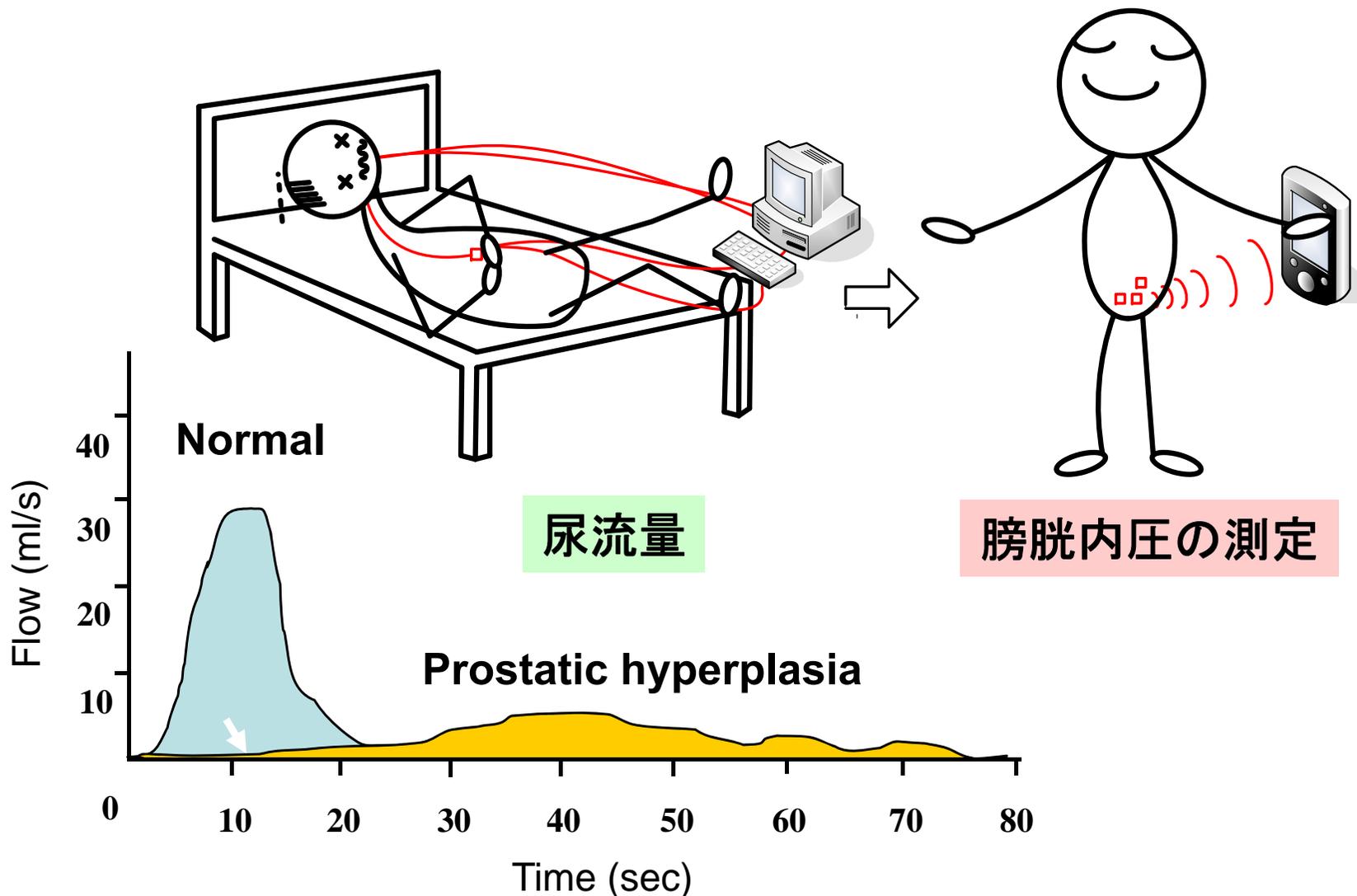




T. Fujikado *et al.*, Invest Ophthalmol Vis Sci. 2011.

排尿機能の検査

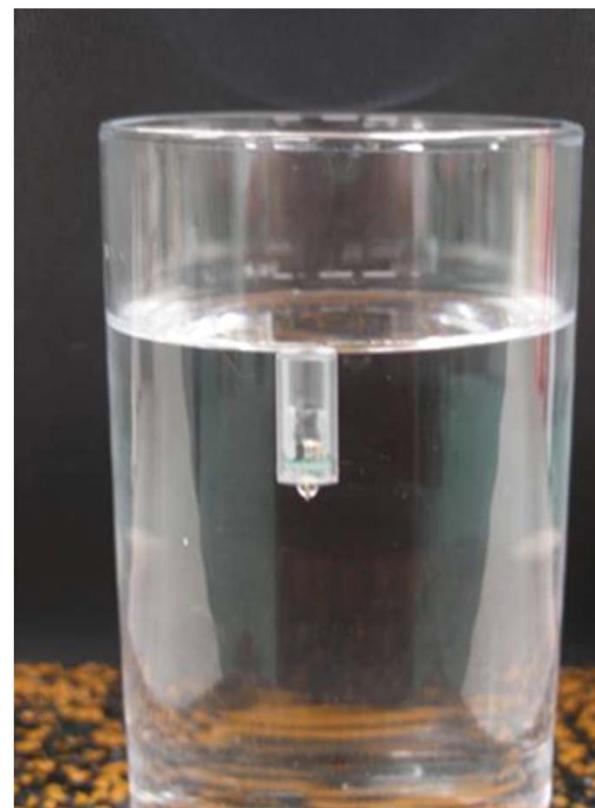
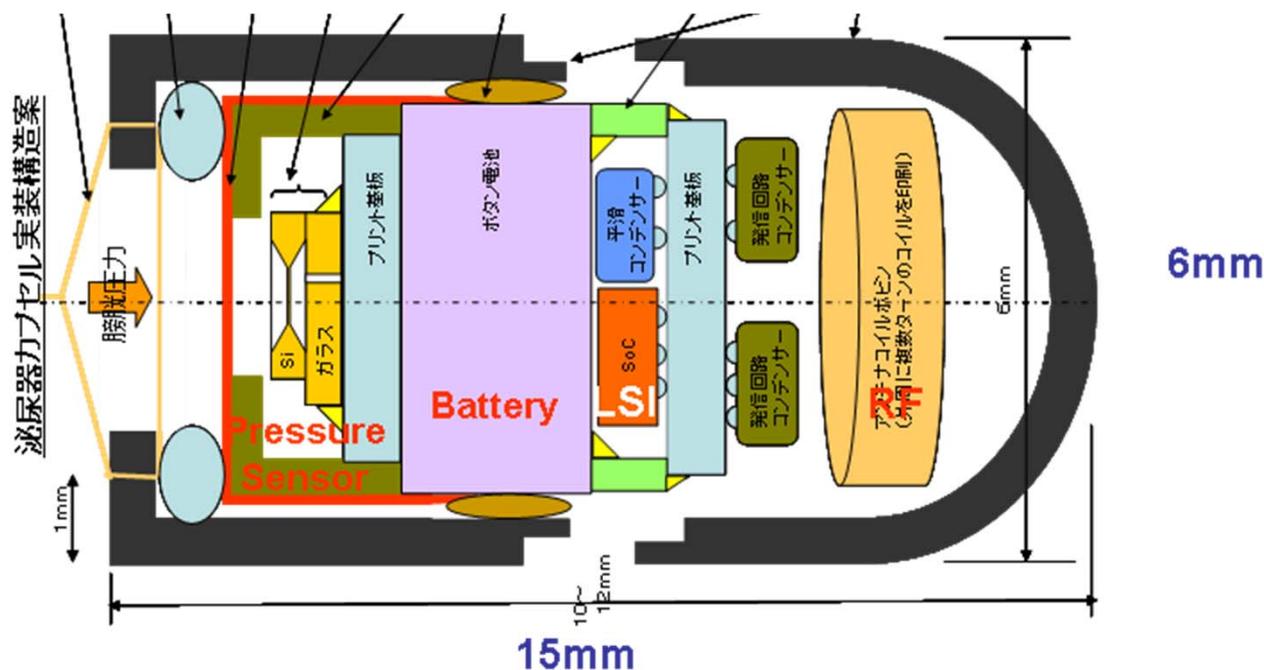
前立腺肥大の手術に当たっては、3日間にわたる排尿機能の検査が必要である。現在は尿道から管を挿入して計測している。



尿道から膀胱に挿入して、膀胱内圧データを体外に無線で送るカプセルを開発した。超小型電池を用いるため低電力技術が不可欠

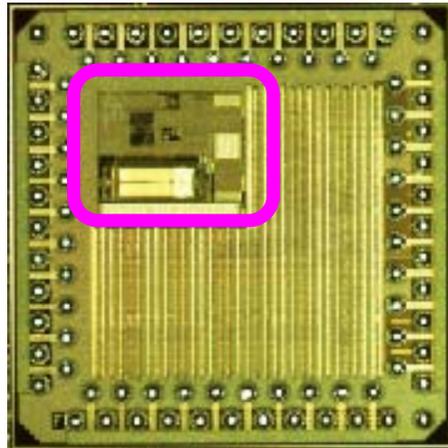
超小型電池の容量から平均100uAで4日間の動作

アナログRF回路は30uAの動作



膀胱中のカプセルイメージ

SoCに圧力測定と無線伝送用アナログ・RF回路を混載した



SoC

アナログ・RF部の消費電力は30uW程度

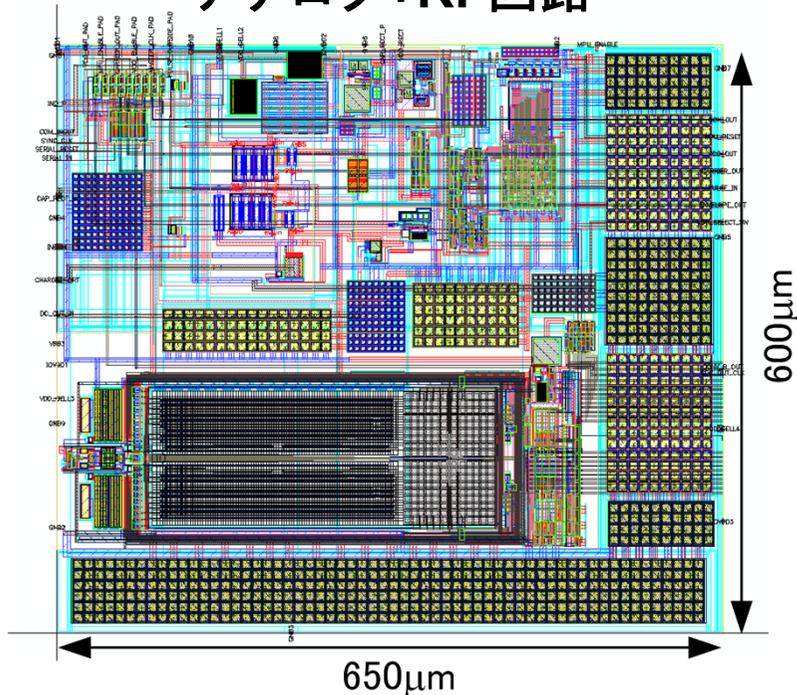
V_{DD} : 1.55V

通信距離: 15cm

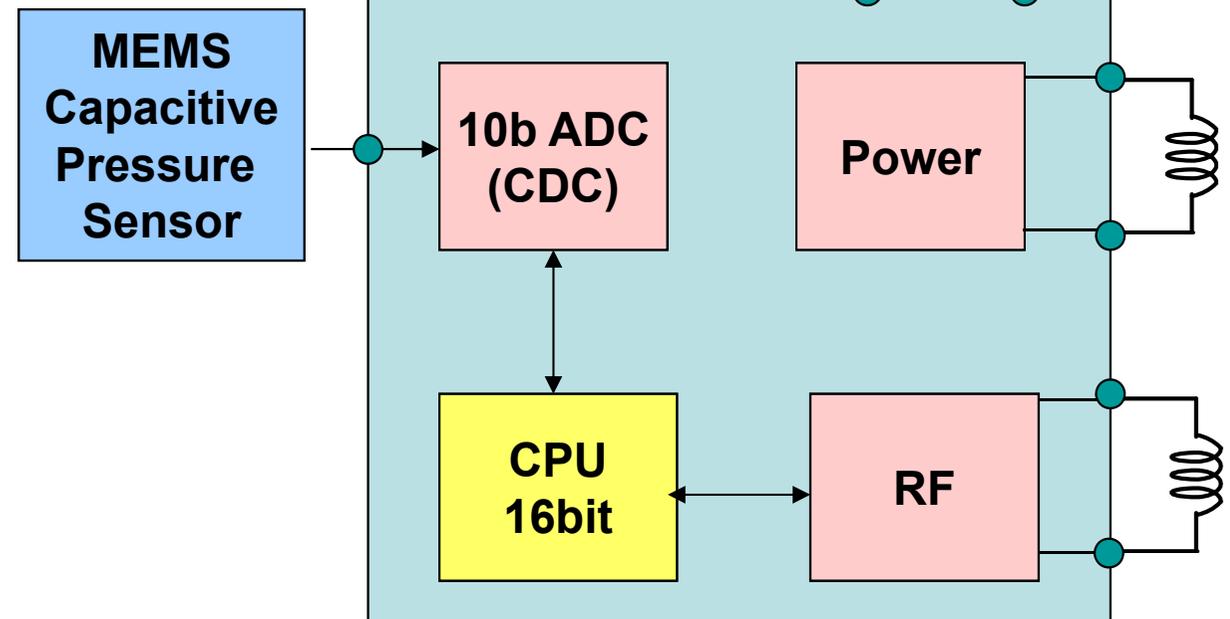
伝送速度: 5kbps

RF周波数: 13.5 MHz

アナログ+RF回路

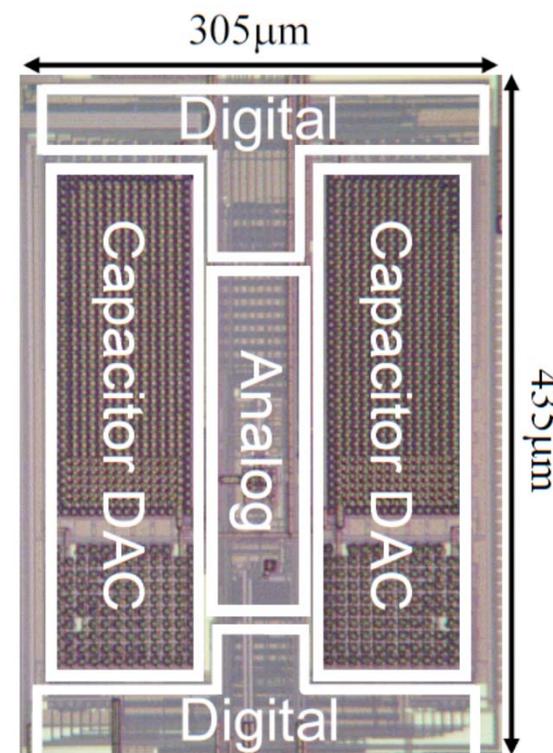
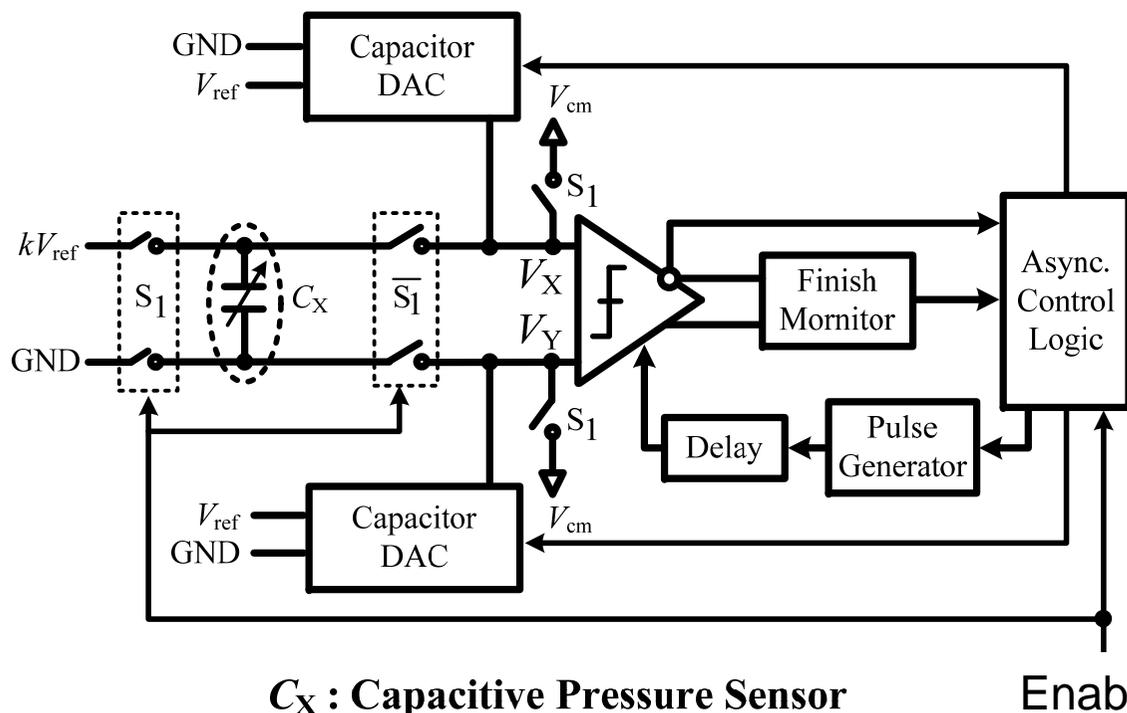


ブロックダイアグラム



容量型圧力センサーを用いて，超低電力で容量（圧力）をデジタル値に変換する変換器を開発。**30回/秒では3nWの超低電力**

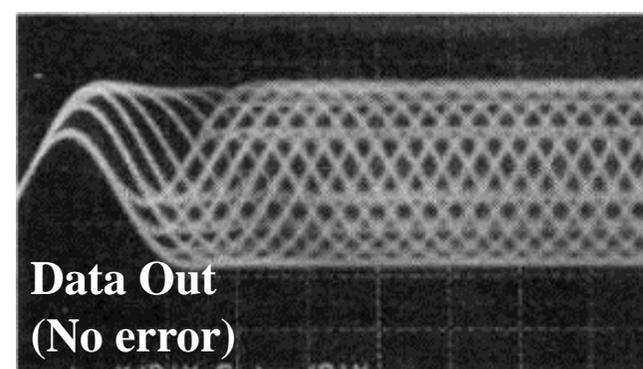
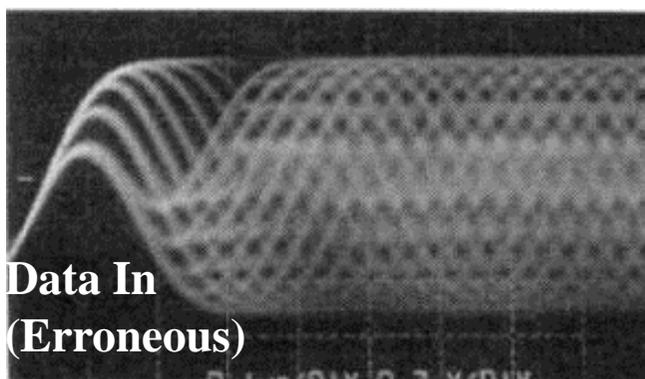
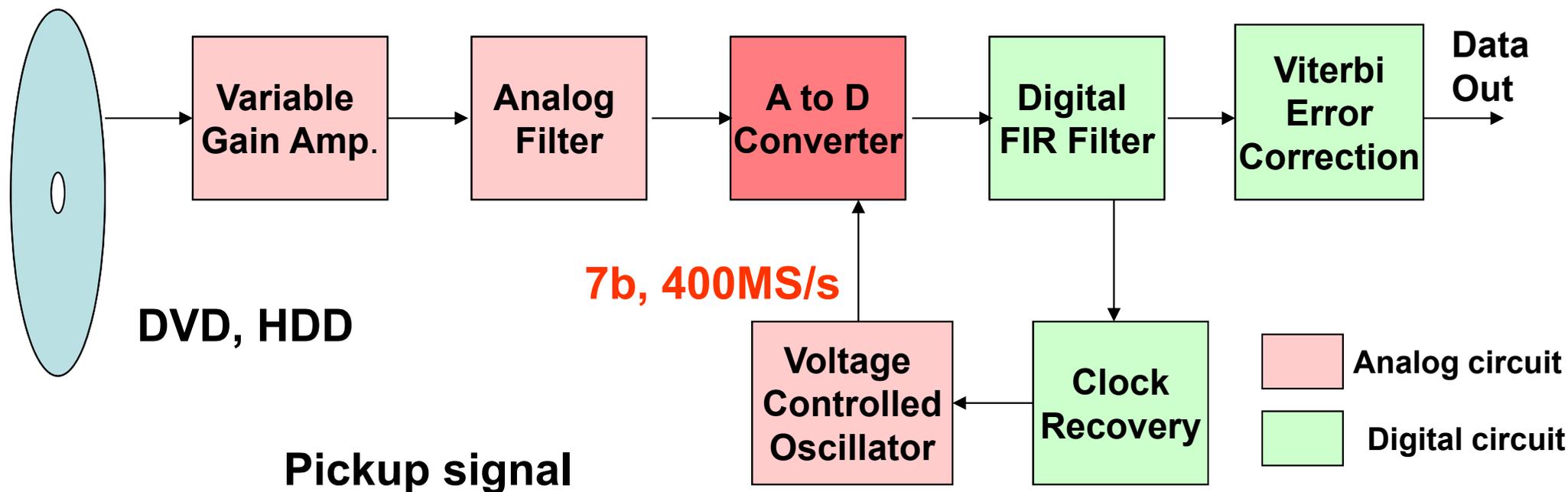
1. 10b SAR ADCのような構成
2. 差動回路
3. セルフクロック
4. 完全ダイナミック動作



Tuan Minh Vo, Yasuhide Kuramochi, Masaya Miyahara, Takashi Kurashina, and Akira Matsuzawa
“A 10-bit, 290 fJ/conv. Steps, 0.13mm², Zero-Static Power, Self-Timed Capacitance to Digital Converter.”
SSDM 2009, OCT.

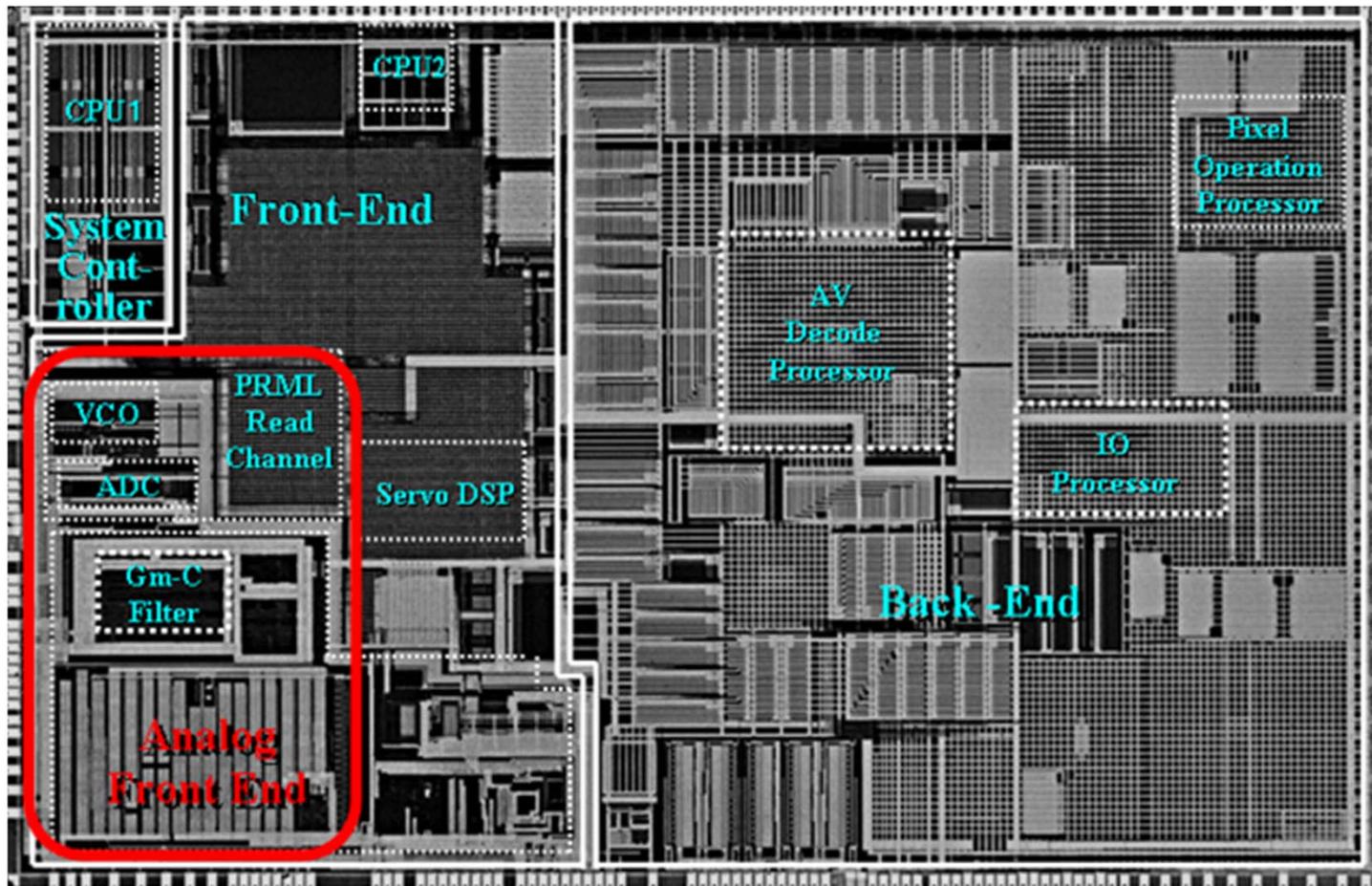
アナログ・デジタル混載SoC技術

DVDレコーダーはSNRが低く、誤り率が高い、そこで波形等価やエラー訂正などのデジタル信号処理を使用したかったが、7b, 400MHzという計測器なみのADCを必要とした。



高性能アナログ回路やADCを含むDVDの全機能を世界で初めてワンチップに集積。アナログ・デジタル混載SoC時代の幕開けとなった。

アナログ・デジタル混載SoC技術により**高性能化と低コスト化を同時に実現**できる。



Okamoto, Matsuzawa,
et al., ISSCC 2003

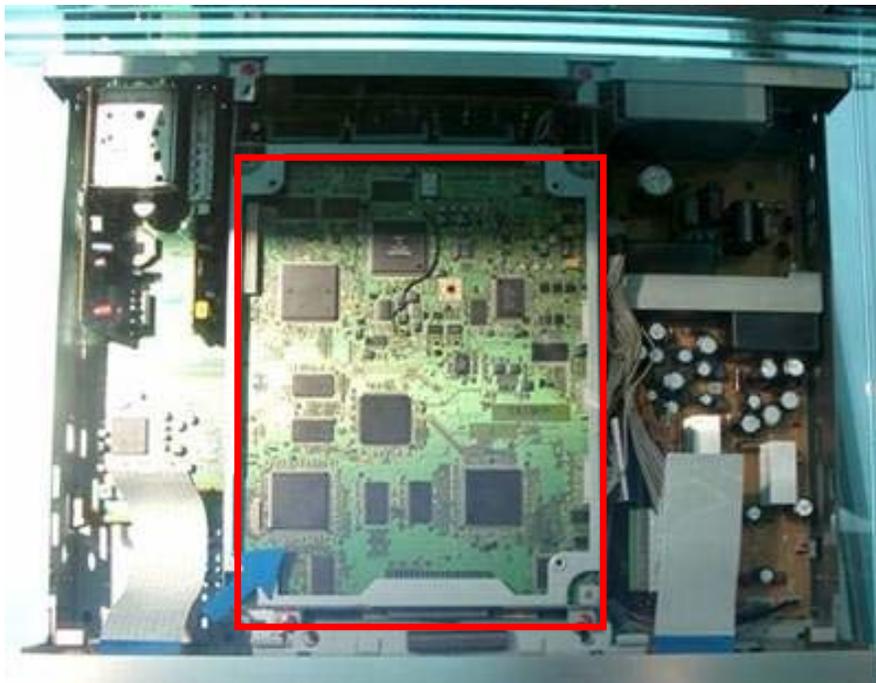
このSoCシリーズは年間
1億個の生産量に達する

0.13um CMOS

アナ・デジ混載SoCによるフルシステム集積が機器の高性能化
低コスト化の切り札であることは変わらないが、開発費の高騰
設計リソースの確保をどうするかが大問題

DVD Recorderの例

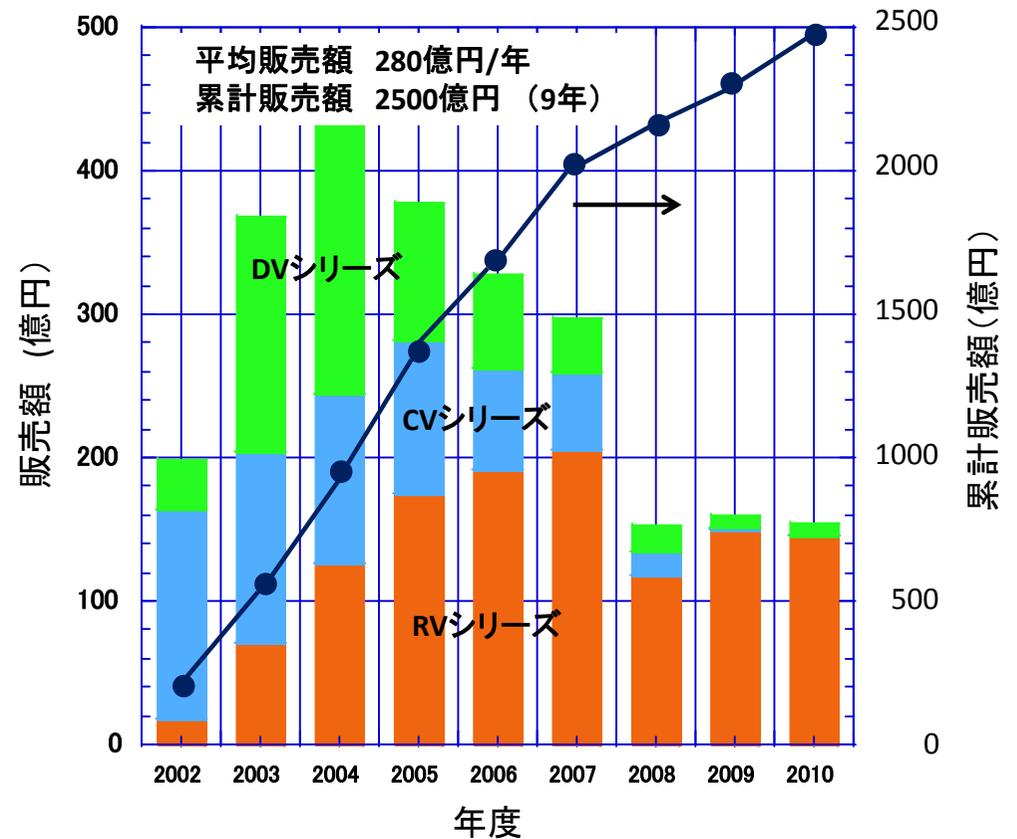
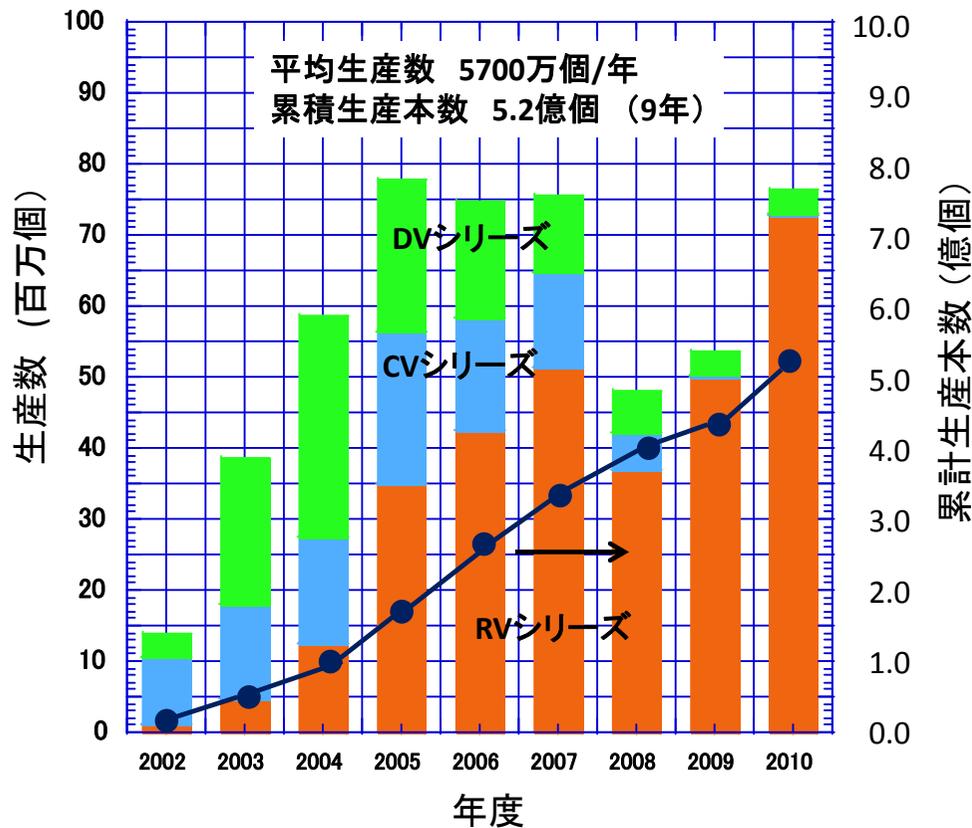
'2000 Model



'2003 Model



DVD用SoCは累積数量5.2億個，累積販売額2500億円に達したが，後半は大幅な価格下落により収益が取れなくなった。

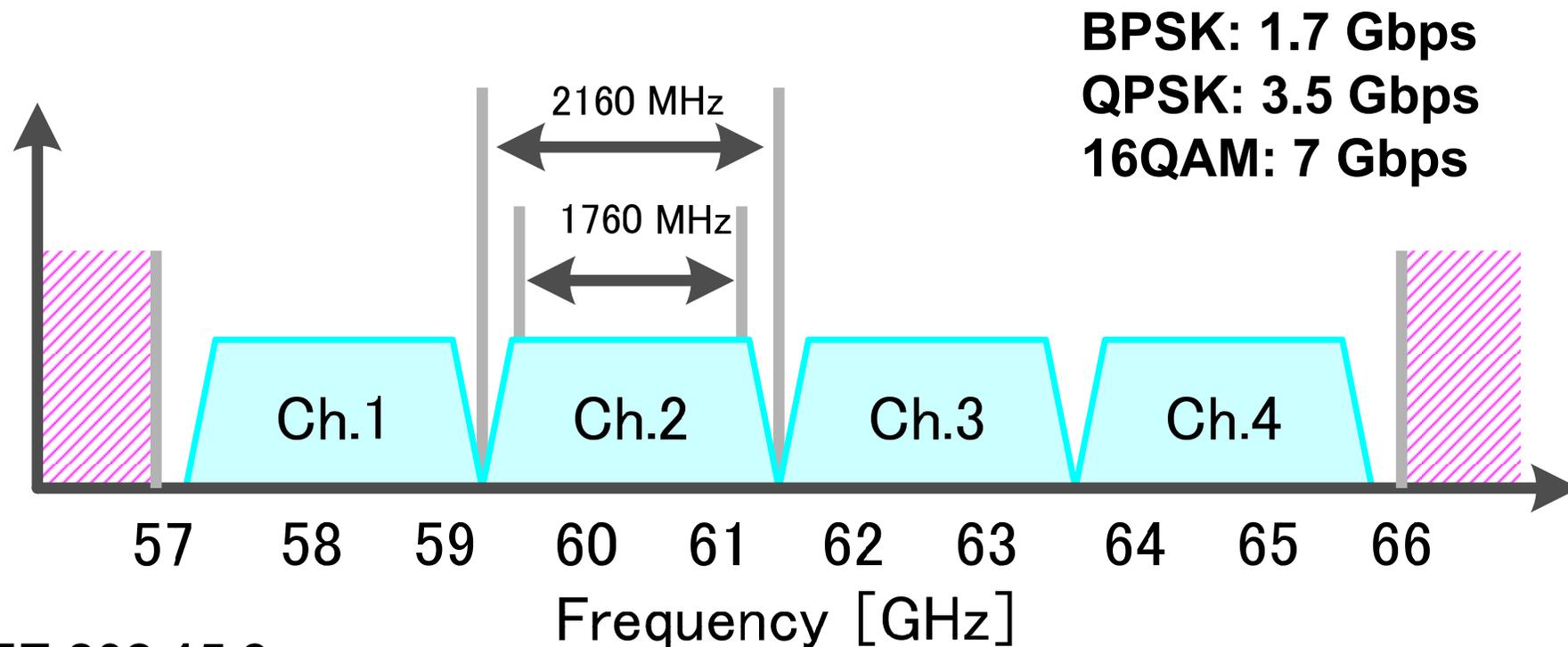


60GHz CMOS トランシーバの開発

-- アナログ・RFCMOS技術の最先端 --

60GHz帯の周波数を用いることで3.5Gbpsの超高速通信が可能に

帯域約1.8GHz, 4チャンネル



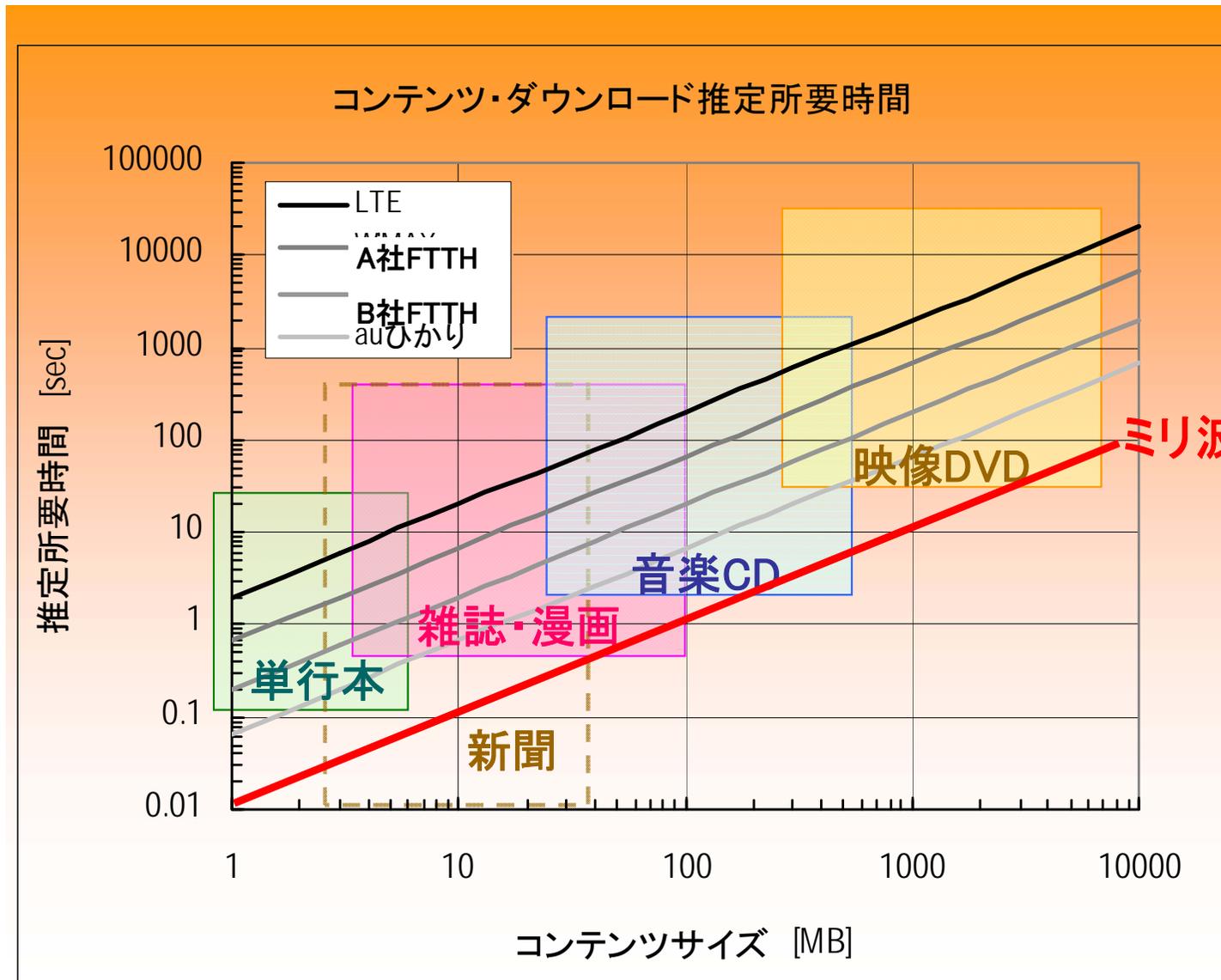
IEEE 802.15.3c

IEEE 802.11ad

802.15.3c-2009, IEEE Std., Oct. 2009. [Online]. Available

<http://standards.ieee.org/getieee802/download/802.15.3c-2009.pdf>

ミリ波を用いれば無線でも約10秒でDVDのコンテンツが転送可能



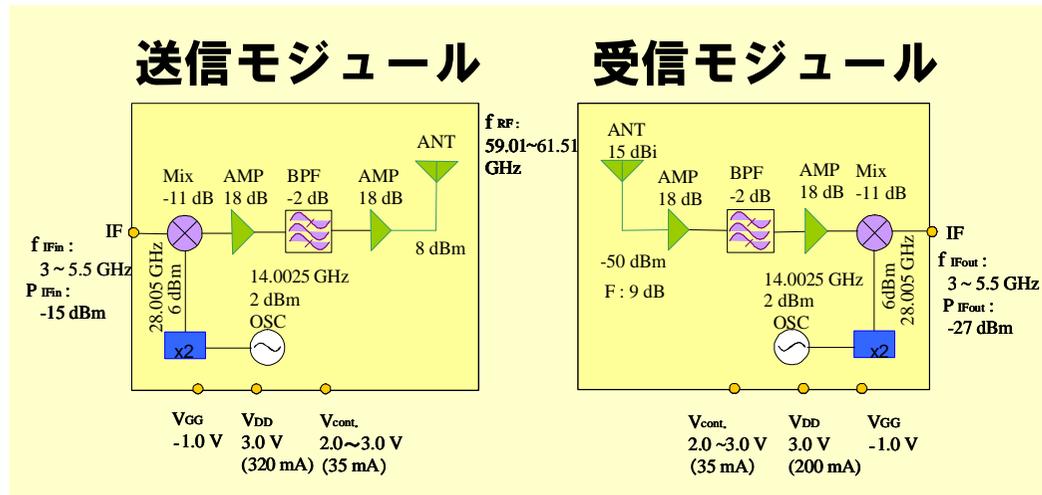
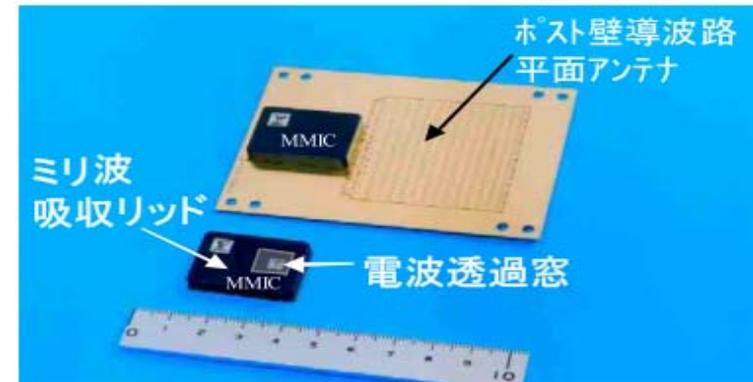
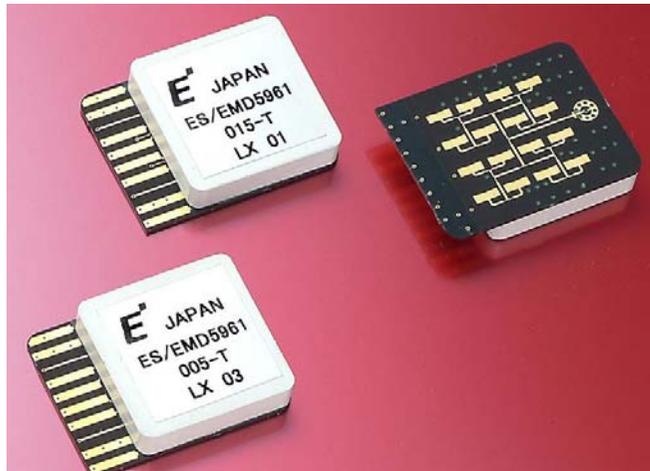
2011年1月現在の
実測データからみた
平均的実効伝送レート

WiMAX	12Mbps
LTE	4Mbps
A社FTTH	40Mbps
B社FTTH	120Mbps

ミリ波 3~6Gbps

従来のミリ波システム

2006年にはGaAs技術を用いて60GHzのモジュールが完成していた
しかしながら、更なるコストダウンが必要だった他、
ベースバンドチップが無く、データ伝送速度は50Mbps程度であった。
CMOS化が待ち望まれていた。ディスクリットだけではシステムが組めない。

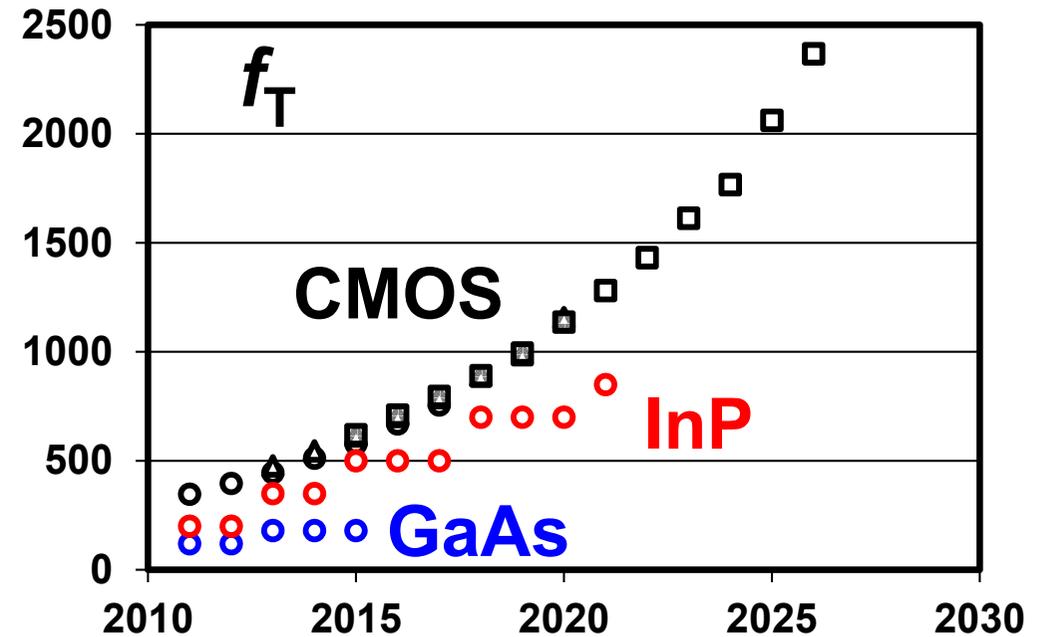
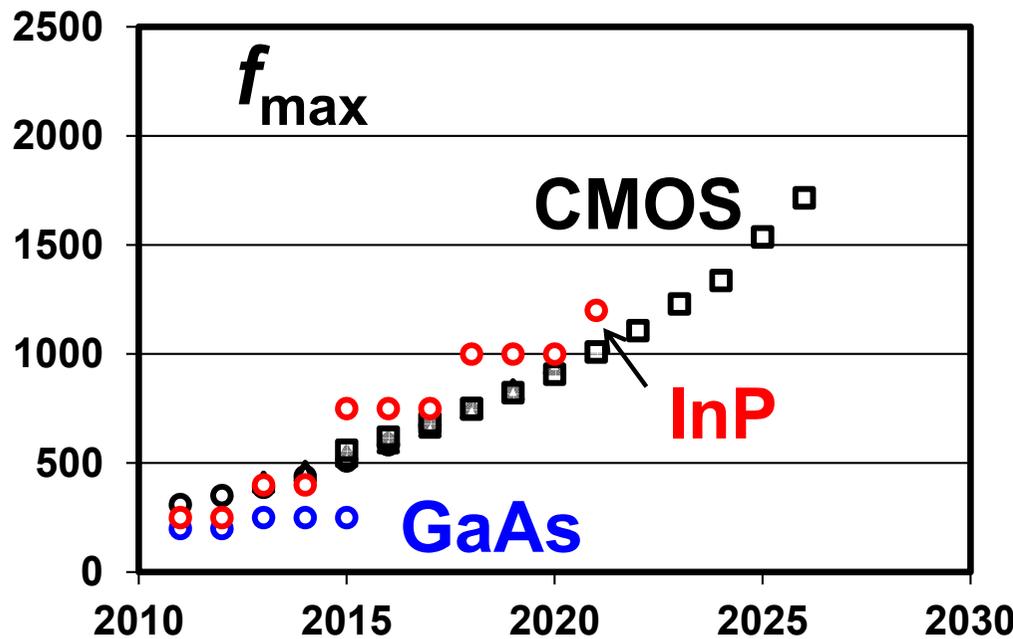


微細化によりCMOSの f_T , f_{max} は向上し, 60GHz動作も可能に。
高周波特性も化合物半導体に対し遜色なくなった。

$$f_T \propto \frac{1}{L_{gate}}$$

$$G_{max} \approx \frac{f_{max}}{f_c}$$

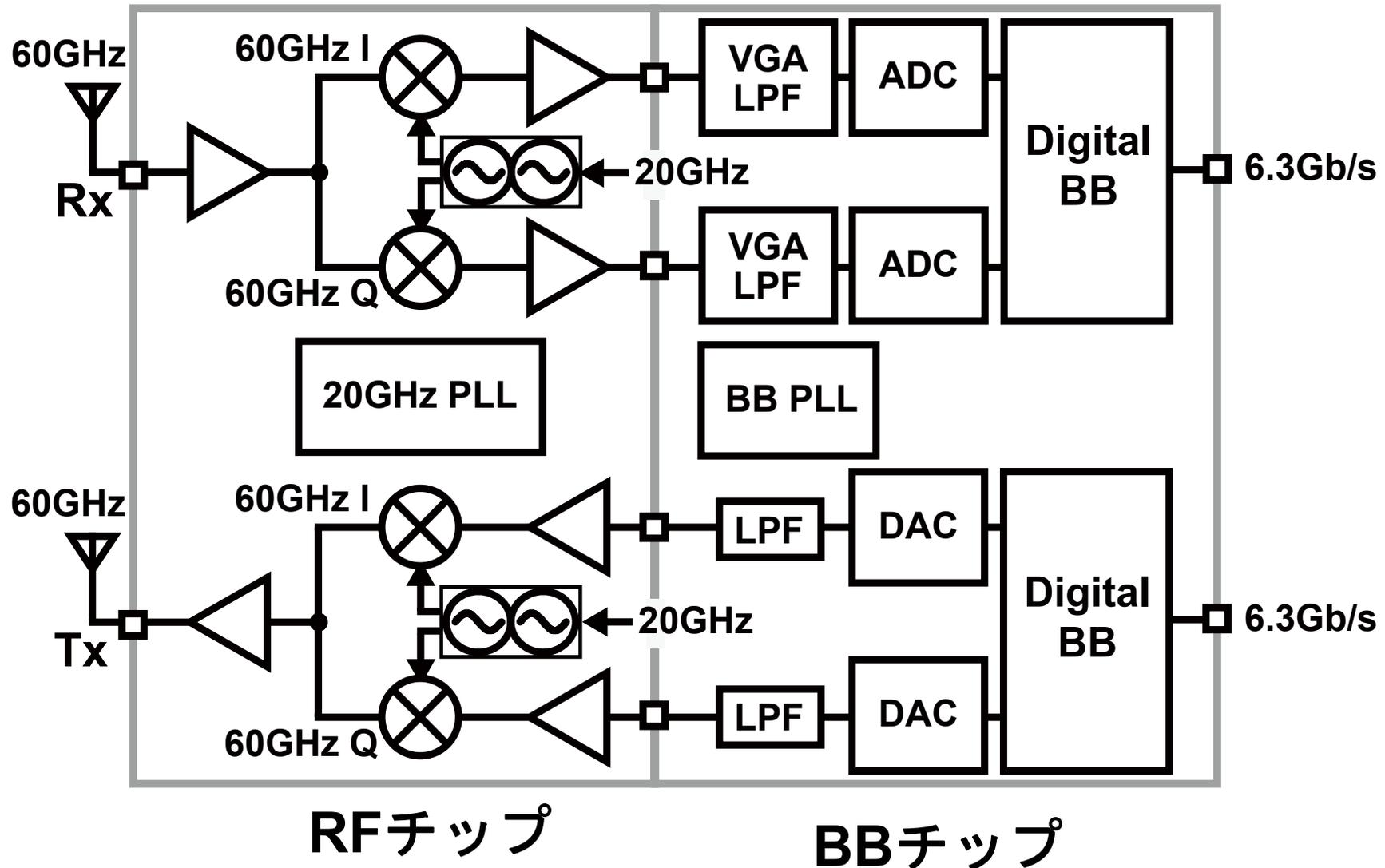
$$NF_{min} \approx 1 + \left(\frac{f_c}{f_T} \right) \sqrt{1.3g_m(R_g + R_s)}$$



- Bulk CMOS
- △ Ultra-Thin-Body Fully-Depleted (UTB FD) SOI
- Multi-Gate MOSFETs

60GHz CMOS トランシーバーの開発 / 24

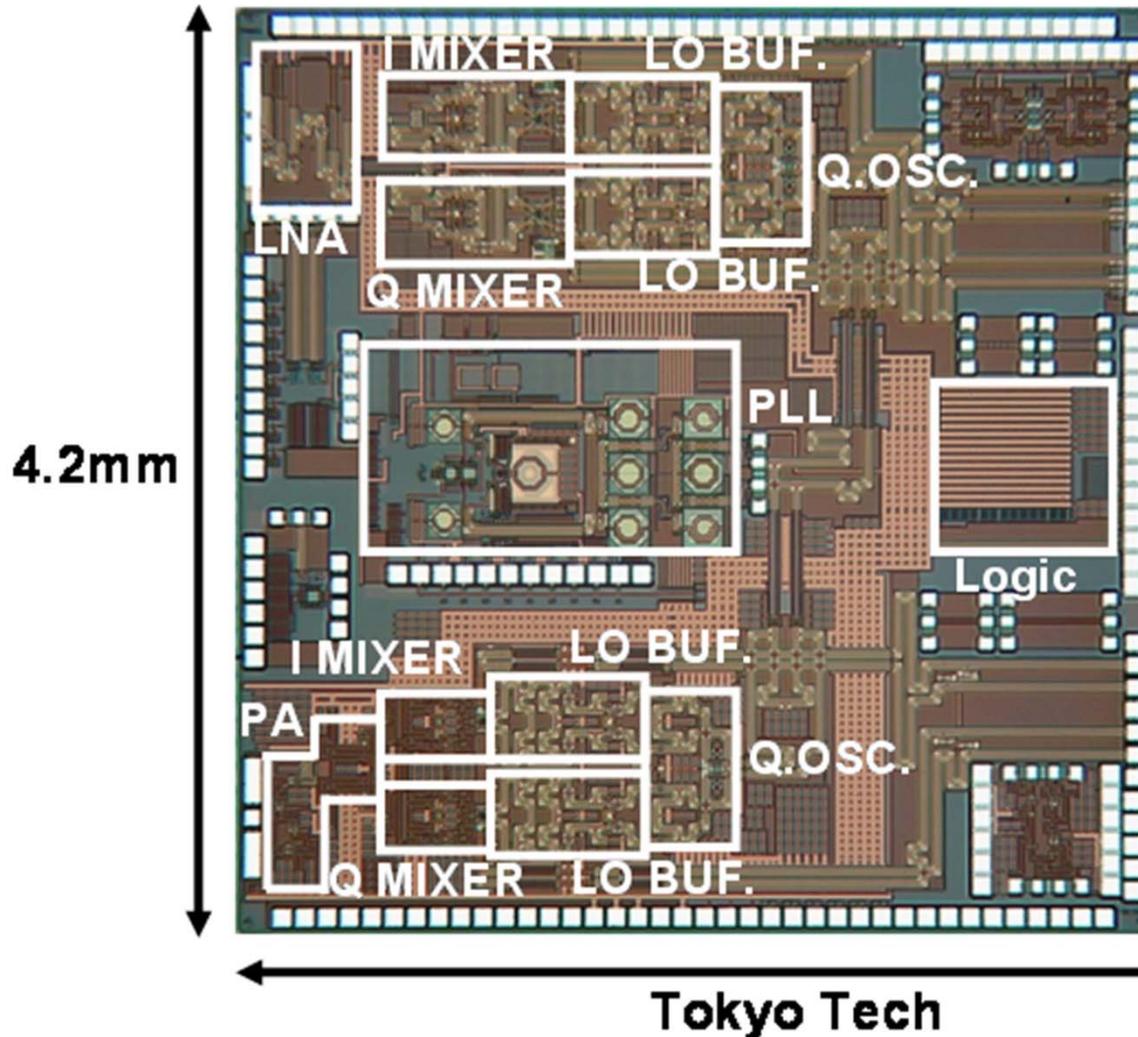
- ダイレクトコンバージョンによる小型・低消費電力化
- 低消費電力ADC, DAC



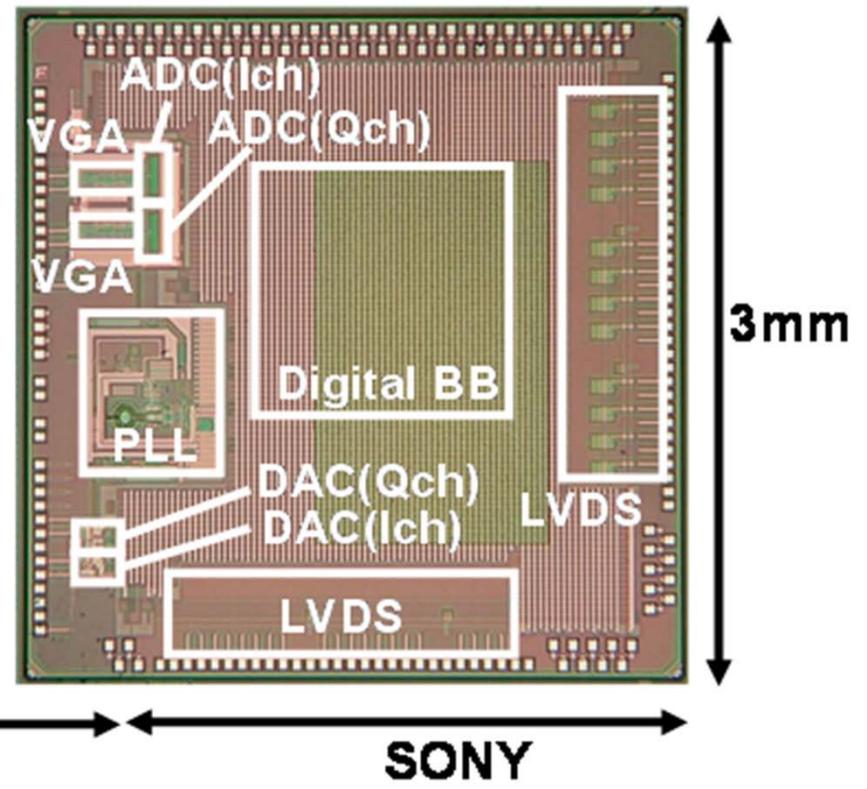
RFチップとベースバンドチップのVGA, ADC, DAC回路を開発

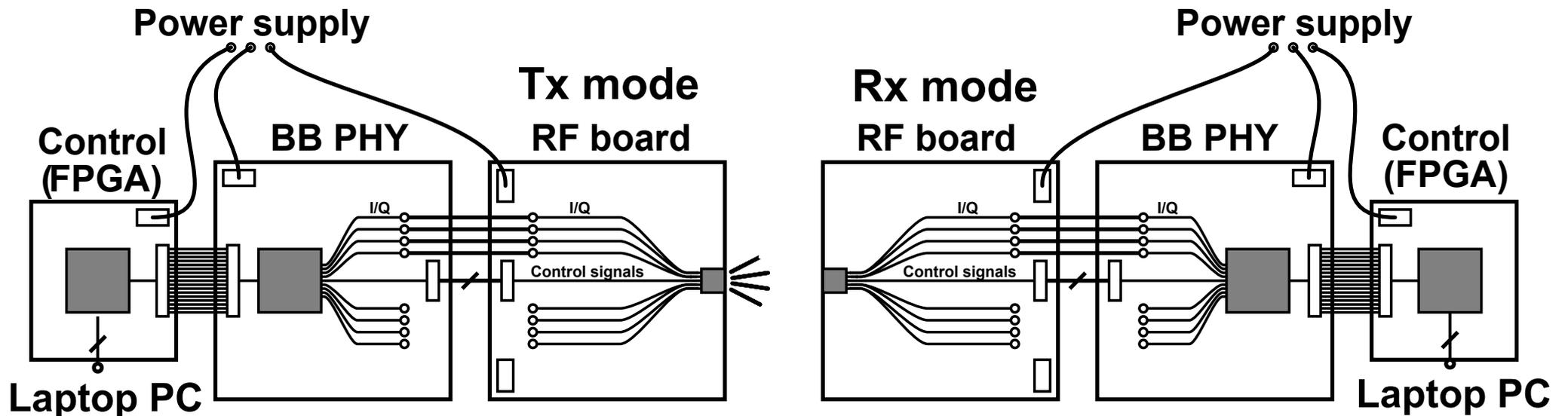
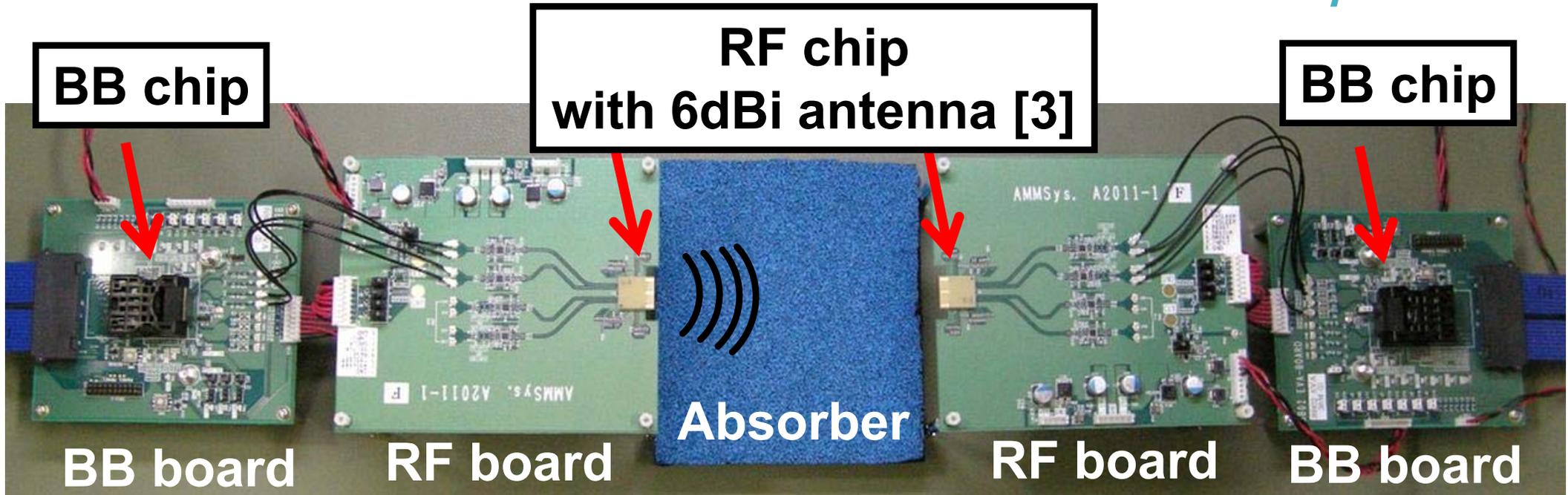
RFチップ

K. Okada and A. Matsuzawa, et al.,
ISSCC 2012

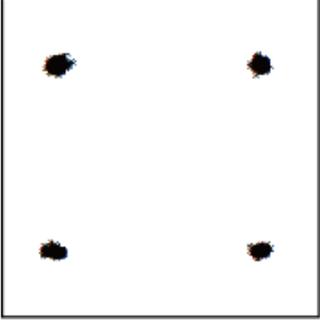
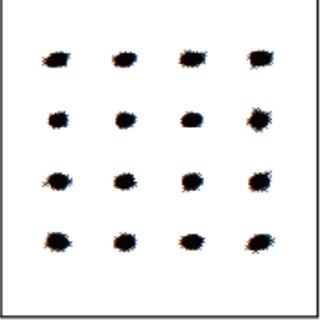
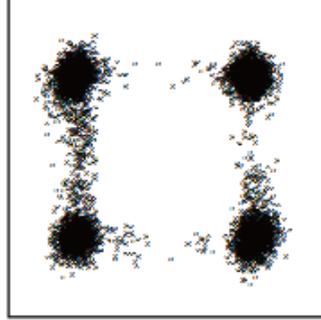
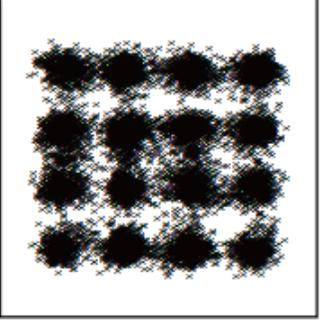


BBチップ



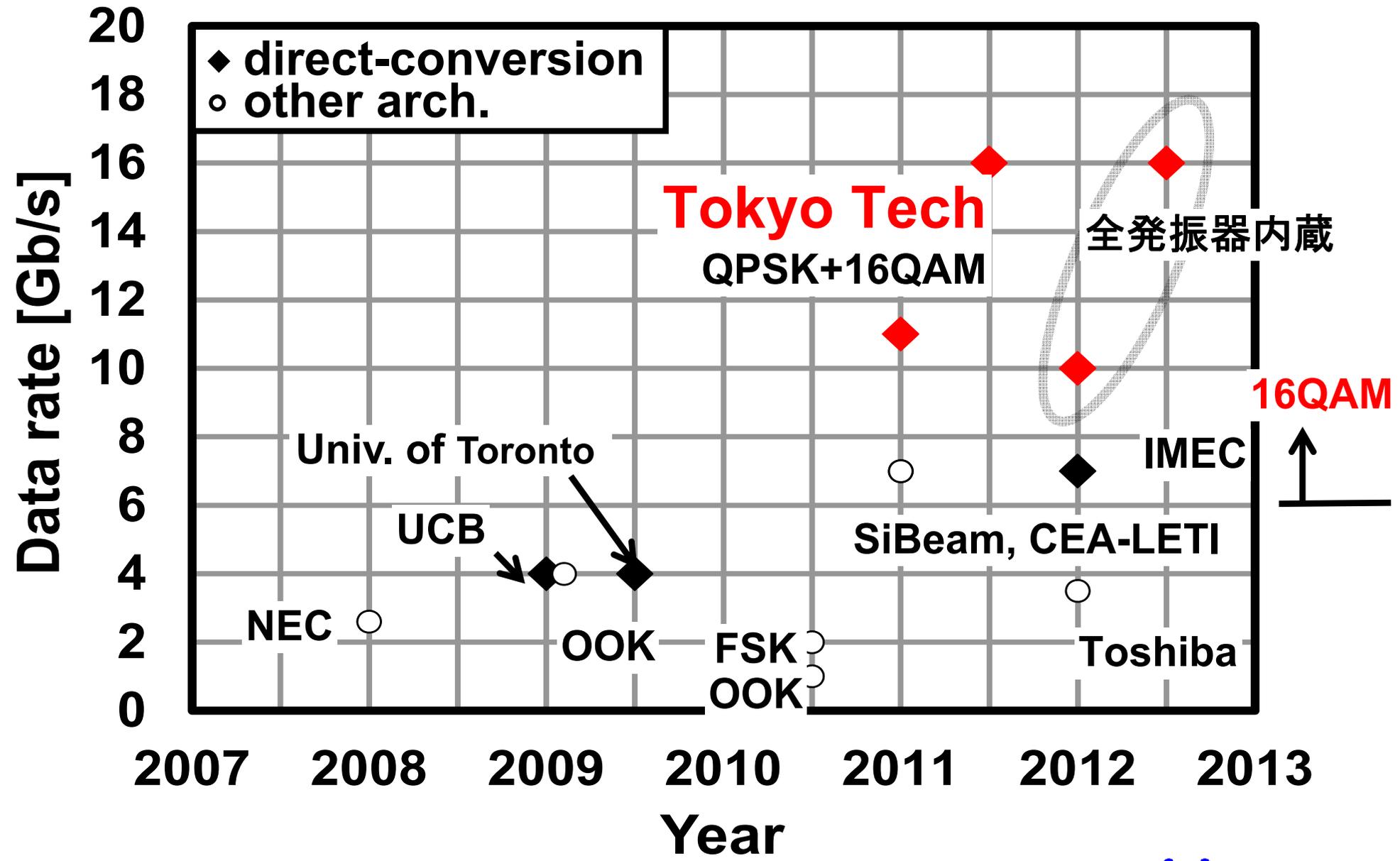


世界最高のデータレート(16Gbps)を実現。

Constellation	 9506 points	 19912 points	 13502 points	 42024 points
Modulation	QPSK	16QAM	QPSK	16QAM
Symbol rate	1.76GS/s	1.76GS/s	5.0GS/s	4.0GS/s
Data rate	3.52Gb/s	7.04Gb/s	10.0Gb/s	16.0Gb/s
EVM (withDFE)	-30.5dB	-28.2dB	-15.2dB	-16.1dB

60GHzフロントエンド性能比較

世界最高速の通信速度を達成

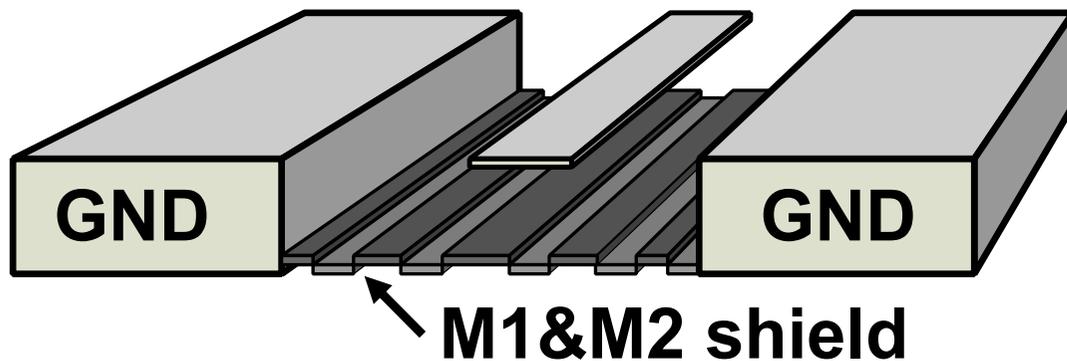
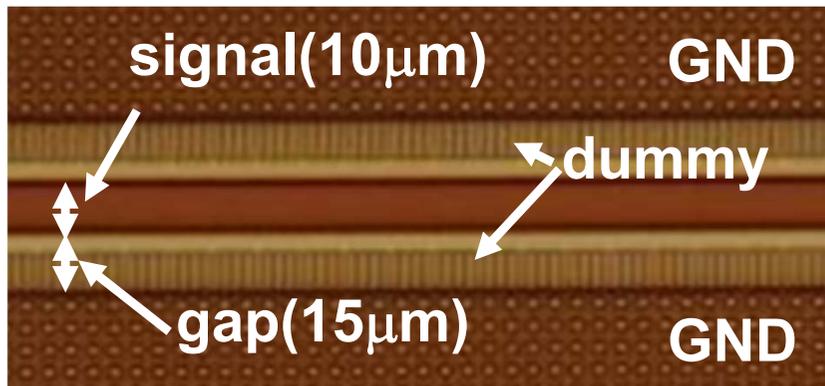


トランスミッションライン技術をベースにした、インピーダンス整合回路、トランス、バルン、デカップリング容量を開発した

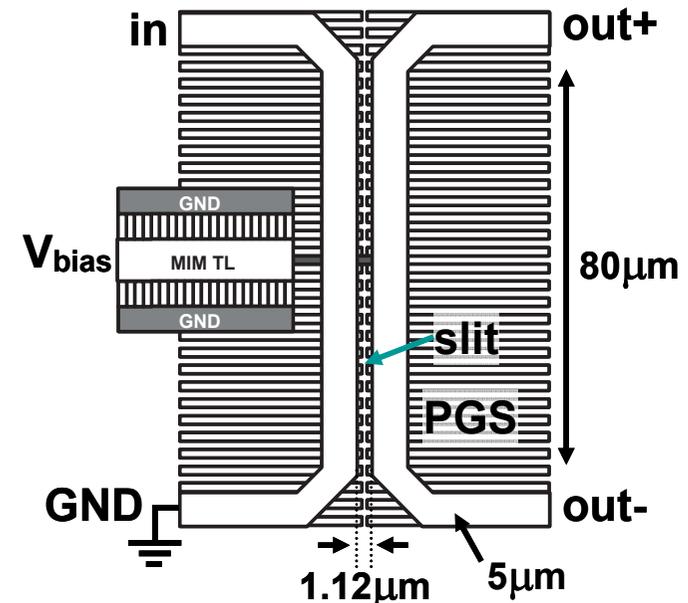
Transmission line

0.8dB/mm

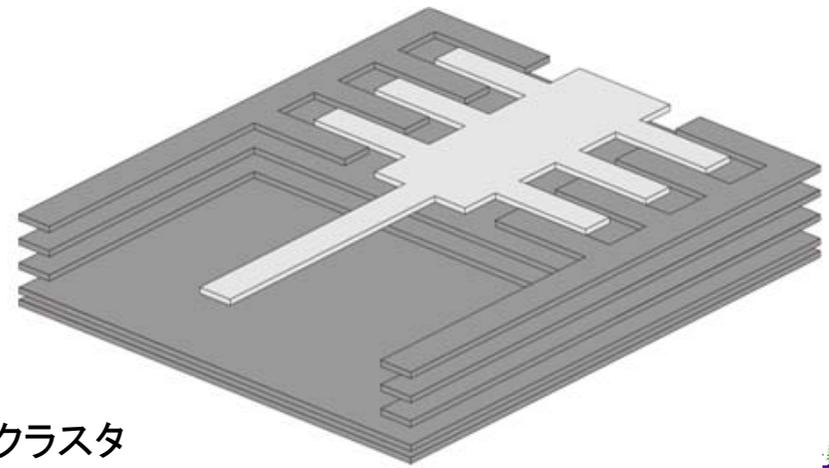
Manually-placed dummy metal



Transformer



Decoupling capacitor



低位相ノイズ直交VCO

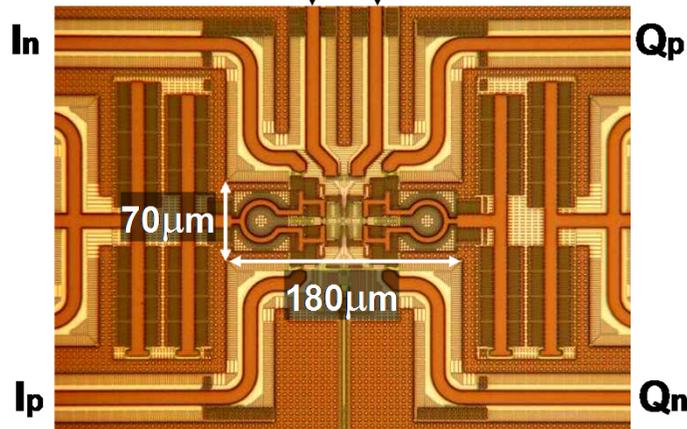
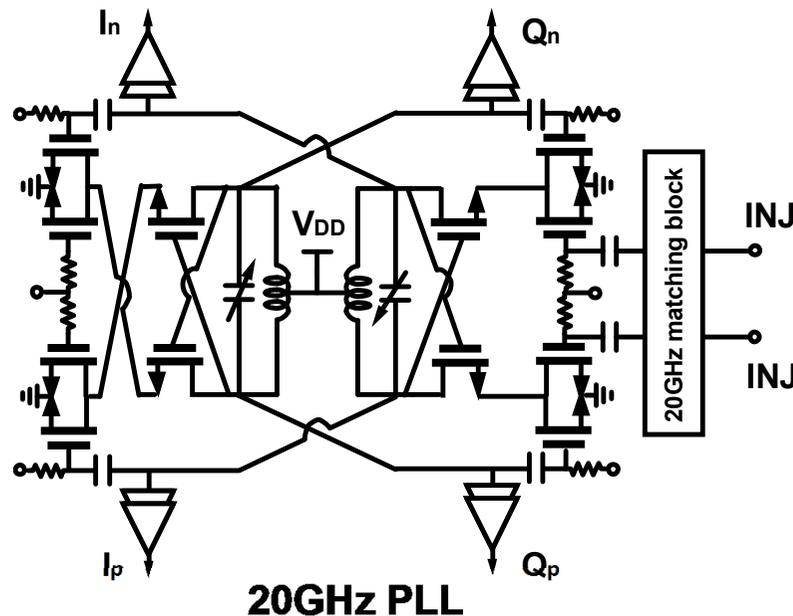
30

TOKYO TECH
Pursuing Excellence

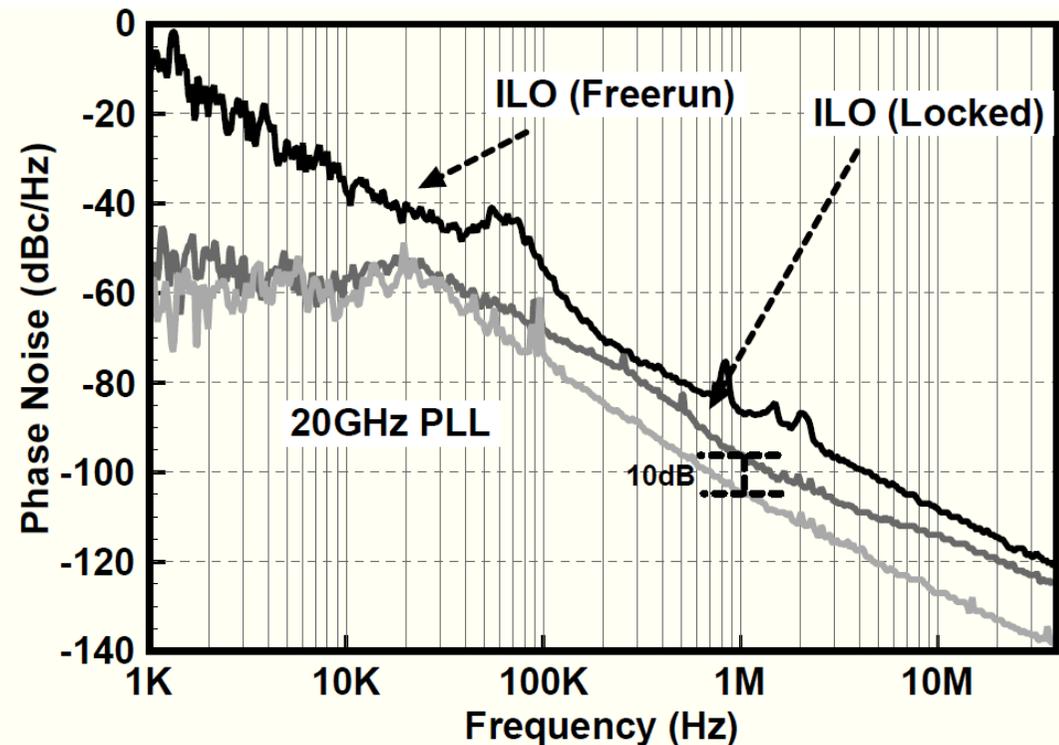
60GHzの直交VCOに20GHzのPLLでインジェクションロック。

-96dBc/Hz@1MHzの良好な低位相ノイズを実現。

ダイレクトコンバージョンや16QAMが可能となった。



それまでの60GHz 直交VCOの位相ノイズは
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, in A-SSCC
Dig. Tech. Papers, pp. 101–102, Nov. 2010.

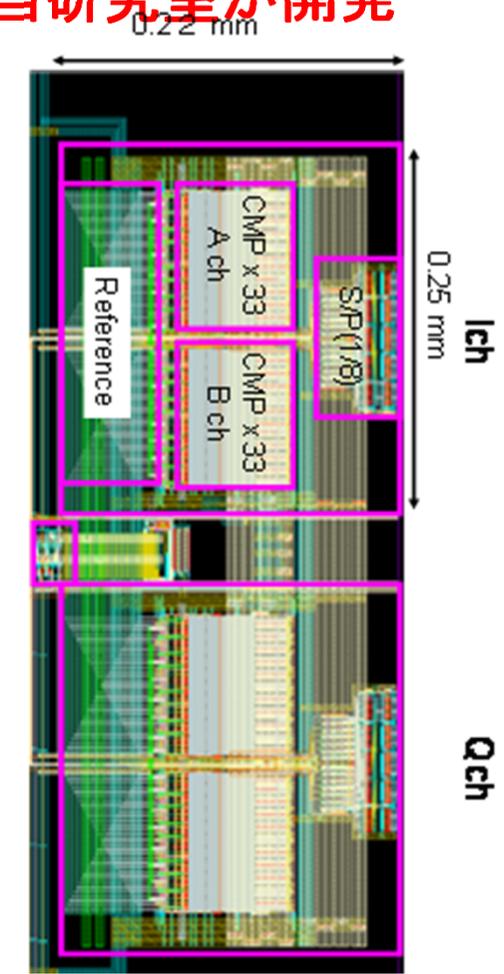
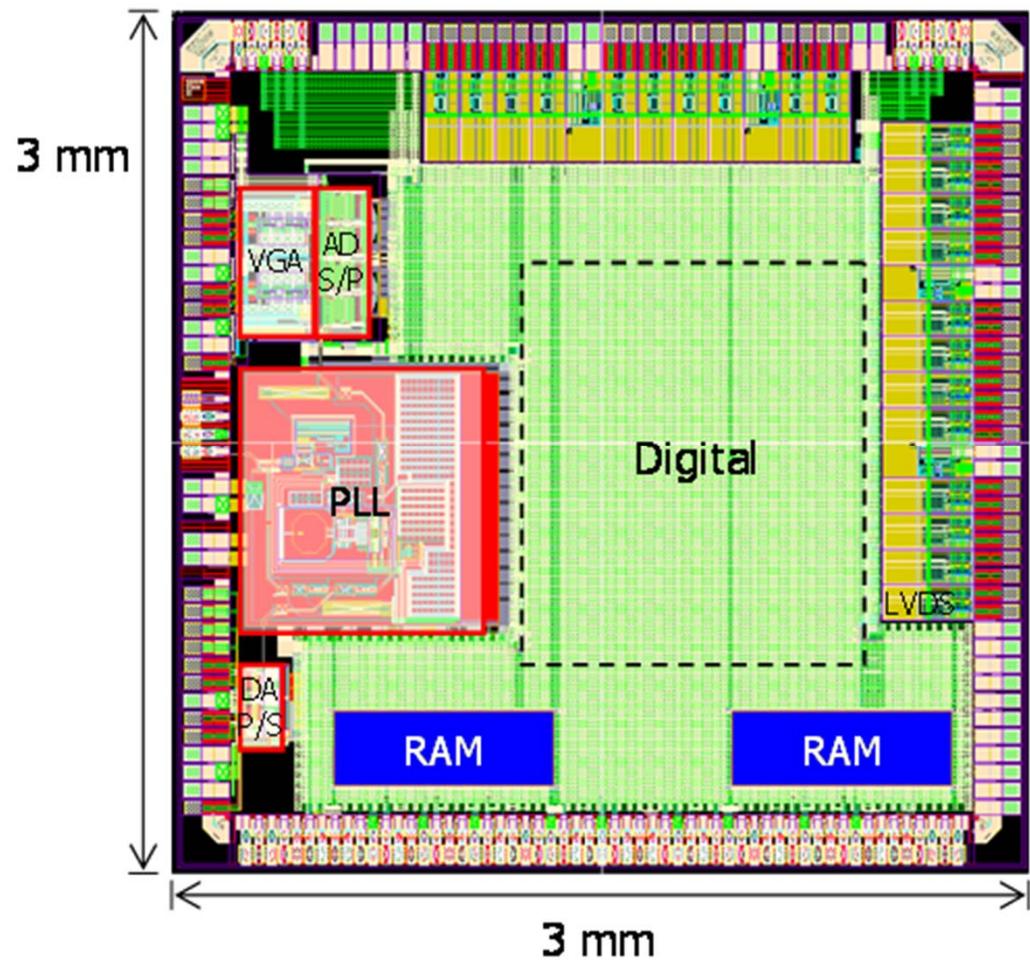
60GHz帯用ベースバンド SoC

ベースバンドチップはADC, DAC, VGA,とPLLが集積されており,
40nmCMOSで試作した。(Sonyとの共同開発)

RX: 300mW, TX: 110mW

ADC 5b, 3GSps, 11mW/ch
当研究室が開発

40nm CMOS technology



60GHz Tx/Rx用として世界最小レベルの消費電力とコア面積を達成

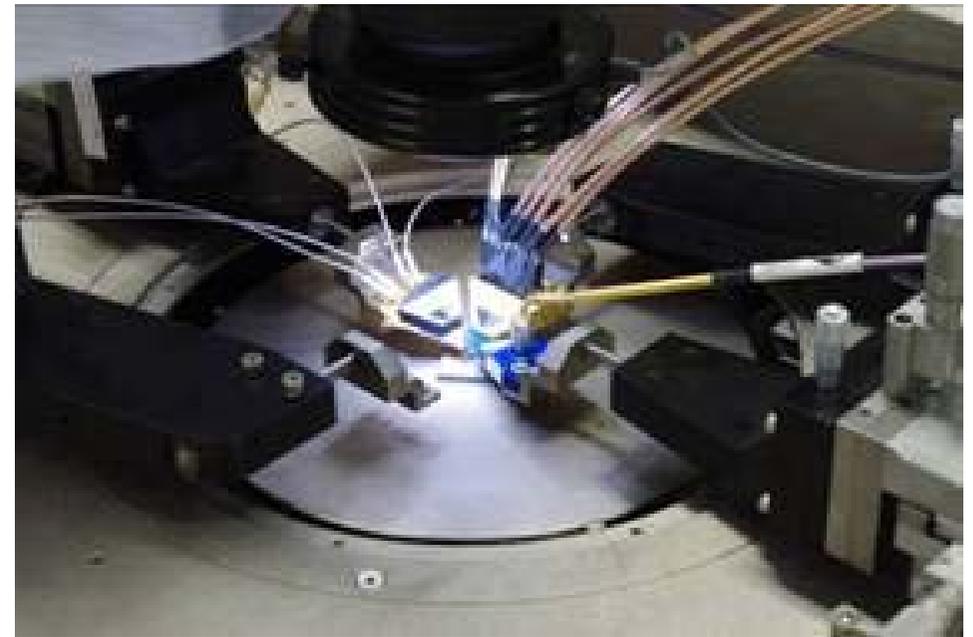
	Architecture	Cal.	fs [GS/s]	SNDR [dB]	Power [mW]	FoM [fJ/-c.s.]	Process [nm]	Area [mm ²]
[1]	Flash	-	3.5	31.2	98	946	90	0.149
[2]	SAR	Internal	2.5	34.0	50	489	45	1
[3]	Folding	Internal	2.7	33.6	50	474	90	0.36
[4]	Pipeline, Folding	External	2.2	31.1	2.6	40	40	0.03
[5]	Flash	Internal	2.88	27.8	36	600	65	0.25
This work	Flash	Internal	2.3	26.1	12	316	40	0.06

[1] K. Deguchi, *et al.*, *VLSI Circuits* 2007 [2] E. Alpman, *et al.*, *ISSCC* 2009

[3] Y. Nakajima, *et al.*, *VLSI Circuits* 2007 [4] B. Verbruggen, *et al.*, *ISSCC* 2010

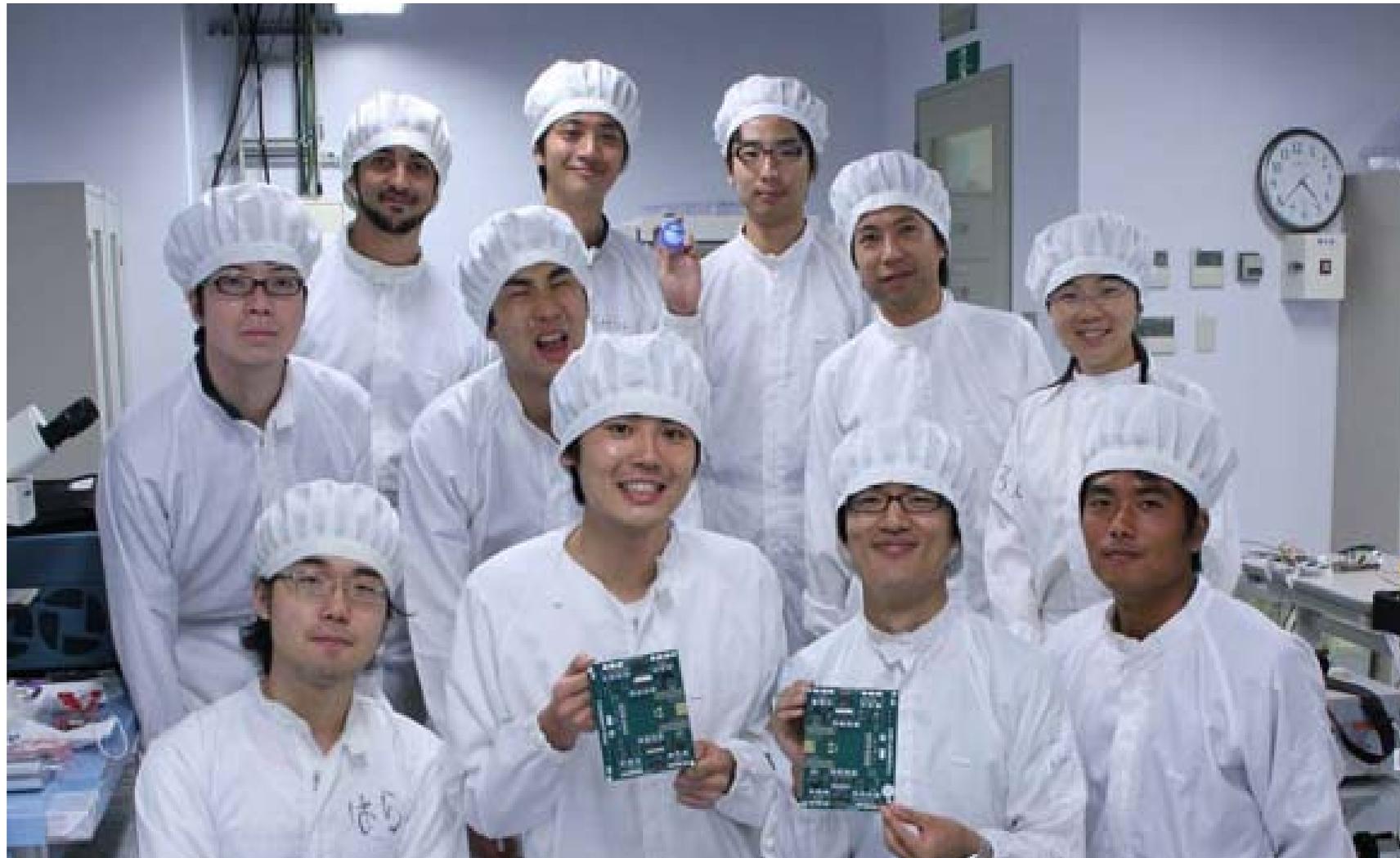
[5] T. Ito, *et al.*, *A-SSCC* 2010

110GHzまでの最新の高周波評価装置が揃っている



修士学生が中心の開発メンバー
若い力が未来をつくる

2011年1月

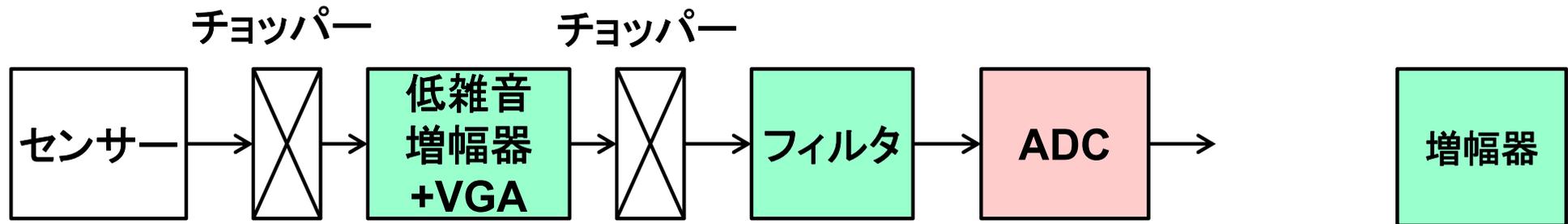


アナログフロントエンドの開発

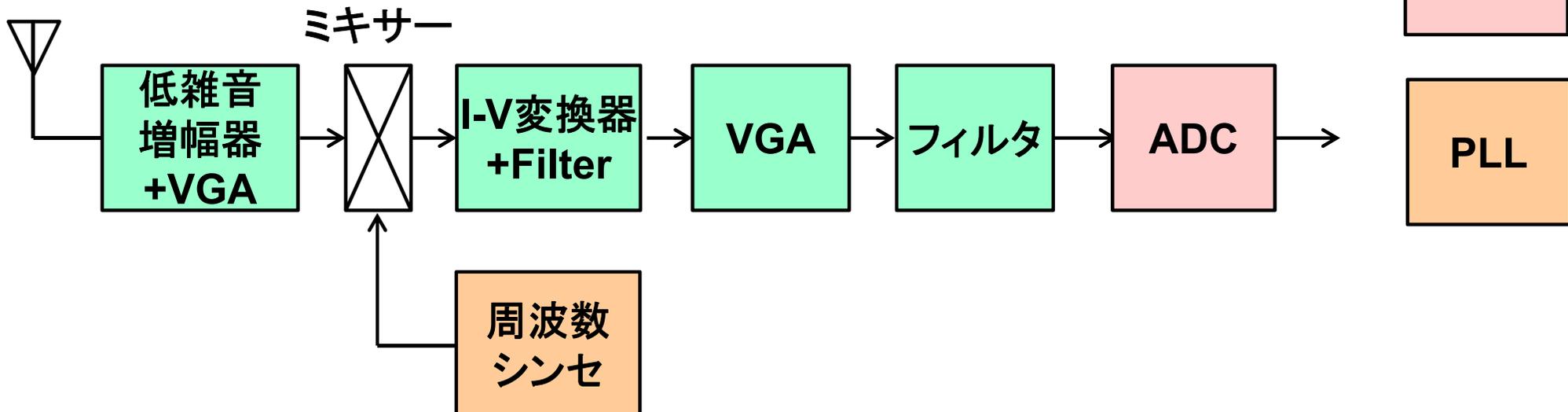
-- スケーラブル 12bit SAR ADCの開発 --

デジタル時代のアナログはアナログフロントエンドに集約される増幅器, ADC, DAC, PLLが主要回路。これらを充実したい。

1) センサーシステム



2) 受信システム



- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
 - 微細化・低電圧化により設計難易度が上昇
 - 設計人材の減少(事業選択・集中, リストラ)
 - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
 - コア回路の種類をできるだけ絞る
 - 微細化・低電圧化に耐えうる回路のみを選抜
 - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
 - レイアウトを含め設計の大半を自動化する
 - テスト容易化設計も併せて行う

アナログ設計リソースが弱い企業でも高性能かつ確実に使いこなせるアナログIPを提供可能にしたい。

重要IPを選定

- ・ADC, DAC, PLL, Mixer, Ampなど

重要IPを開発

- ・汎用性(性能のスケラビリティ)
- ・規則性が高いもの
- ・微細化/低電圧化に対応可能
- ・低電力, 小面積
- ・デジタル制御が容易

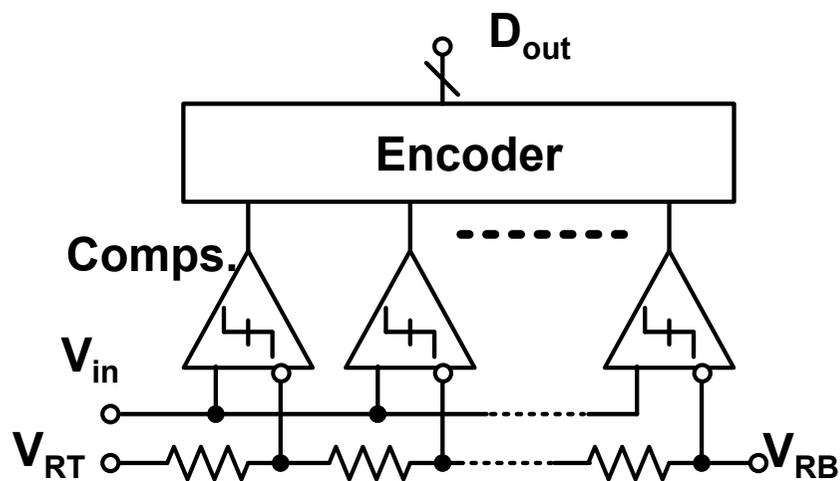
ソフト・プログラム化

- ・パラメタライズ設計が可能
- ・レイアウトの自動化

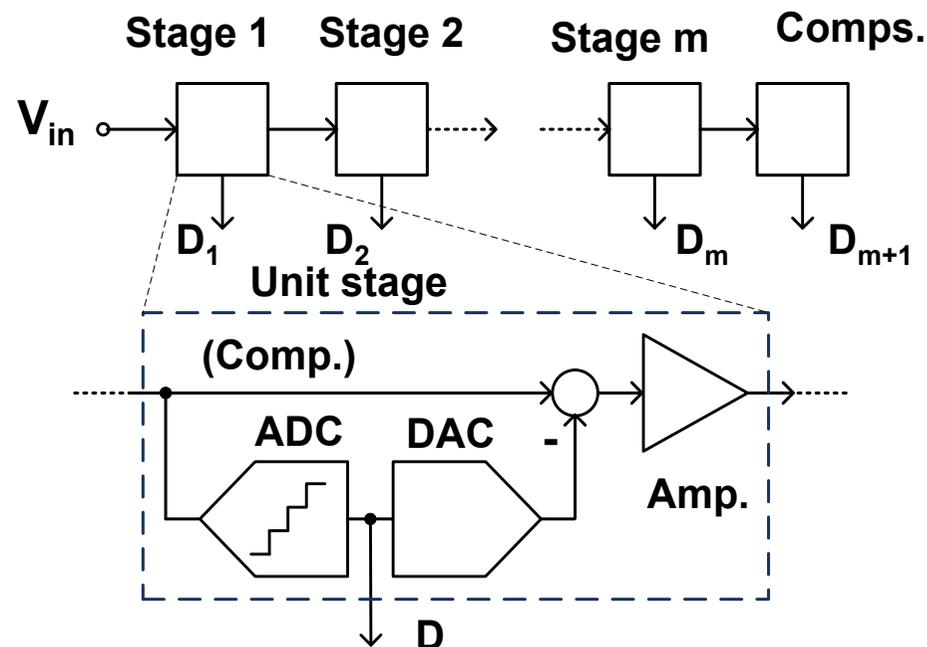
IP提供

- ・ソフトウェアで提供
- ・ユーザーがかなりの程度調整可能

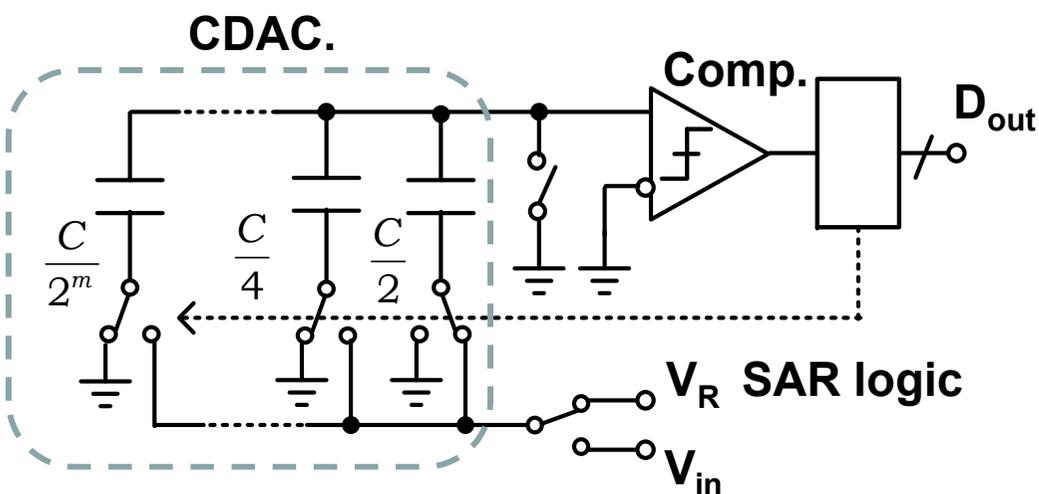
Flash, SAR, パイプライン, $\Delta\Sigma$ が主要なアーキテクチャである



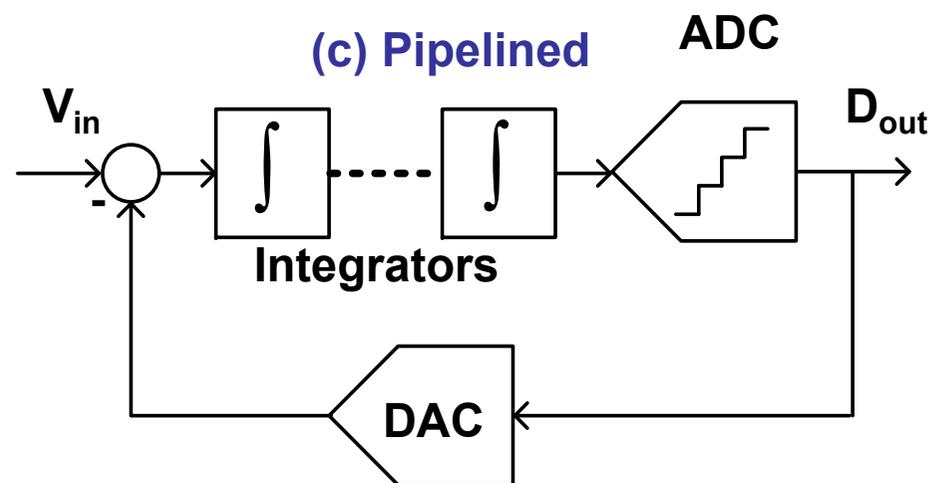
(a) Flash



(c) Pipelined



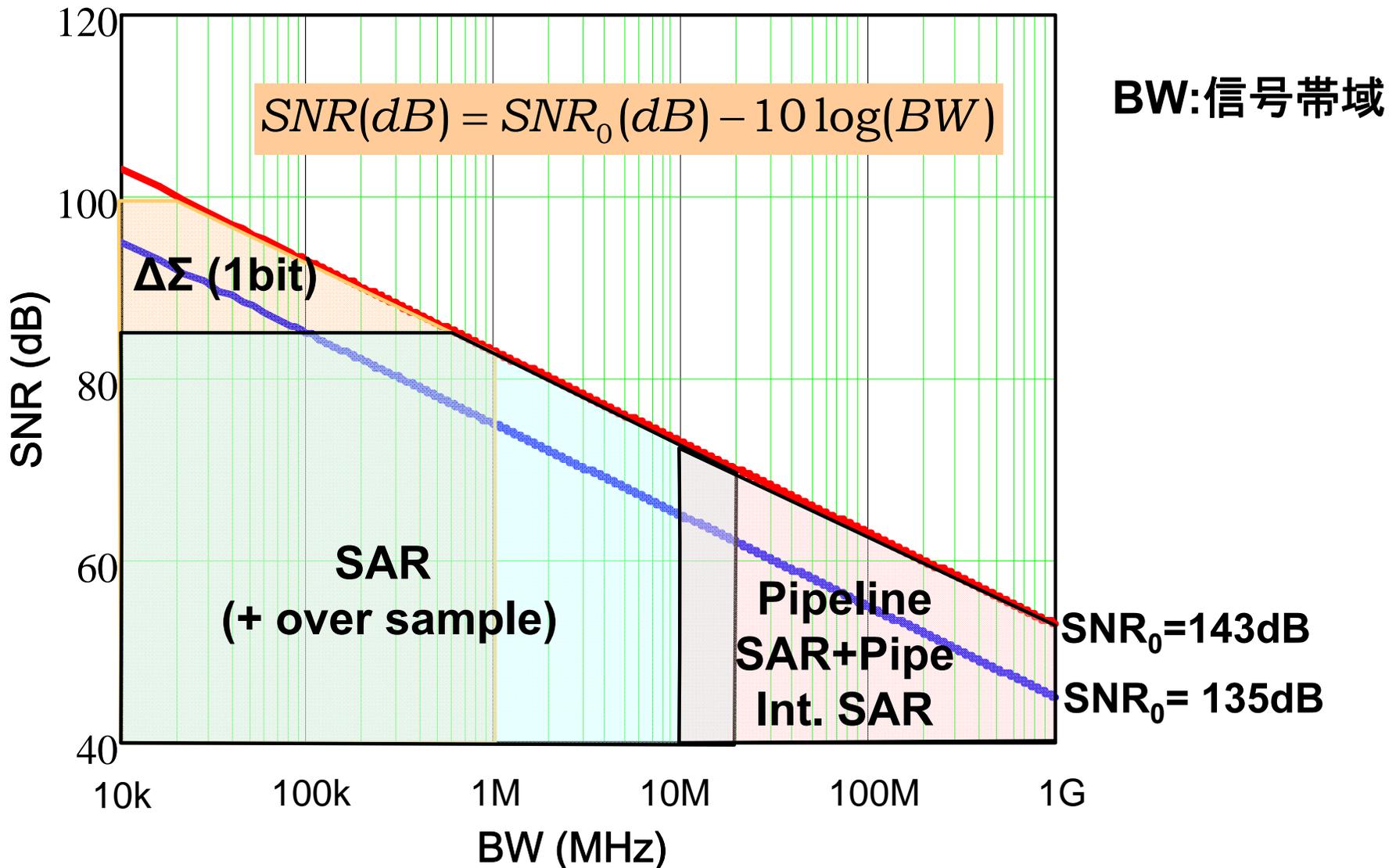
(b) SAR



(d) Sigma-Delta

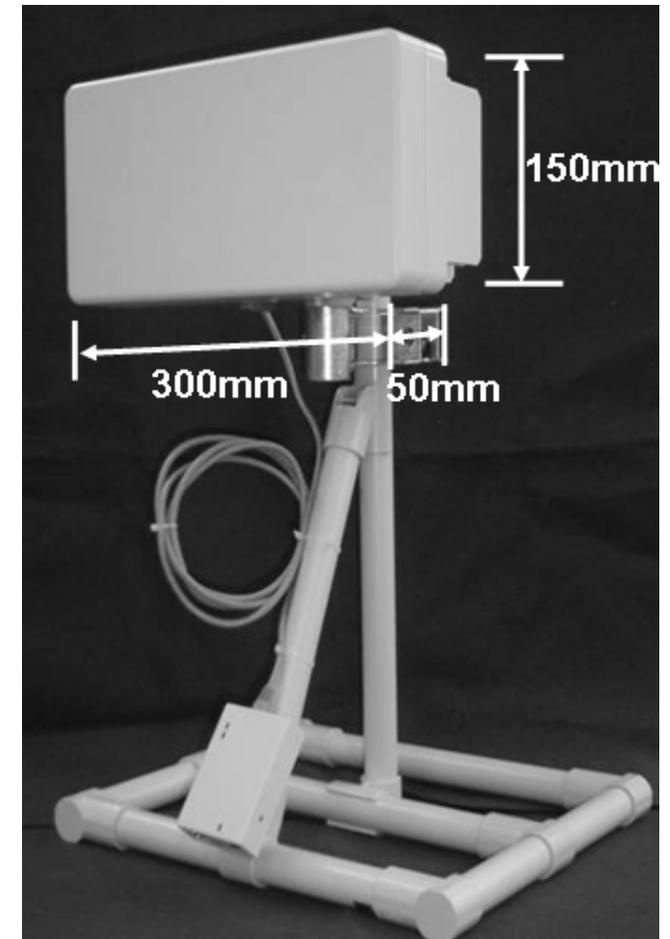
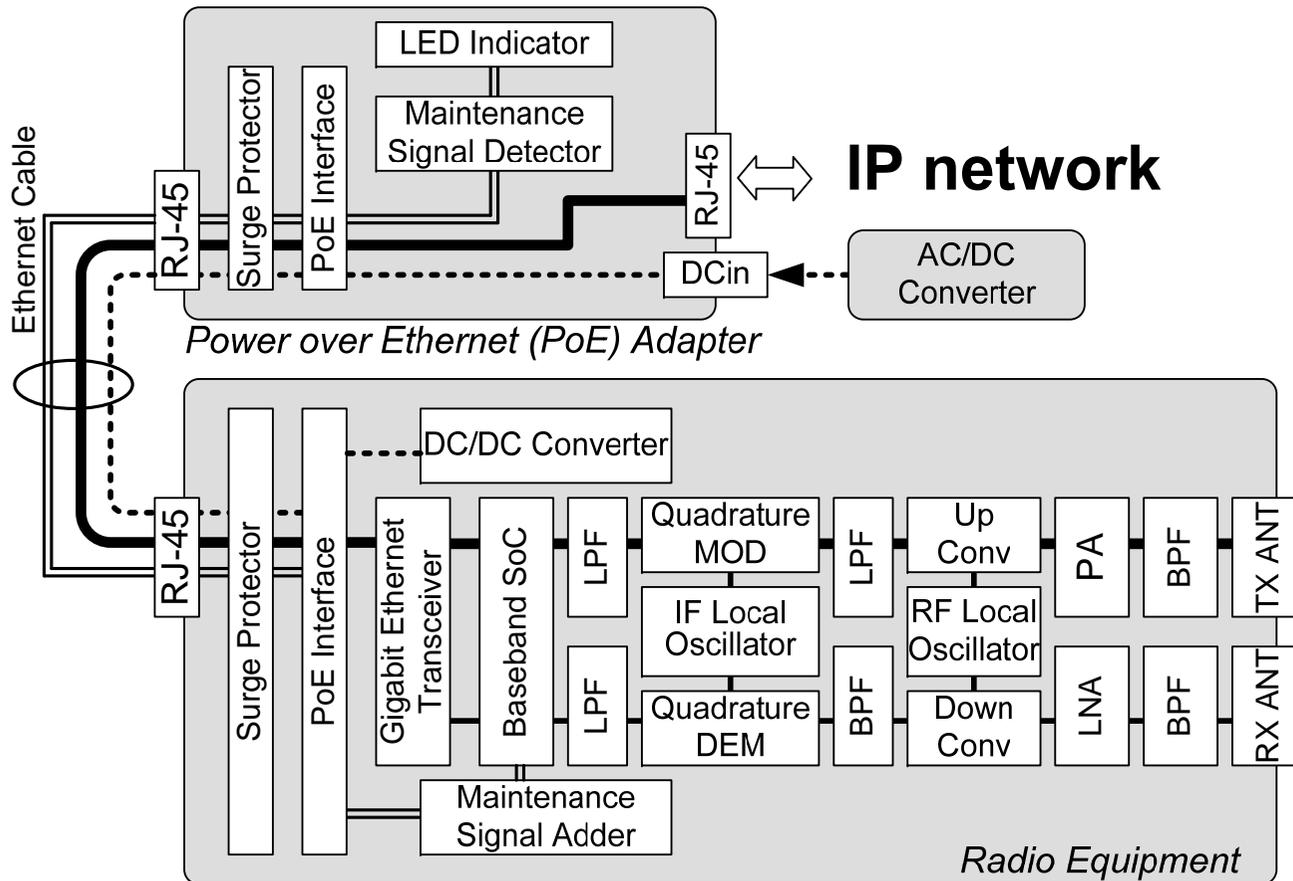
SNRが84dB以上(上限は100dB程度)の場合は $\Delta\Sigma$ 型ADC

信号帯域が20MHz以上でSNRが40dB以上の場合はPipe, SAR Pipe, Int. SAR
それ以外の領域ではSAR ADCが汎用的に使用できる



38GHz 1Gbps 固定無線システムをJRCと共同開発した

JRCとの共同開発

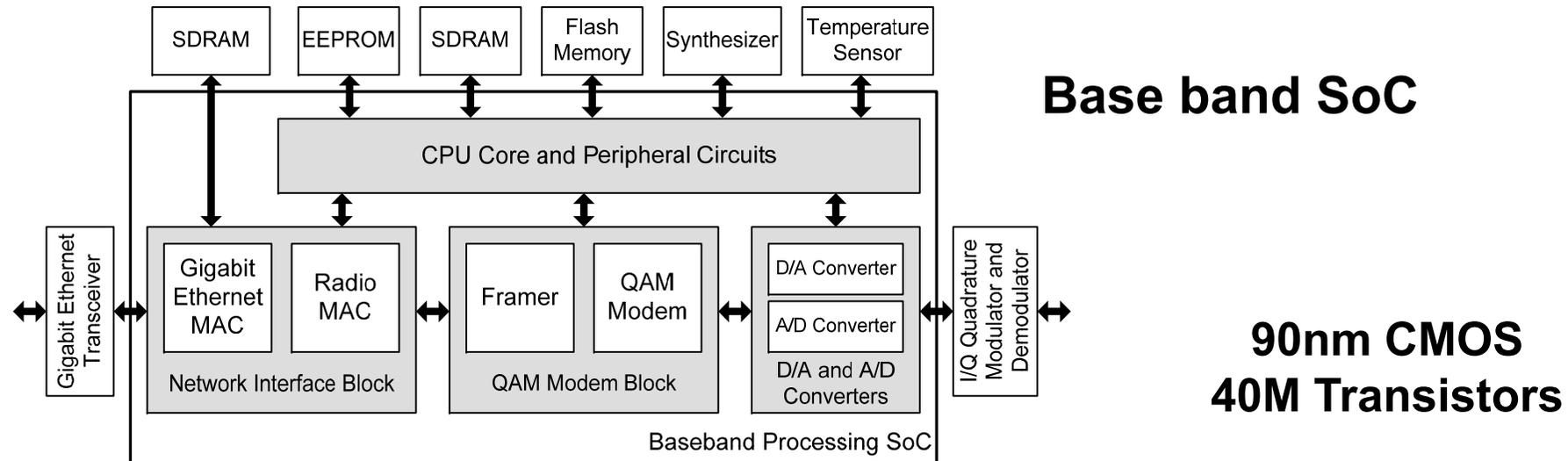


Mixed signal BB SoC

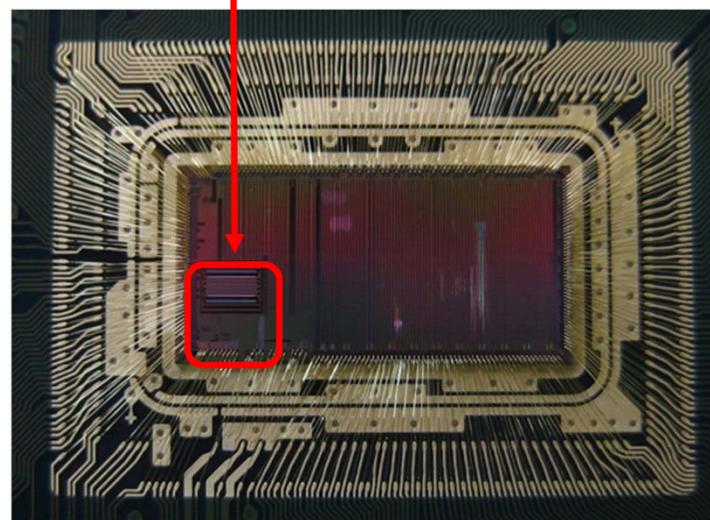
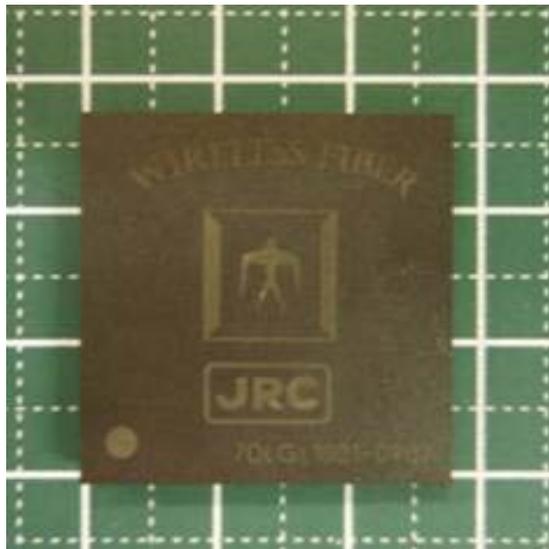
42

TOKYO TECH
Pursuing Excellence

アナログ・デジタル混載ベースバンドSoCを開発した。
64QAM (1Gbps) を用い信号帯域は260MHz.



研究室で開発したADC & DAC



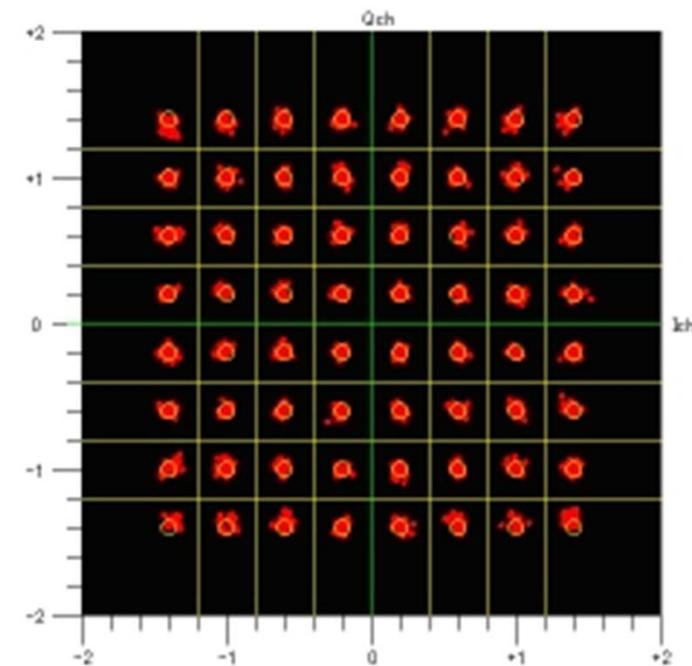
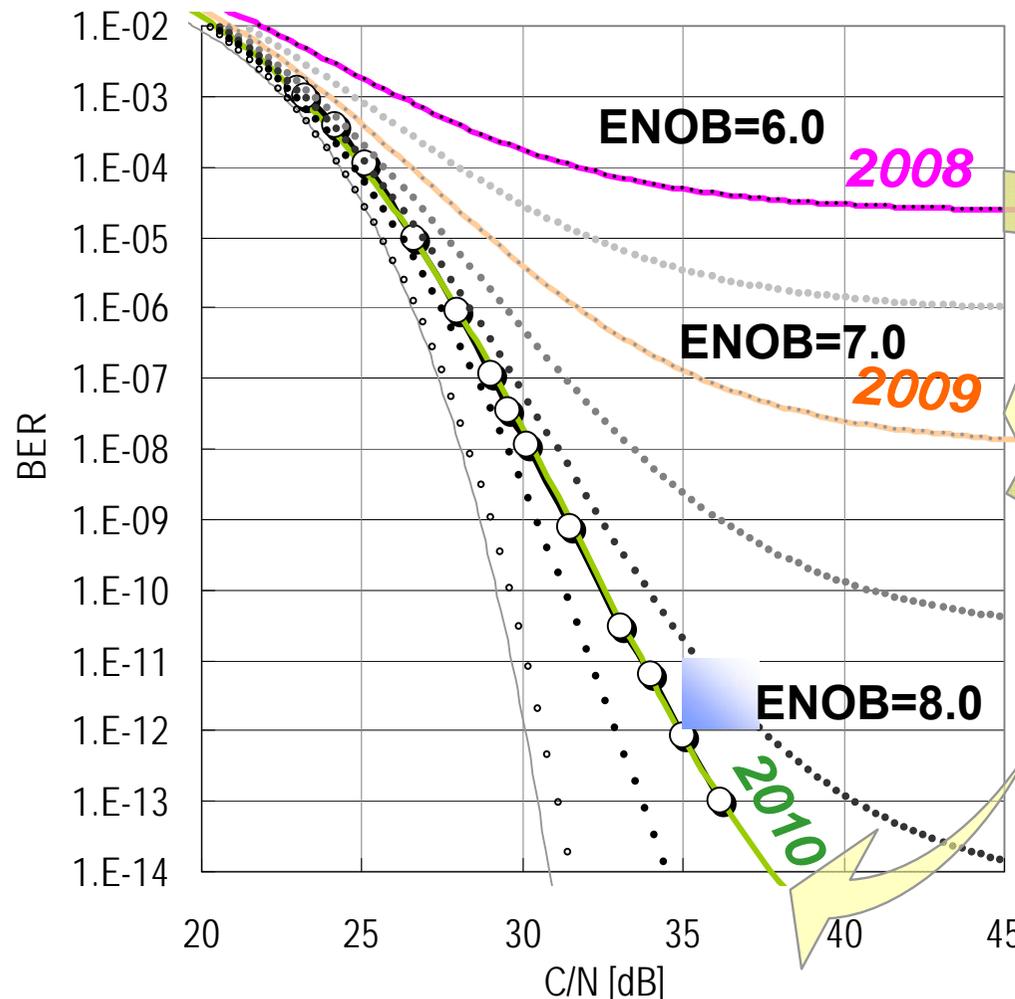
64QAMで十分低いビット誤り率を達成するためには
有効分解能の高いADCが不可欠

当研究室で開発したADC

BW=260MHz

ENOB: ADCの有効分解能

64QAM信号



ΔΣADCの性能と面積

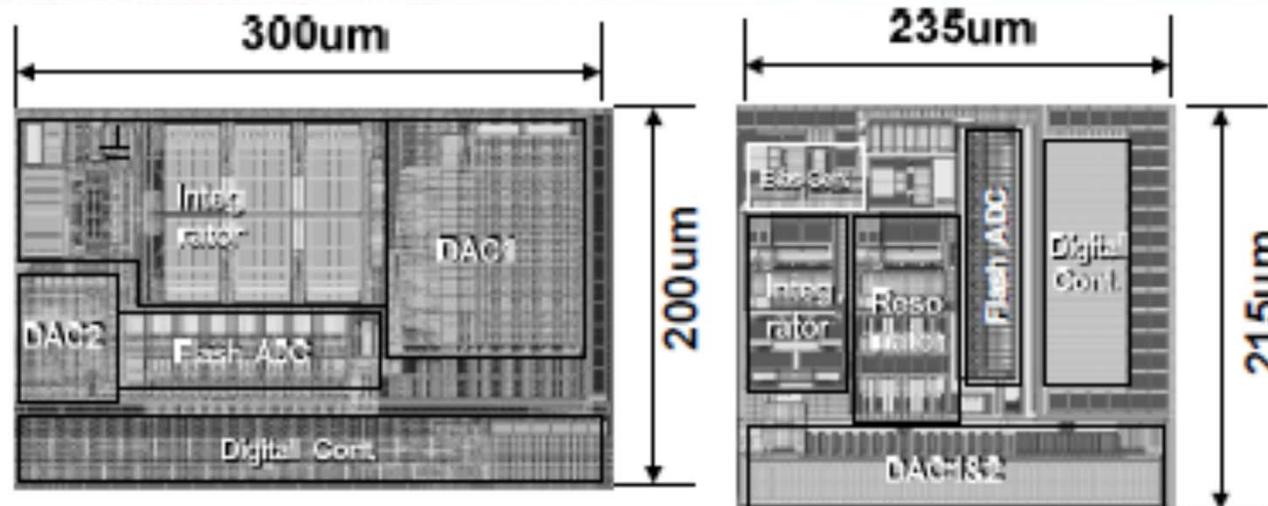


これまでは、性能に応じて、回路やパラメータを変更して対処していた。
 これでは設計生産性が上がらない。

SAR ADC: 面積: 0.03mm² (65nm) P_d=2.0mW, SNDR=70dB

CTΔΣADC: 面積: 0.05mm² (40nm) P_d=2.6mW, SNDR=70dB

Conference	Technology	Area (mm ²)	Power (mW)	SNDR (dB)	DR (dB)	BW (MHz)	Fs (MHz)	FOM (fJ/conv.)	FOM2
Modulator-B	40nm	0.051	2.57	70.0	70.6	10	300	50	166.5
Modulator-A	65nm	0.060	1.36	68.8	69.3	3	186	101	162.0
VLSI2011[4]	40nm	0.085	2.80	78.0	83.0	1.92	246	112	171.4
ISSCC2006[5]	130nm	1.2	20.0	74.0	76.0	20	640	122	166.0
ISSCC2011[6]	90nm	0.15	8.0	63.5	70.0	25	500	125	164.9
ISSCC2009[7]	65nm	0.084	4.52	79.1	80.0	2	128	153	166.5
CICC2010[2]	65nm	0.16	3.6	69.8	70.2	4	140	178	160.7



(a) Modulator-A

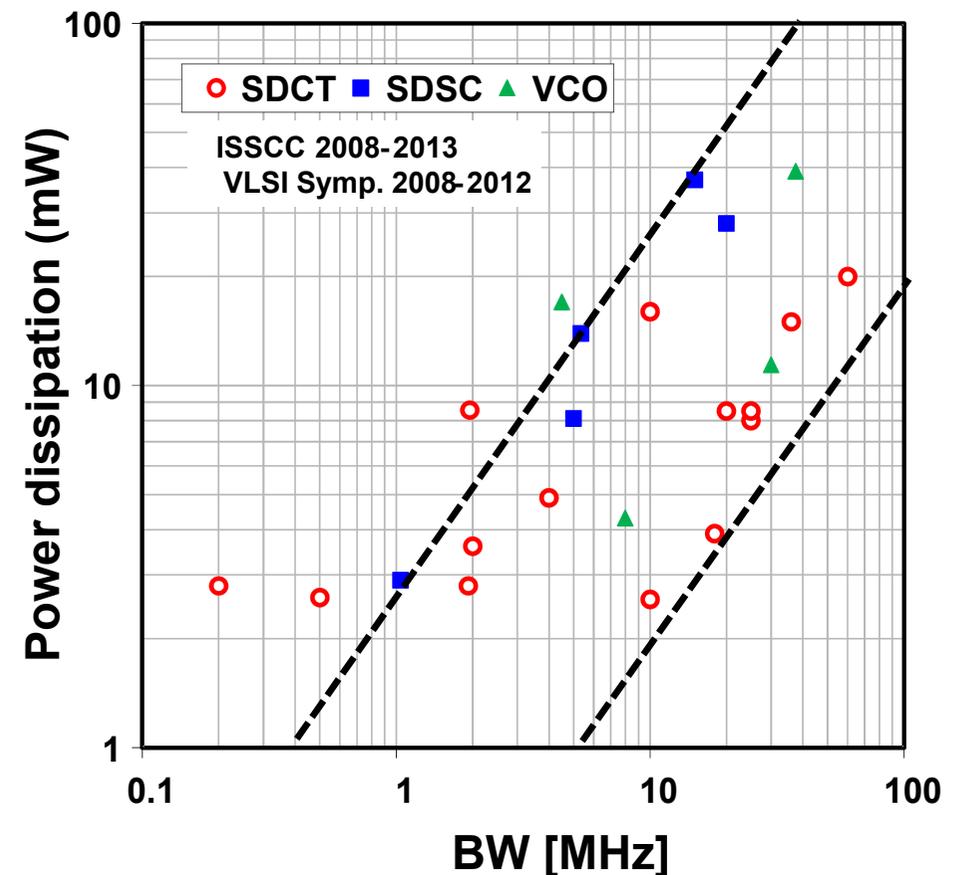
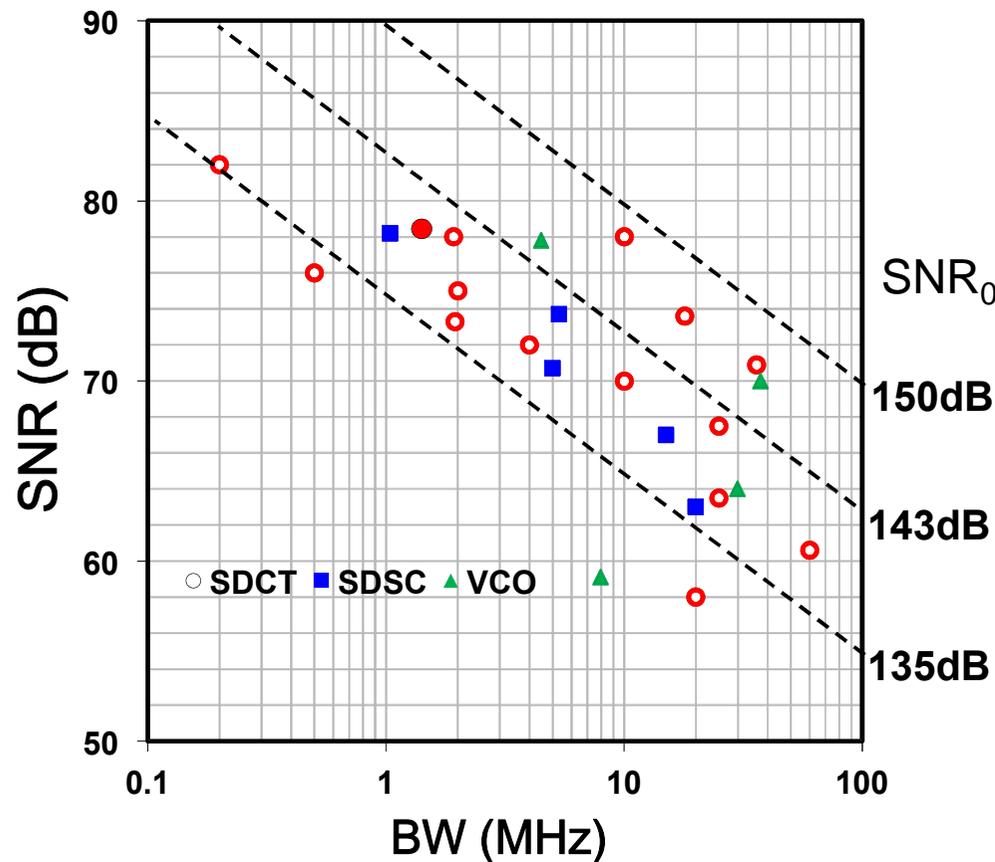
(b) Modulator-B

K. Matsukawa,
 S. Dosho, VLSI 2012

信号帯域が広いときはSNRは下がっても良いが、信号帯域が低い場合は高いSNRを実現。消費電力は変換周波数に比例するようなADCが欲しい

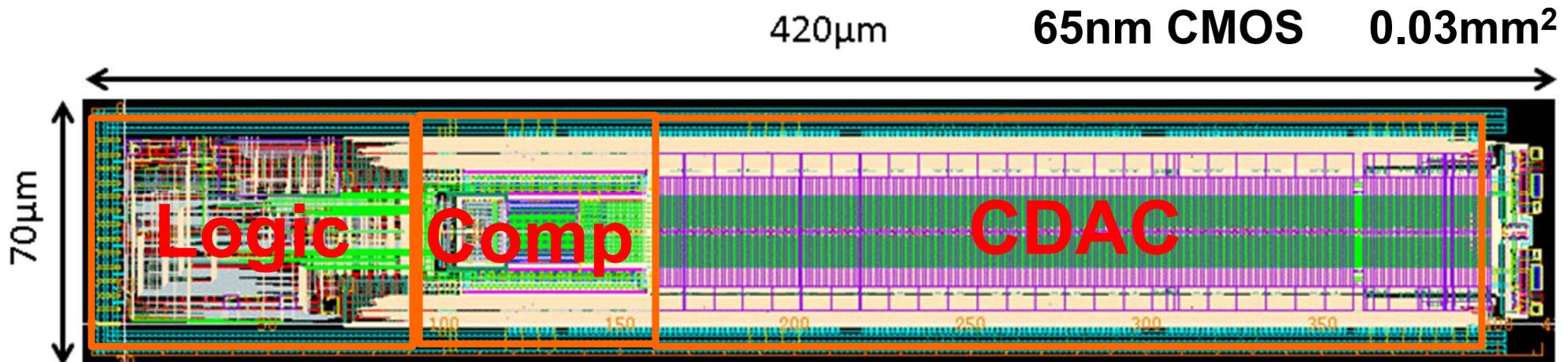
無線通信用ADCのSNRは信号帯域に反比例し消費電力は信号帯域に比例する

$$SNR \approx SNR_0 - 10 \log(BW) \quad P_d \approx K_1 \cdot BW \quad K_1: 0.2 \text{ -- } 3 \text{ (mW/MHz)}$$



Matsuzawa, A. "Digitally-Assisted Analog and RF CMOS Circuit Design for Software-Defined Radio," Chapter 7, Springer 2011.

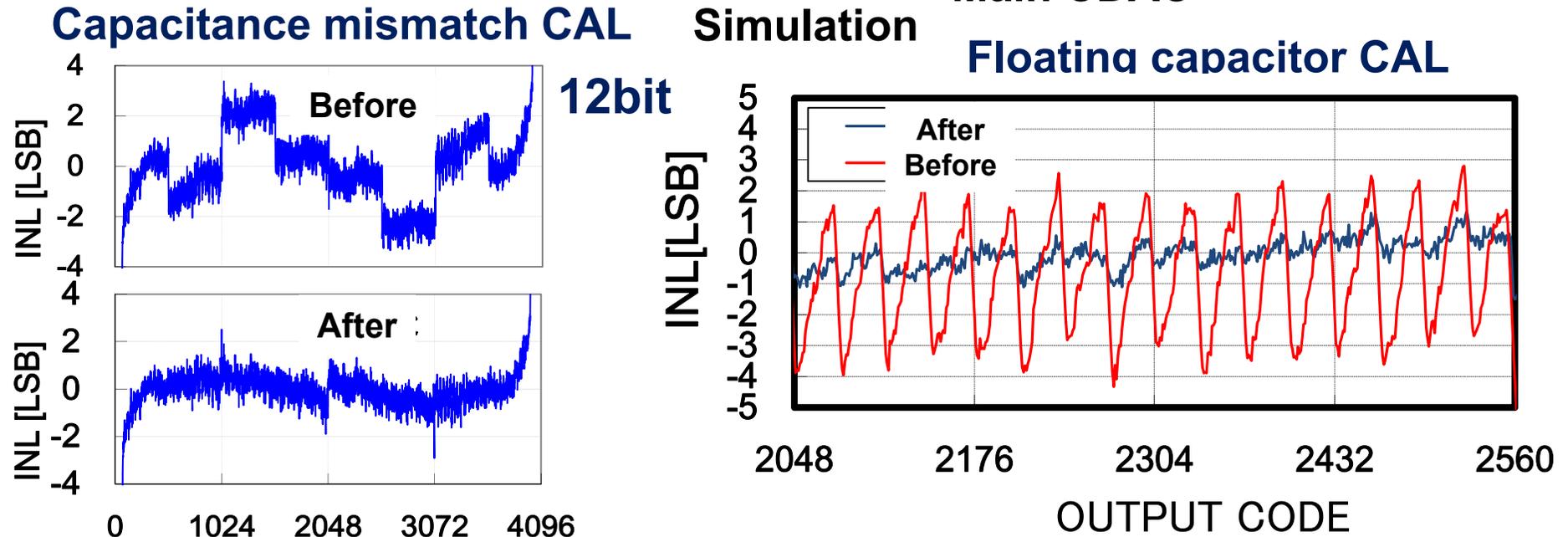
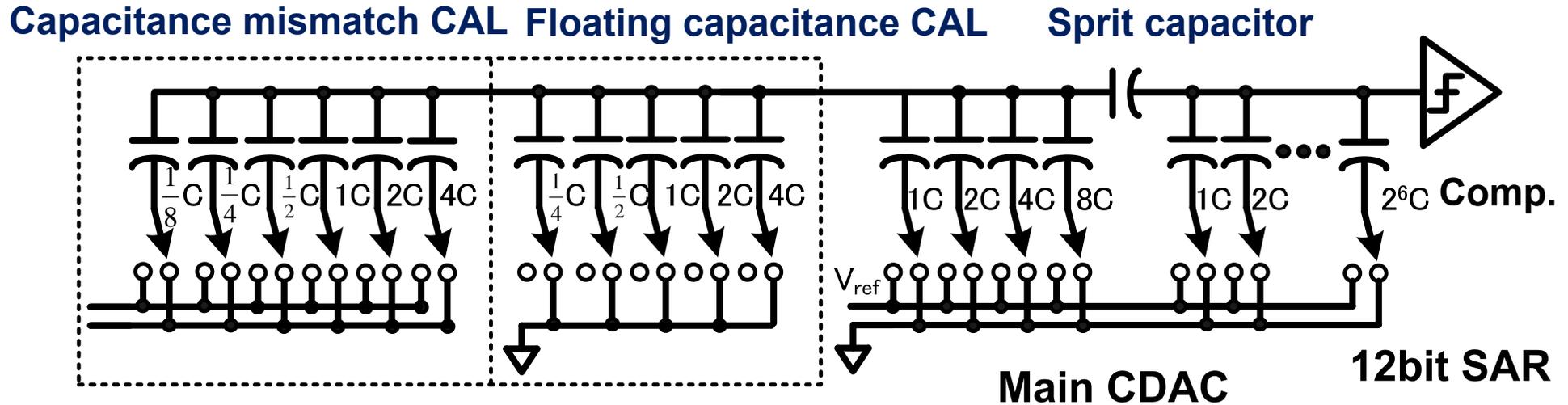
SAR ADCは最も単純かつ低消費電力で小面積なADCである。
これをベースにして、高SNR化、広帯域化を図り、
1つのADCコアで殆ど全ての用途に適合するようにしたい。
これにより設計効率を向上させる。



縦方向を短くしたのは並列動作(インターリーブ)による高速化を考慮に入れたためである。

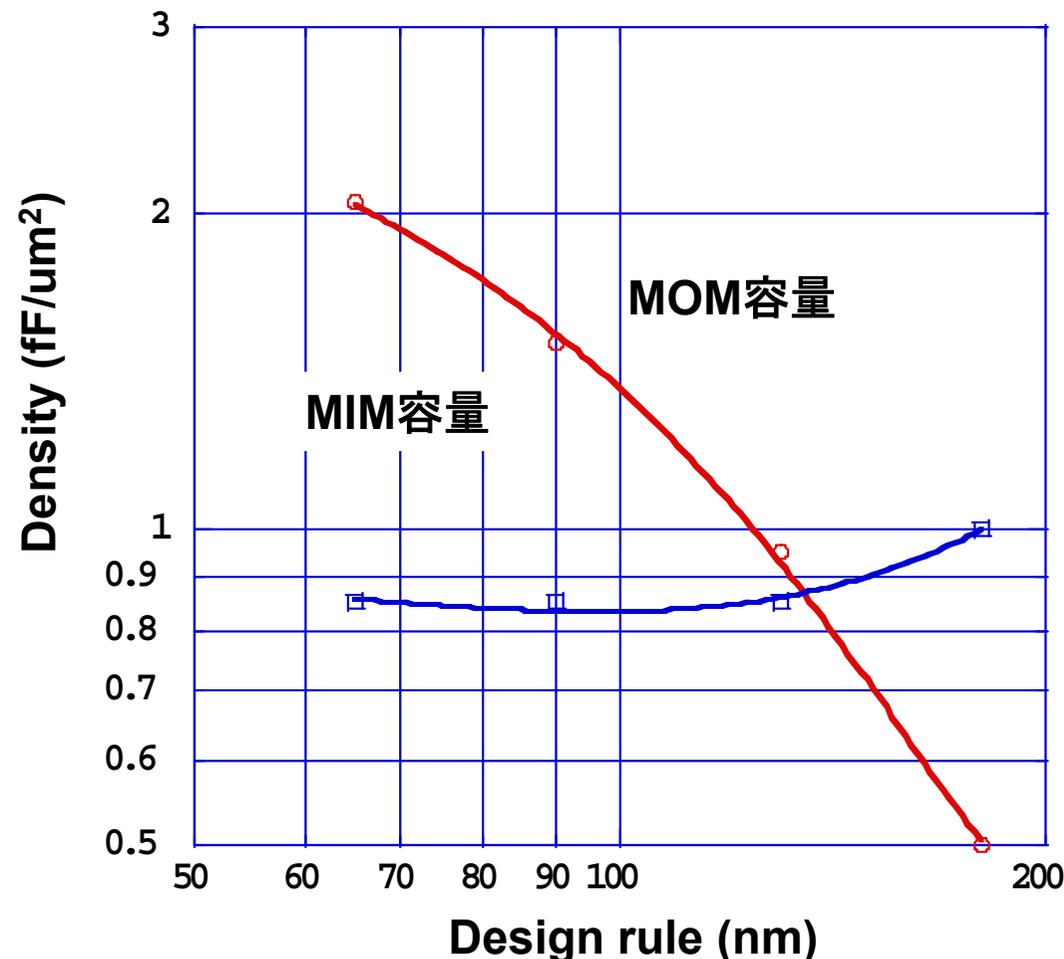
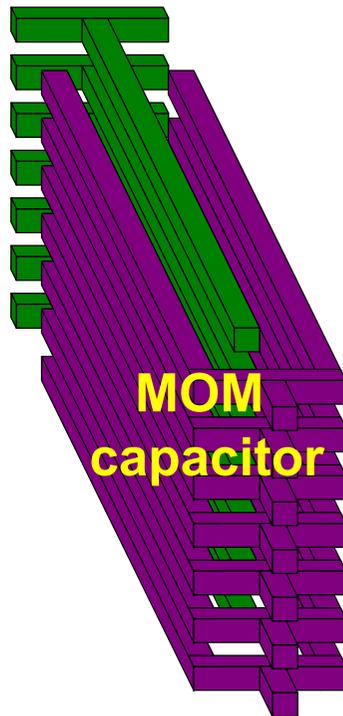
S. Lee, A. Matsuzawa, et al., SSDM 2013

容量誤差や寄生容量による直線性劣化に対し，微小容量とデジタル補正回路を用いて直線性を向上させる。

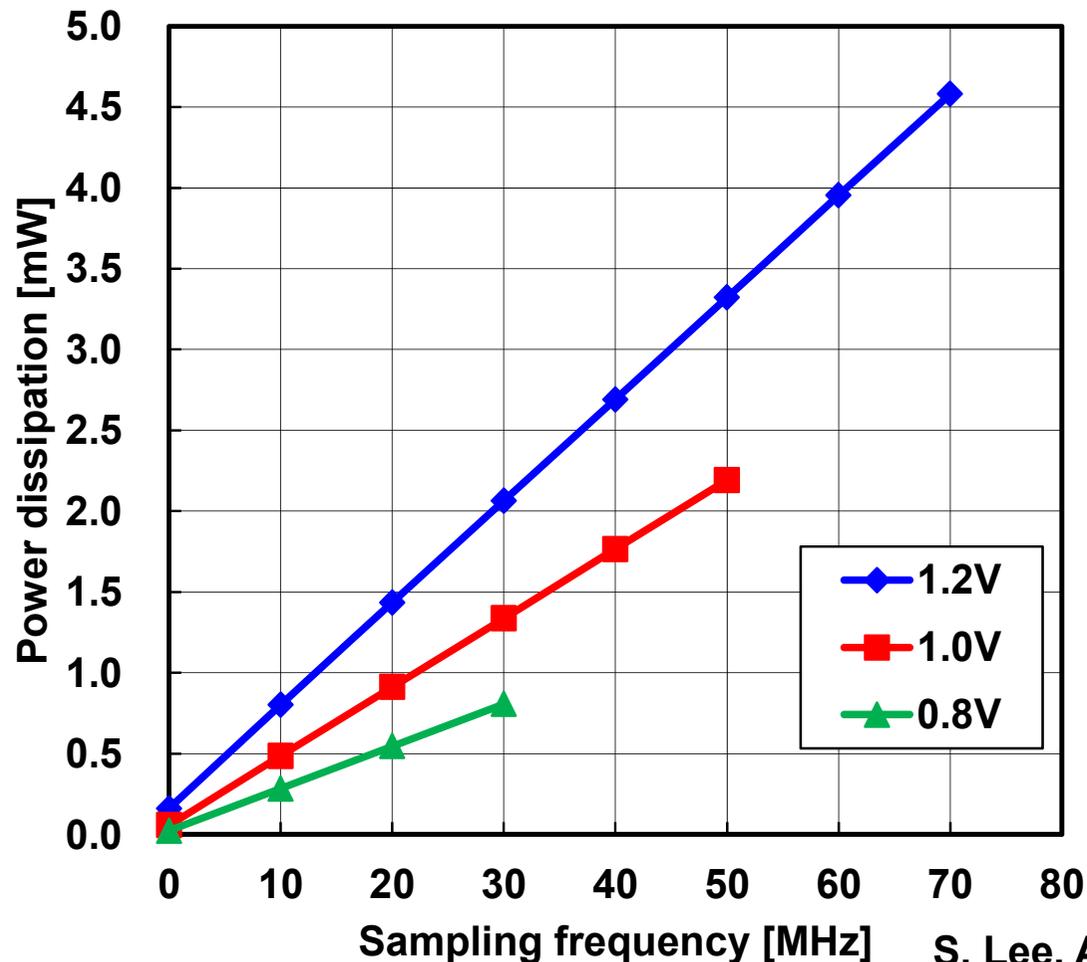


MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

MOM容量により微細化とともに容量部の面積縮小が可能である



完全なダイナミック動作により, ADCの消費電力はCMOSロジックと同様動作周波数に比例する。低い変換周波数では超低電力化が可能。低い変換周波数では低電圧動作により, より低電力化が可能である。70MSpsの高速動作を実現。



50MSps: 2mW
5MSps: 200uW
500KSps: 20uW
50KSps: 2uW
5kSps: 0.2uW

S. Lee, A. Matsuzawa, et al., SSDM 2013

- 最高変換速度: 70MSps
- 最低動作電圧: 0.8V
- 最小消費電力: 2.2mW at 50MSps
- 最小FoM: 28fJ
- 最小面積: 0.03mm²

世界最高レベルの性能を実現

12bit SAR ADCs

	This work			[3]	[4]
Resolution (bit)	12			12	12
V _{DD} (V)	0.8	1	1.2	1.2	1.2
f _{sample} (MHz)	30	50	70	45	50
P _d (mW)	0.8	2.2	4.6	3	4.2
SNDR (dB)	62	64	65	67	71
FoM (fJ) Nyq/DC	81/28	62/33	100/45	36/31	36/29
Technology (nm)	65			130	90
Occupied area(mm ²)	0.03			0.06	0.1

S. Lee, A. Matsuzawa, et al., SSDM 2013.

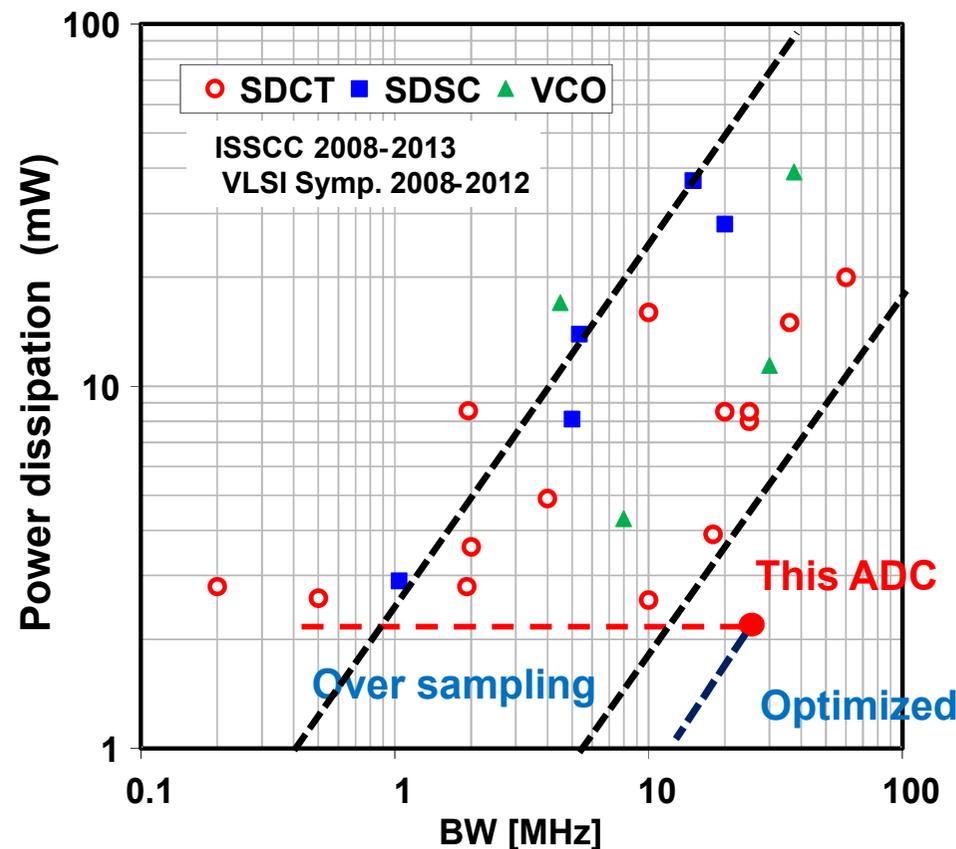
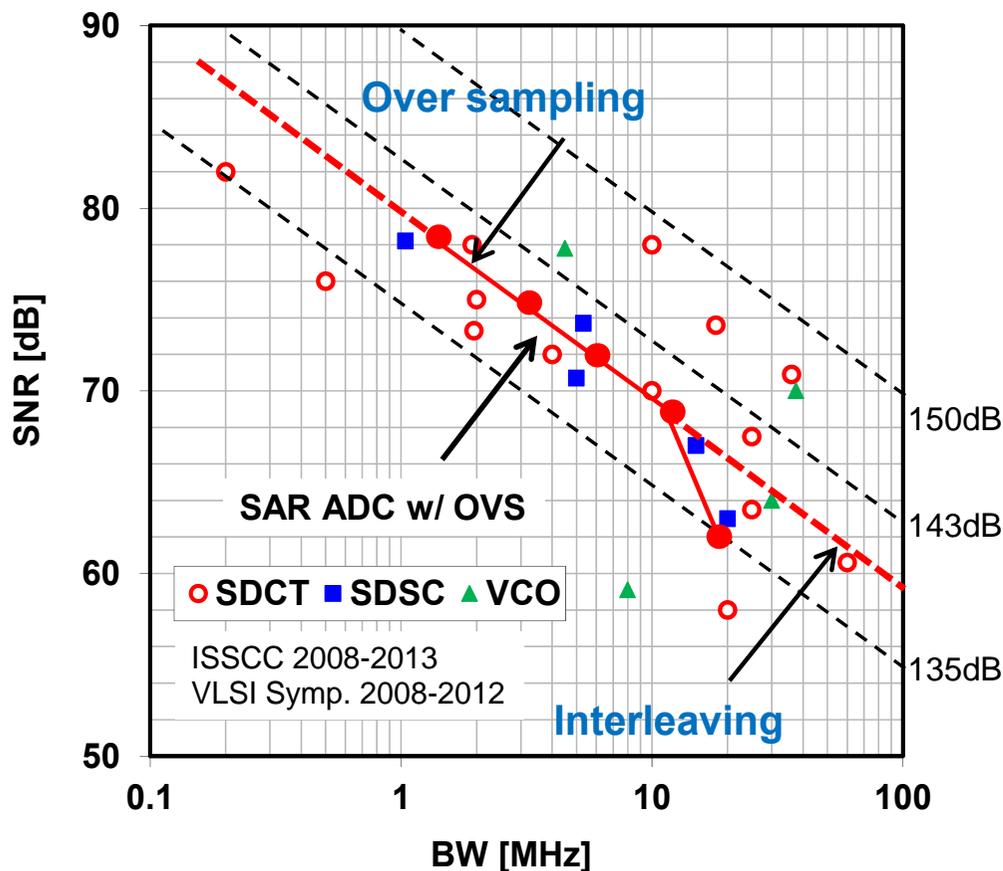
[3] W. Liu, P. Huang, Y. Chiu, ISSCC, pp. 380-381, Feb. 2010.

[4] T. Morie, et al., ISSCC, pp.272-273, Feb. 2013.

SNRは信号帯域が20MHzで62dB，デジタルフィルタで信号帯域を制限することでSNRを向上できる。帯域1MHzで78dBのSNRを実現
 高い信号帯域に対してはインターリーブで対応の予定。
 消費電力はこれまでの通信用ADCに比べ最少。

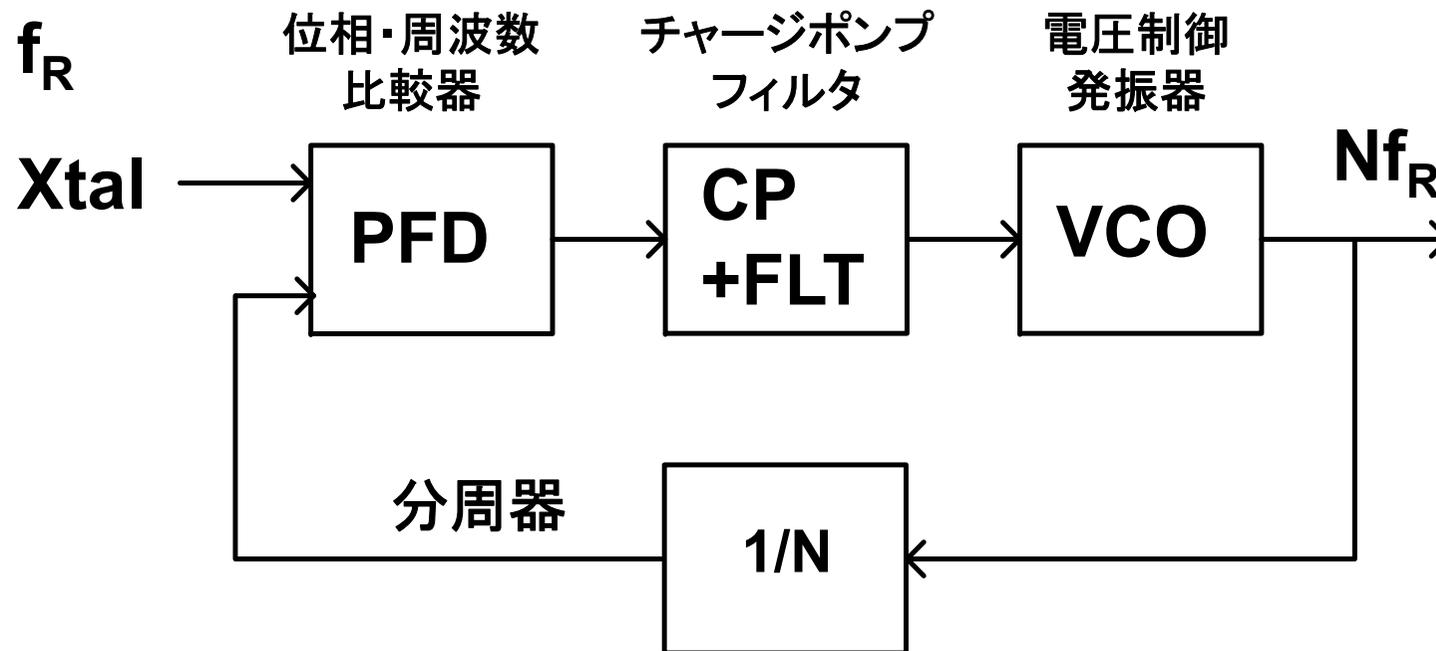
S. Lee, A. Matsuzawa, et al., SSDM 2013

1V, 50MSps Operation



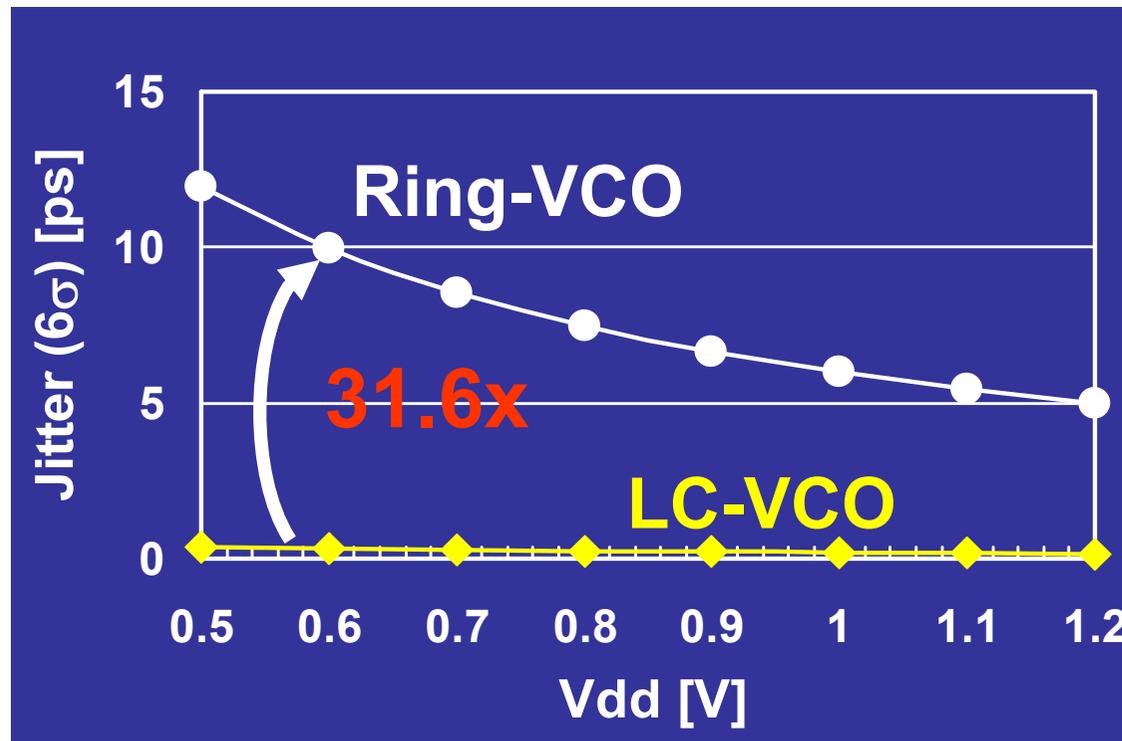
PLL技術

PLL (位相同期ループ) は所望の周波数のクロックを作り出す回路で、全てのLSIに必要不可欠なものである。
システムのタイミングや位相精度を決定するものであり消費電力も大きくなりがちである



PLLのジッタ, 位相ノイズ, 消費電力は主として発振器で決まる。リング発振器はLC発振器に比べ30倍程度ジッタが悪く, 低電圧化により更に悪くなる。しかしLC発振器は面積も大きく, 消費電力も大きい。そこでLC発振器の低電力化とリング発振器の低ジッタ化を進めている。

$$\frac{\text{リング発振器の位相ノイズ}}{\text{LC発振器の位相ノイズ}} = \frac{2MQ^2 \left\{ \frac{V_{DD}}{V_{DD} - V_T} 2\gamma + 1 \right\}}{1 + \gamma}$$



Q: LC共振回路
M: リング段数
γ: ノイズ係数

0.2Vで動作するLC VCOを開発した。
電流が流れる位相範囲を縮小した。

低ノイズ・高効率C級発振器を基本とし、
発振し易いようにスタートアップ回路を設けた。

K. Okada, Y. Nomiya, R. Murakami, and A. Matsuzawa,
"A 0.114mW Dual-Conduction Class-C CMOS VCO with 0.2V Power Supply,"
Dig. Symp. VLSI Circuits, pp.228-229, June, 2009.

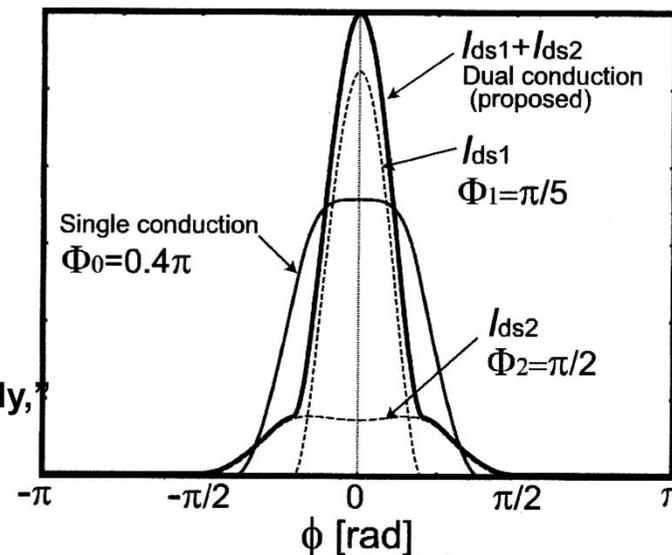


Fig. 2. MOS current waveform of single- and dual-conduction class-C VCOs under the same signal amplitude ($A_t = 3/4 * V_{DD}$, and $V_{th} = 5/2 * V_{DD}$).

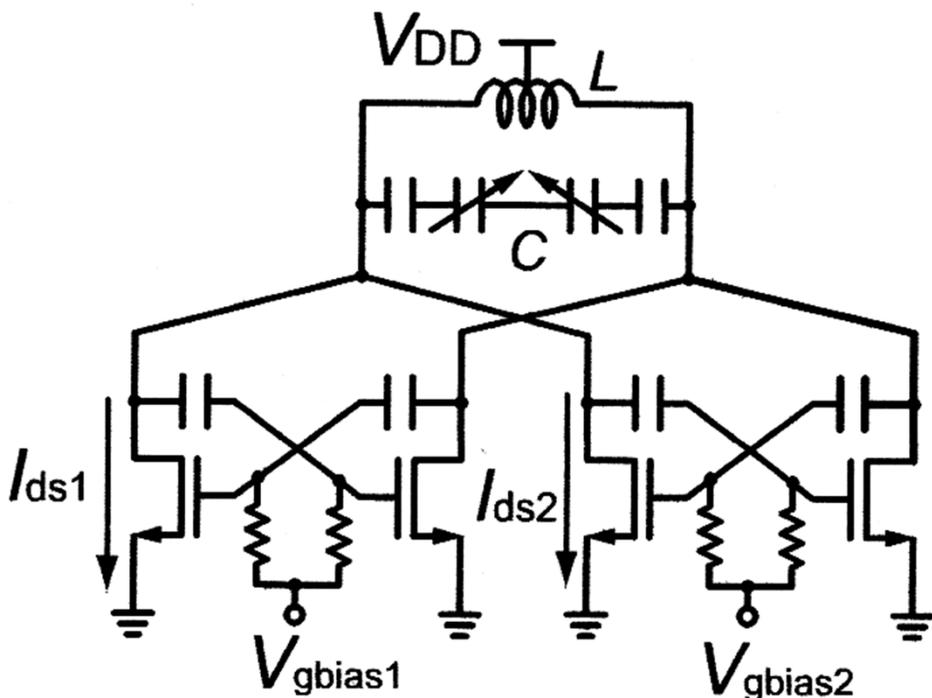


Fig. 3. Voltage waveform of the proposed VCO for drain and both gate voltages.

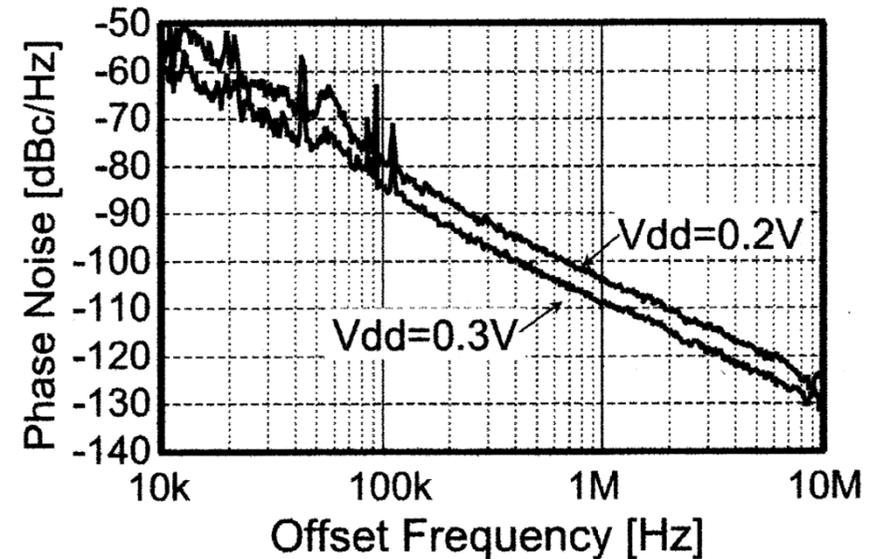
I_{ds1} I_{ds2}

$V_{g\text{bias}1}$ $V_{g\text{bias}2}$

C級発振器用 スタートアップ用

LC発振器はDCカットできるために低電圧設計がし易い。
課題は面積だが、多層配線の利用で、より省面積化が可能である。

0.2Vで動作するLC発振器を開発し、
-104dBc/Hz @1MHz-offset
の位相ノイズ特性を得た。
Pd=110uW, FoM=187dBc/Hz
の低電力動作を確認。

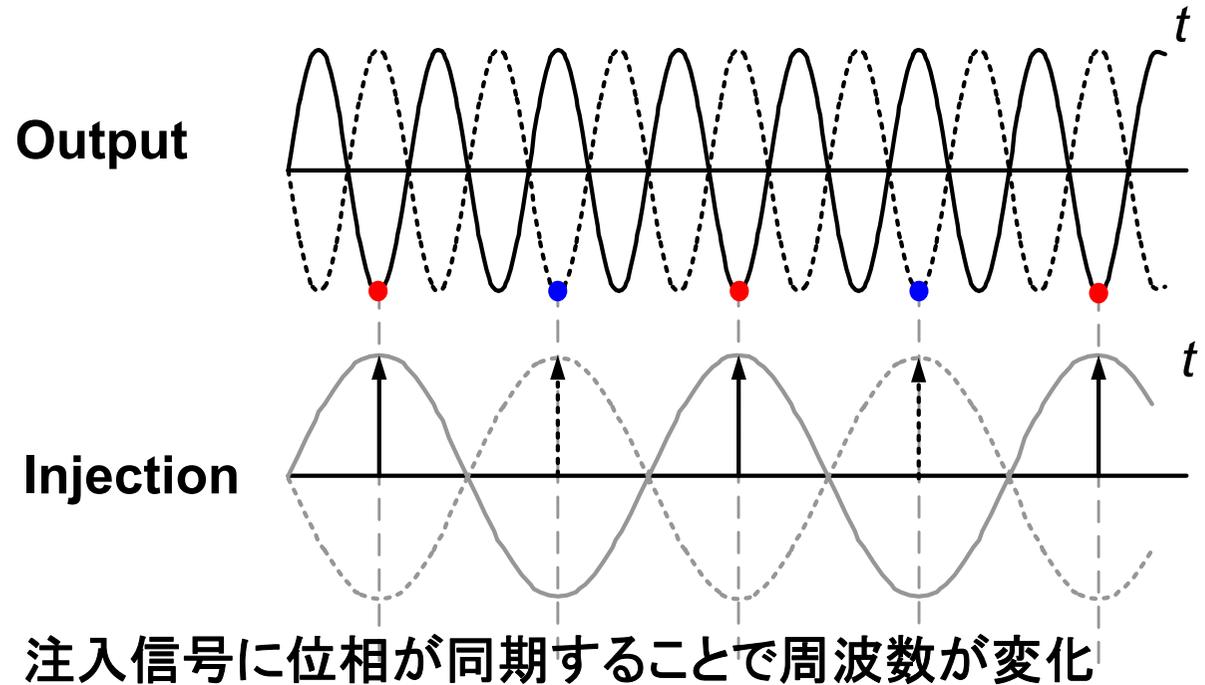
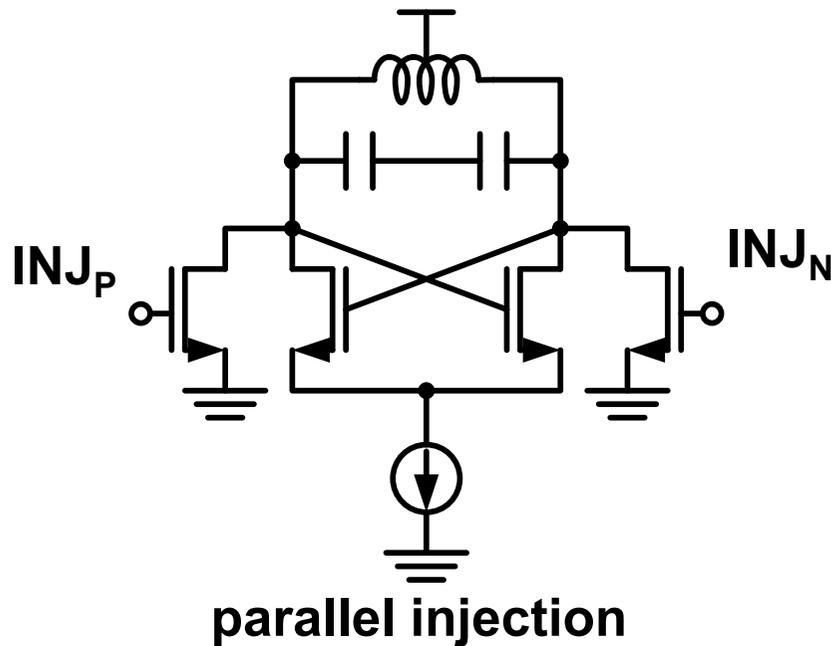


K. Okada, A. Matsuzawa, et al., VLSI Circuits 2009.

TABLE 1. Performance summary.

	[2]	[1]	[1]	This work	
Technology	0.13 μm CMOS	0.18 μm CMOS	0.18 μm CMOS	0.18 μm CMOS	
Supply voltage	1.0 V	0.5 V	0.35 V	0.3 V	0.2 V
Power consumption	1.3 mW	0.57 mW	1.46 mW	0.159 mW	0.114 mW
Oscillation frequency	4.9 GHz	3.8 GHz	1.4 GHz	4.5 GHz	4.5 GHz
Phase noise	-130 dBc/Hz @3MHz-offset	-119 dBc/Hz @1MHz-offset	-129 dBc/Hz @1MHz-offset	-109 dBc/Hz @1MHz-offset	-104 dBc/Hz @1MHz-offset
FoM	196 dBc/Hz	193 dBc/Hz	190 dBc/Hz	190 dBc/Hz	187 dBc/Hz
Chip area	0.50 mm^2	0.23 mm^2	0.76 mm^2	0.29 mm^2	
Topology	Class-C (single)	TF	TF	Class-C (dual)	

注入同期により高い周波数の発振器を、低い発振器で制御することができる。

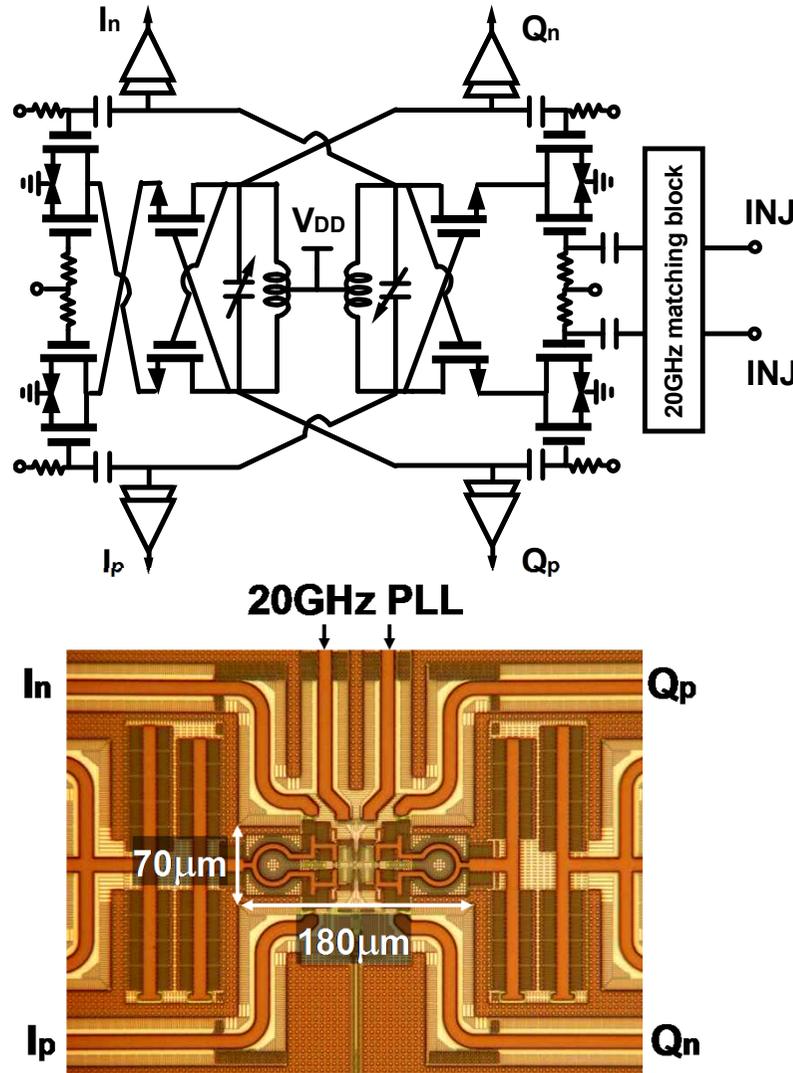


- 位相雑音(ジッタ)は注入信号に依存
- 周期が短くなる分、相対的にジッタが大きく見える

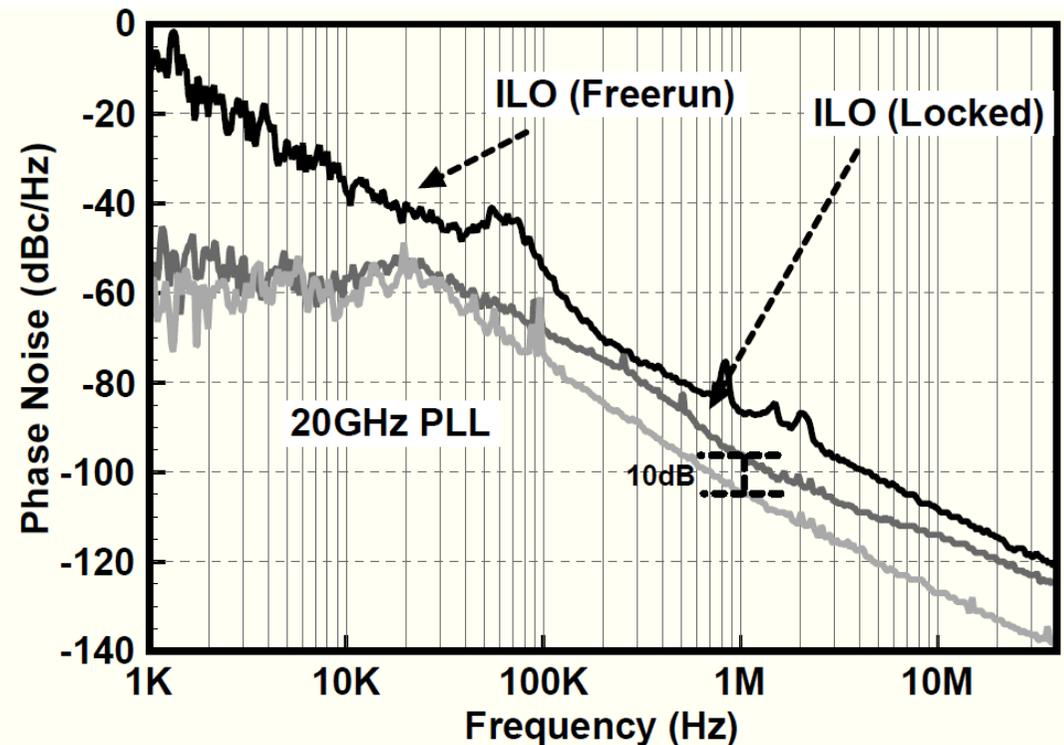
逡倍器の位相雑音 $PN_{ILO} = PN_{INJ} + 20 \log(N)$ N :逡倍数

ロックレンジ $\Delta\omega_L = \frac{\omega_o}{Q} \cdot \frac{I_{inj}}{I_{OSC}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{OSC}^2}}}$ $N=3$ のとき 9.5dB

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで
-96dBc/Hz@1MHzの良好な低位相ノイズを実現。
ダイレクトコンバージョンや16QAMが可能となった。



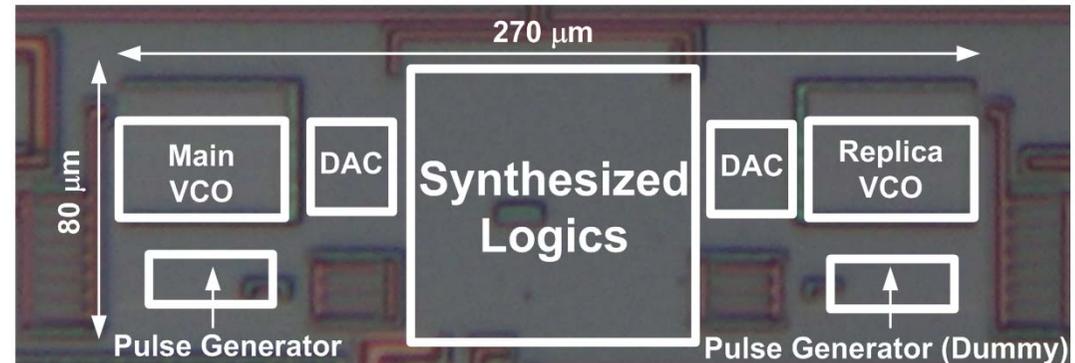
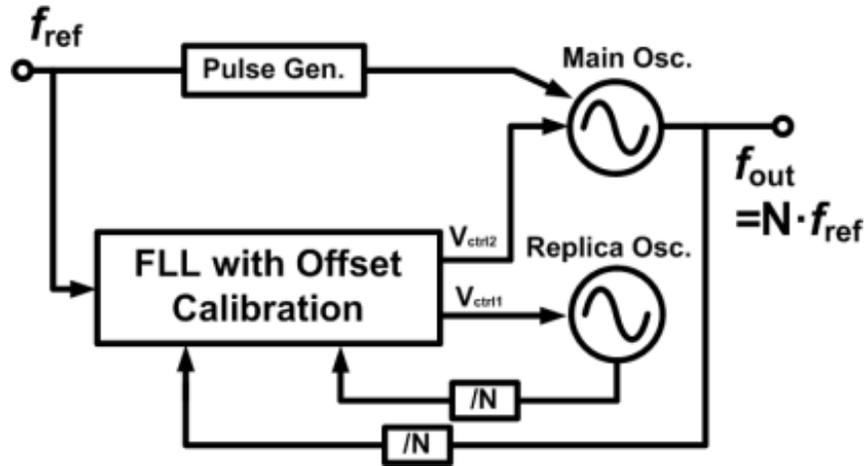
それまでの60GHz 直交VCOの位相ノイズは
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, in A-SSCC
Dig. Tech. Papers, pp. 101–102, Nov. 2010.

インジェクションロック技術を用いたLSIのシステムクロック発生用リング発振器。低ジッタ, 低電力, 小面積 IL VCO, $T_j=1.8\text{ps}$, 1mW , 0.02mm^2

従来のPLLに代わるクロック発生器
今後はレイアウト合成が可能に

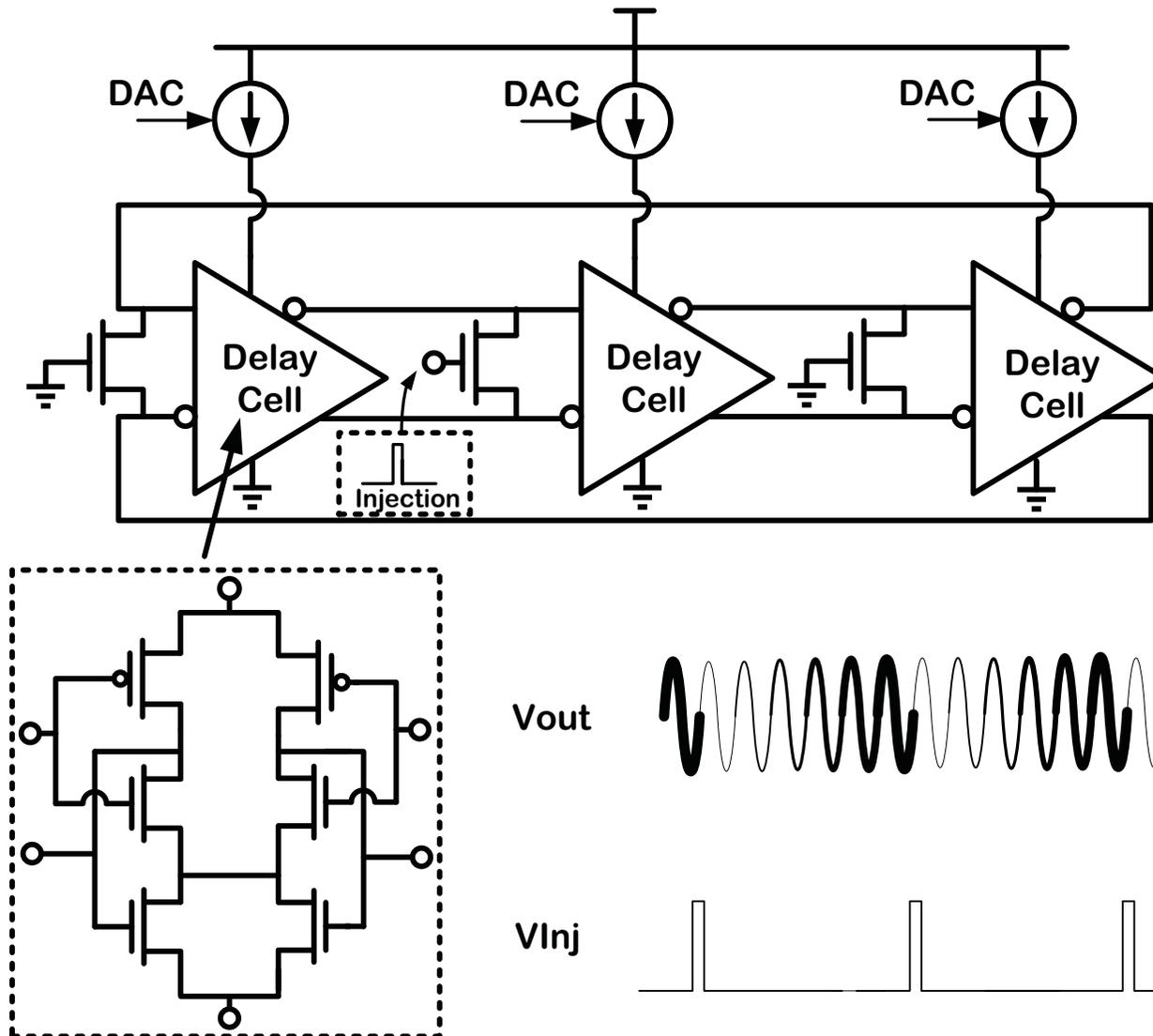


IL VCO 性能比較

	This work	[1]		[2]	[5]
	IL-PLL	DMDLL	DPLL	MDLL	IL-PLL
Freq. [GHz]	1.2 (0.5-1.6)	1.5 (0.8-1.8)	1.5 (0.8-1.8)	1.6	0.216
Ref. [MHz]	300 (40-300)	375	375	50	27
Power [mW]	0.97	0.89	1.35	12	6.9
Area [mm ²]	0.022	0.25	0.25	0.058	0.03
Integ. Jitter [ps]	0.7	0.4	3.2	0.68	2.4
Jitter RMS/PP [ps]	1.81/19.4 10M hits	0.92/9.2 5M hits	4.2/33 5M hits	0.93/11.1 30M hits	N.A.
FOM [dB]	-243	-248.46	-228.59	-233.76	-225
CMOS Tech.	65nm	130nm	130nm	130nm	55nm

W. Deng., A. Matsuzawa,
et al., ISSCC 2013

差動型インバータリングVCOにインジェクションを行う

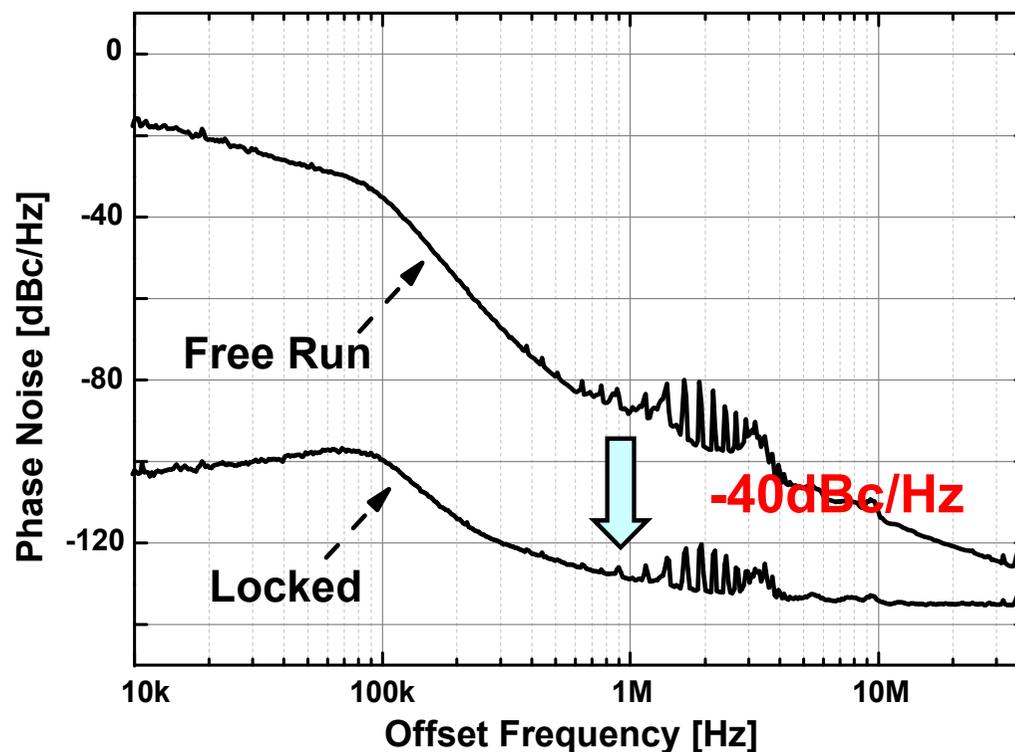
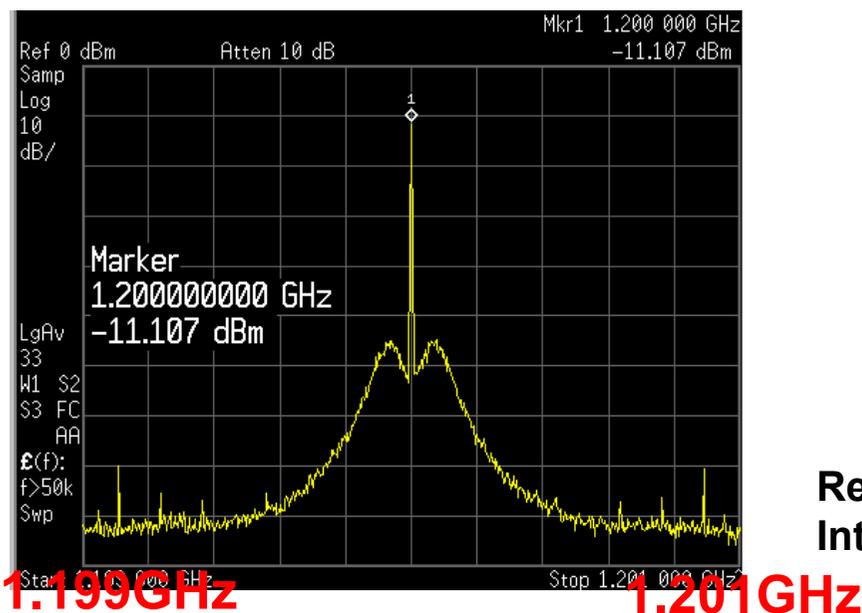
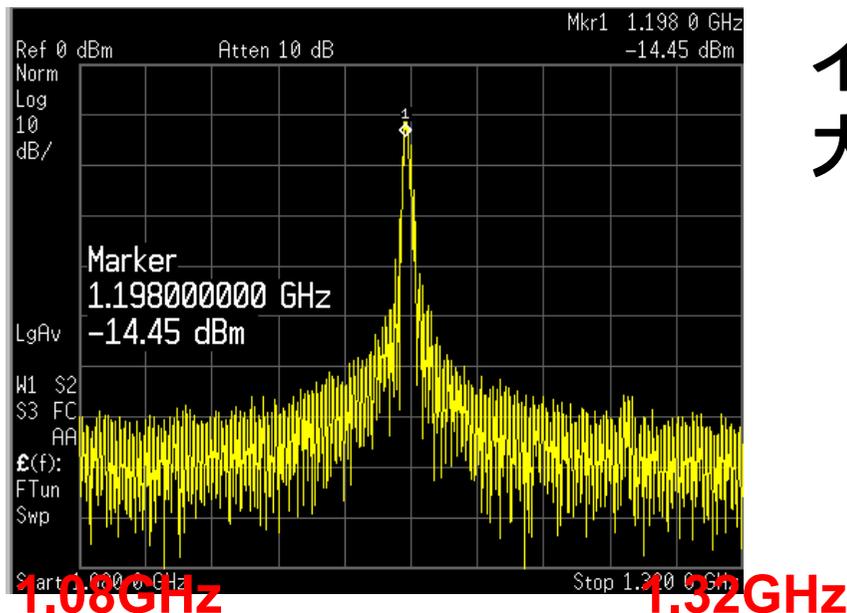


W. Deng. ISSCC 2013

位相雑音の大幅な向上

インジェクションロックにより位相雑音は大幅に低下

W. Deng, A. Matsuzawa, et al., ISSCC 2013



Ref.: 300MHz (40MHz-300MHz) Freq.: 1.2GHz (0.5-1.6GHz)
Integrated jitter: 0.7ps (10kHz-40MHz) Pdc: 0.97mW (1.2GHz)

チャージポンプとSAR ADCを用いた分解能0.8psのTDC
低ノイズデジタルPLLなどに使用予定

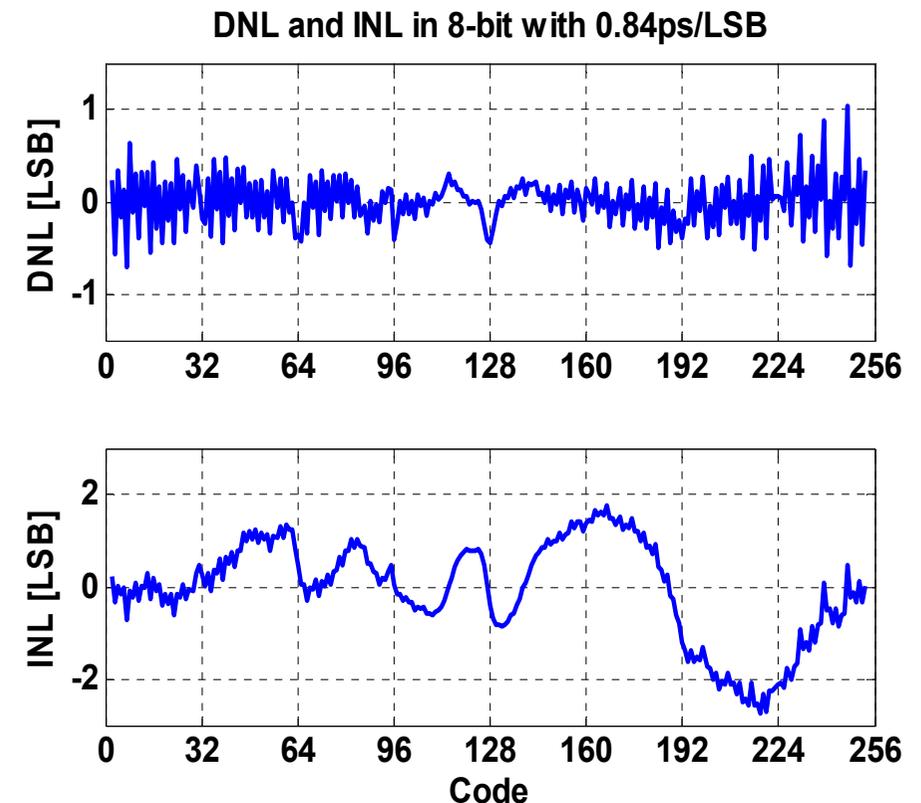
これまでのTDCはインバータ遅延を用いていたため10ps以下の分解能は困難であった。

時間分解能: 0.8ps, 8bit, 40Mps, 2.5mW

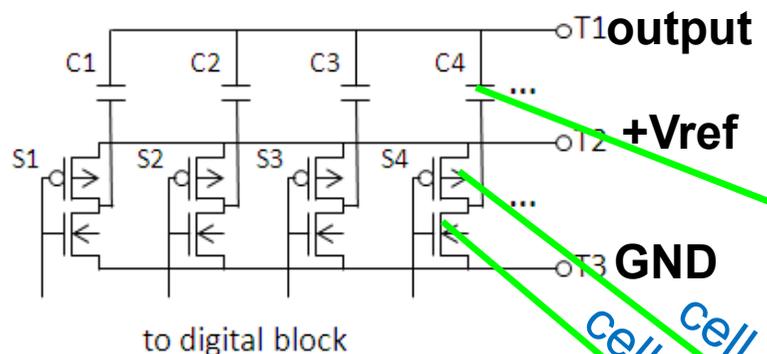


開発中のTDC

0.8ps, 10bit, 100Mps, 4mW, 0.02mm²

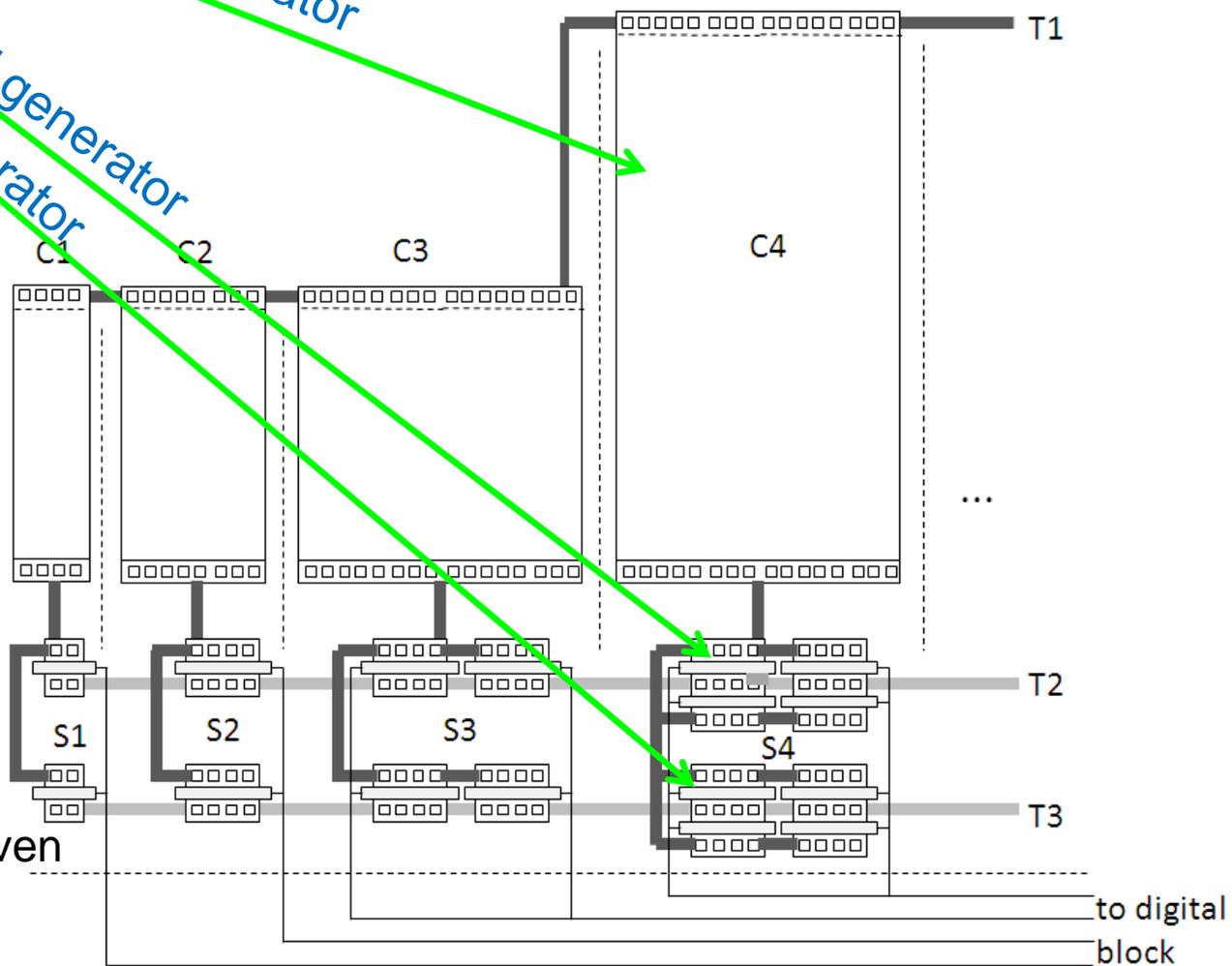


レイアウトドリブン設計と プログラマブルアナログ回路技術



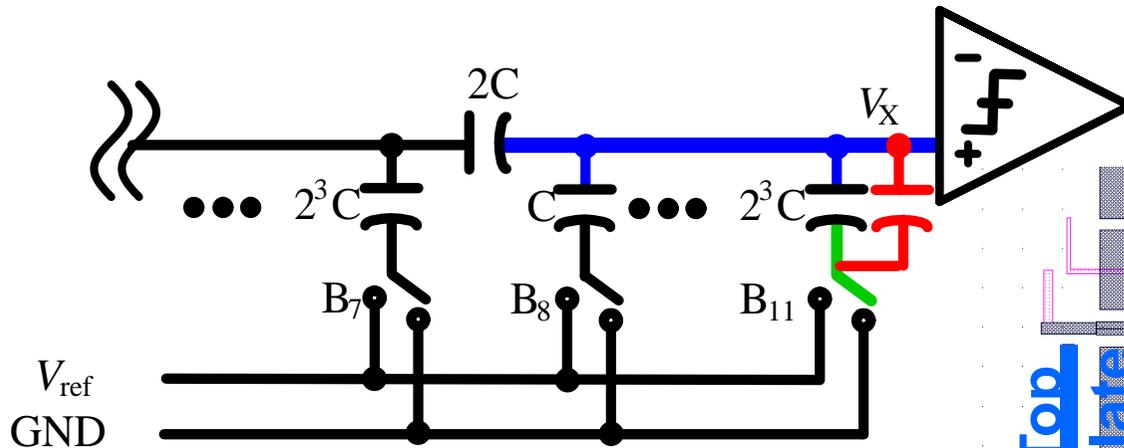
素子を配置して、素子間を結線するという考え方

1. $C1=20fF, C2=40fF, C3=80fF, C4=160fF, \dots$
2. $S1$ NMOS $W/L=2\mu m/L_{min}, S2=x2, S3=x4, S4=x8, \dots$
3. $S1$ PMOS $W/L=2\mu m/L_{min}, S2=x2, S3=x4, S4=x8, \dots$
4. Separate each capacitors or shield.
5. Separate between capacitors and digital block or shield.



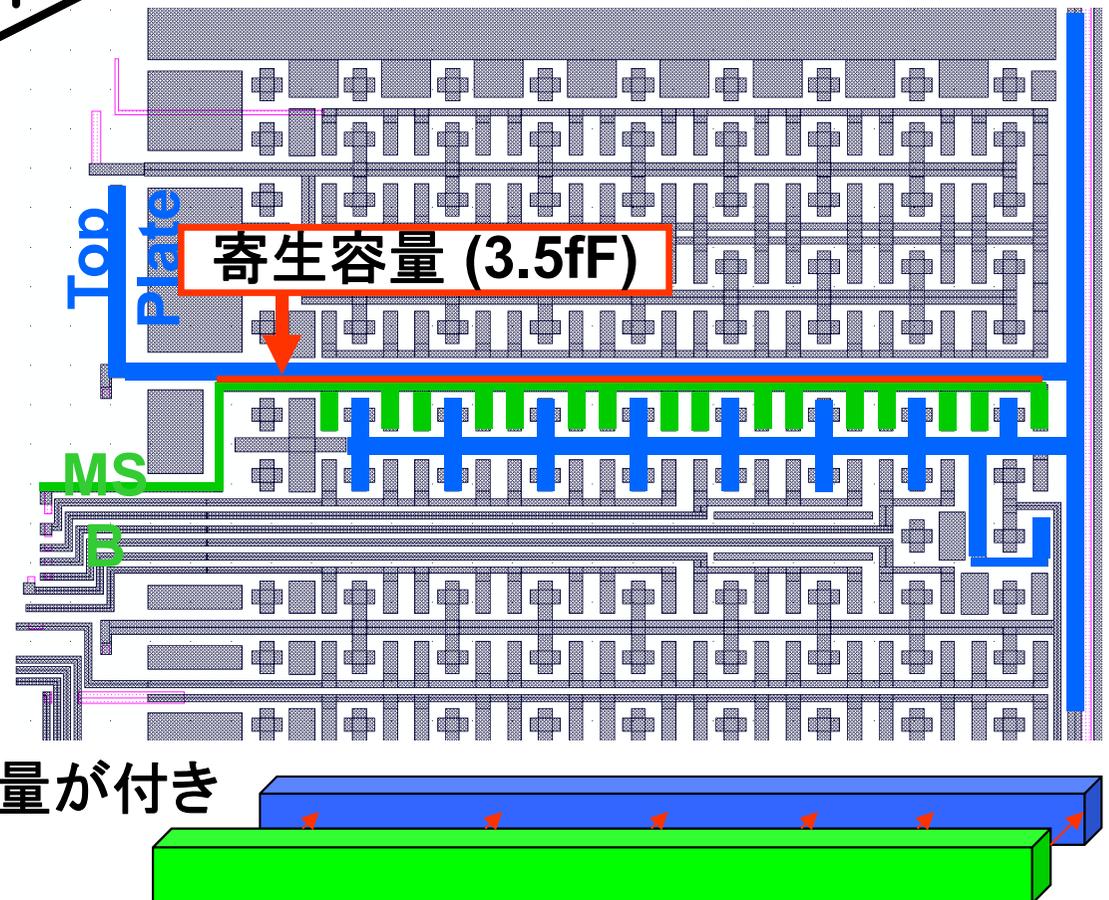
菅原, 松澤 他 “Proposal of layout-driven 1/2.8 size DAC design methodology”
アナログRF 研究会, 2013年11月

「素子」間を結線するという従来からのレイアウト設計思想では、決して高精度で信頼性の高いアナログ回路は実現できない

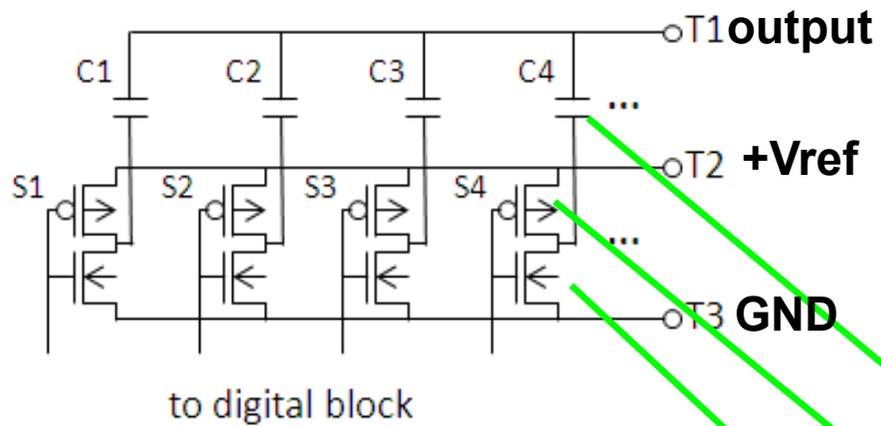


CDACの回路図

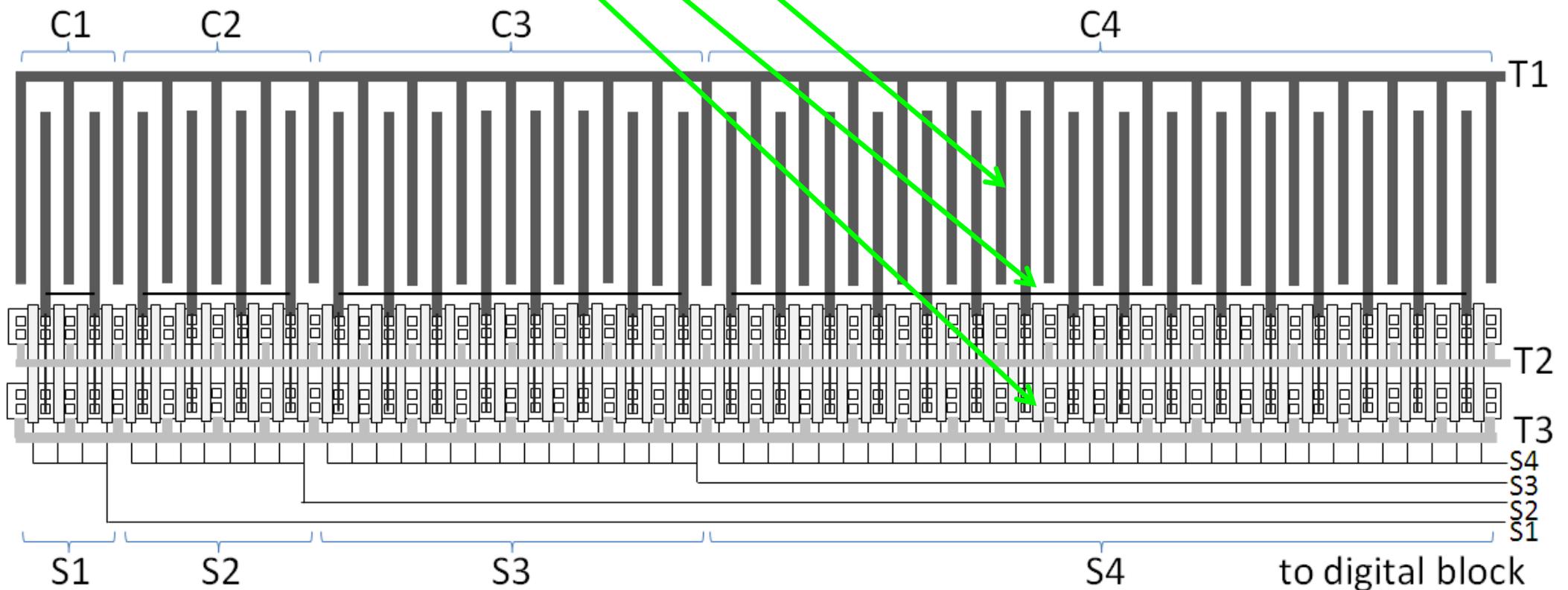
CDACのレイアウト



CDACにおいて、Top Plate(青)とBottom Plate(緑)に3.5fFの寄生容量が付き最大50LSB程度のエラーが生じた。



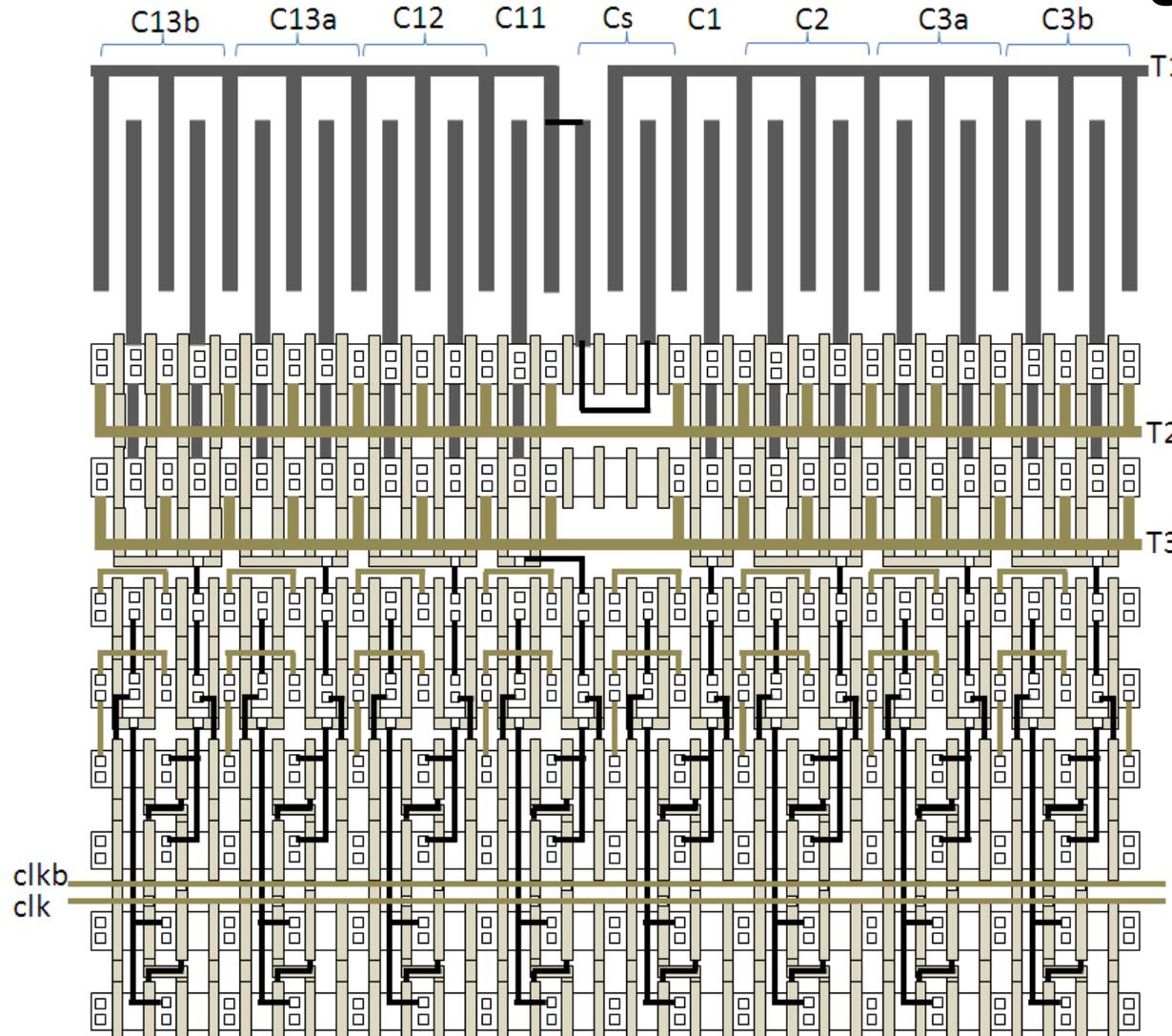
- ・レイアウトの合理性を追求
- ・素子間配線を無くす
- ・素子の規則性を重視
- ・各素子のピッチを合わせる



菅原, 松澤 他, アナログRF 研究会, 2013年11月

はじめから容量，スイッチ，ロジックのピッチを合わせて設計する
寄生容量や配線が最小になり，性能向上，低電力，小面積が実現。
設計の自動化もし易い。

SAR ADCの例

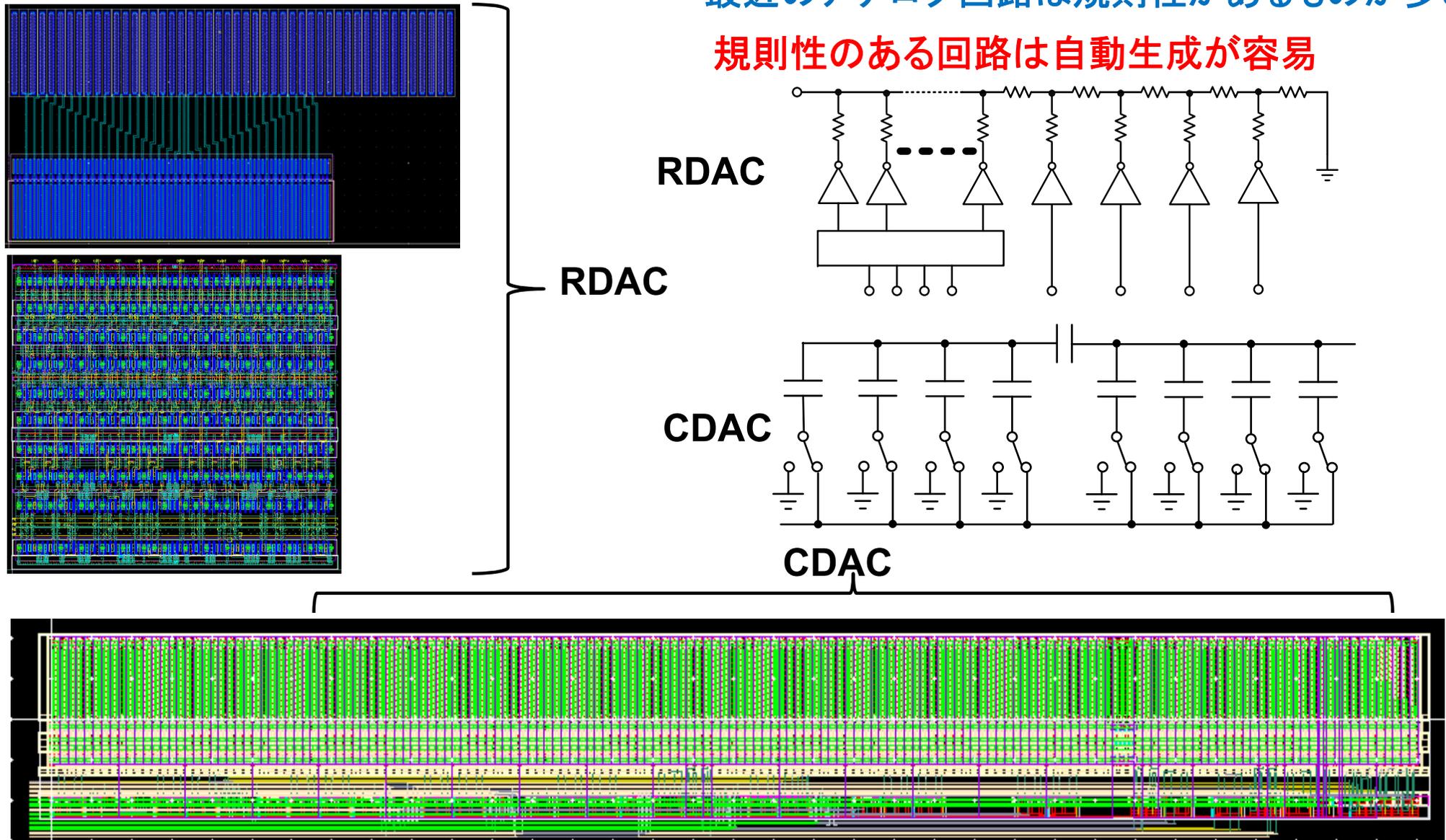


菅原, 松澤 他,
アナログRF 研究会
2013年11月

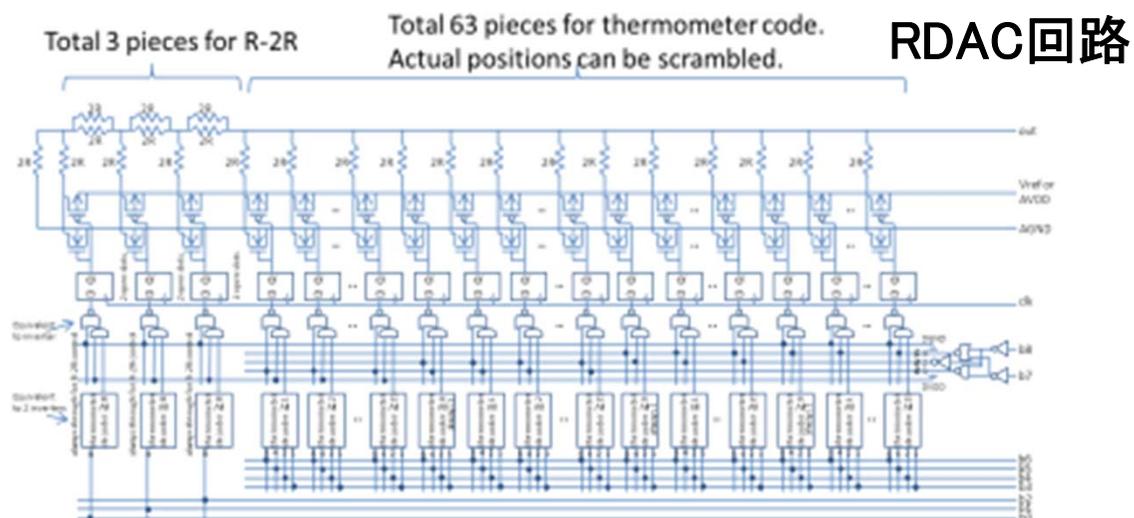
Skill言語を用いてレイアウトを自動生成したRDACおよびCDAC

最近のアナログ回路は規則性があるものが多い

規則性のある回路は自動生成が容易

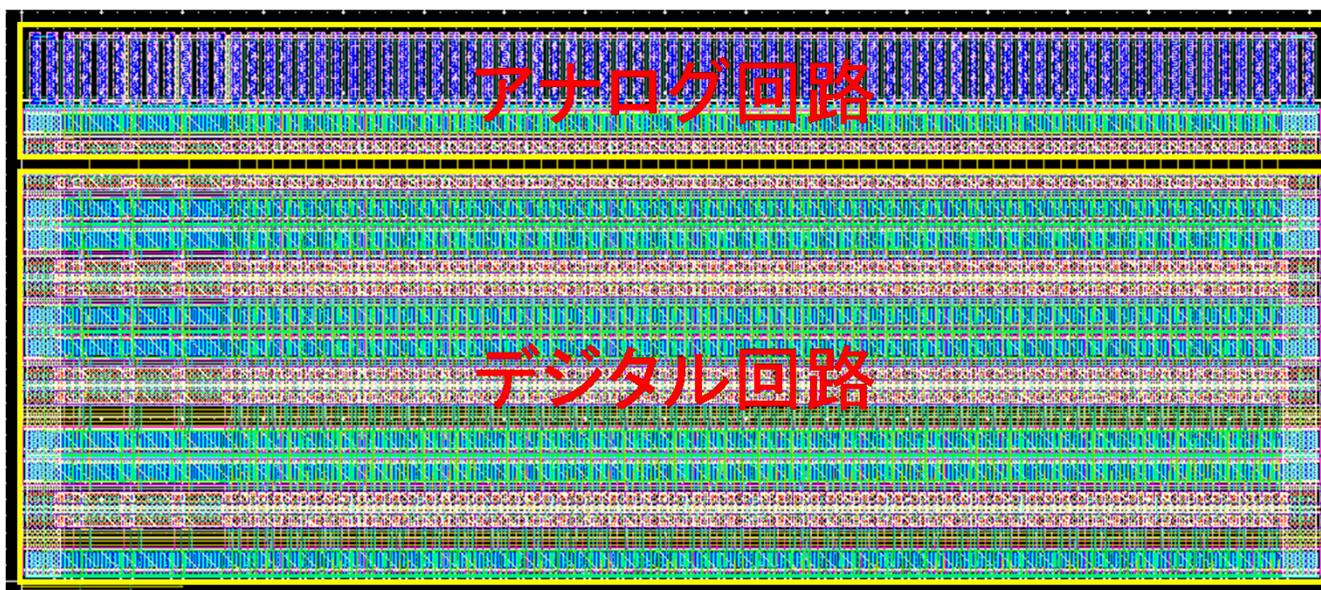


RDAC, CDACなど規則性のあるアナログ回路を自動合成 開発期間の短縮, 高速・低電力・小面積



最適構成の自動計算
SKILL言語による自動レイアウト

自動合成した
RDACレイアウト



回路設計からレイアウトまでを自動化

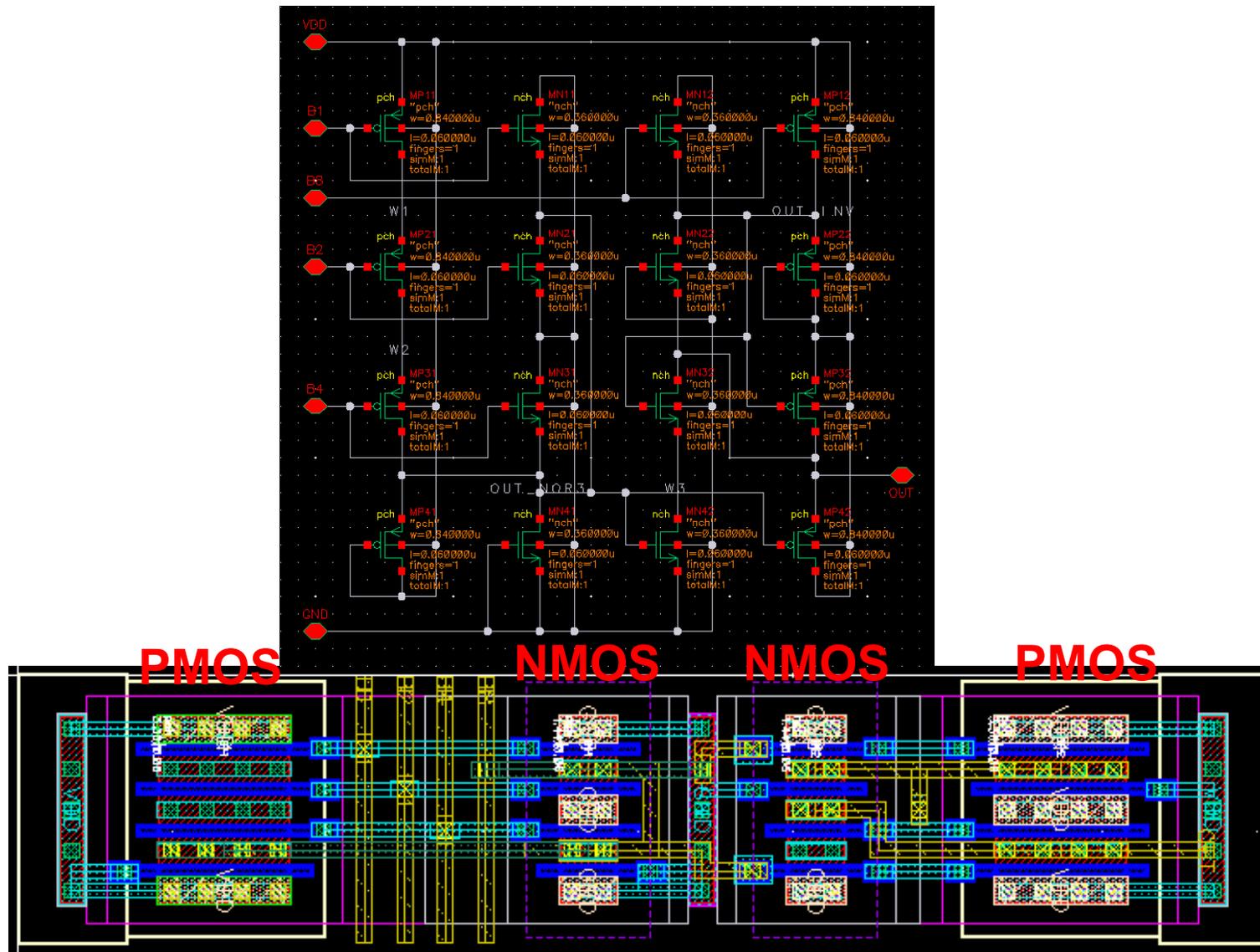
ビット数、
消費電力等



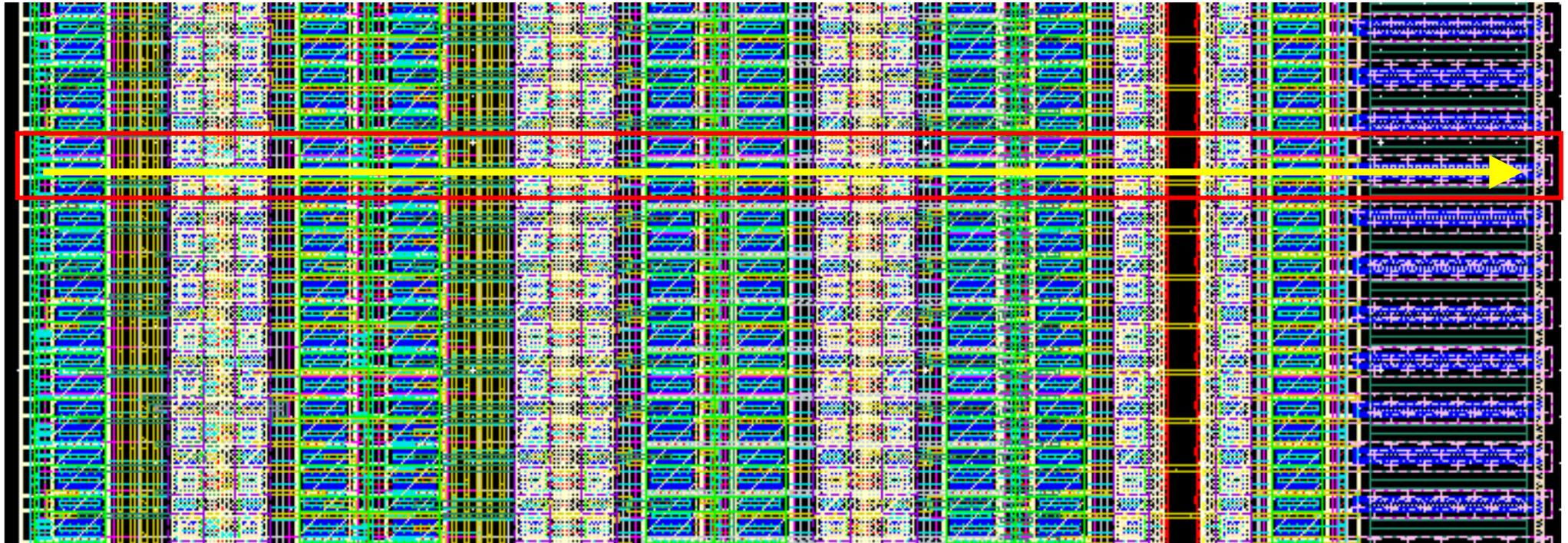
SPICEパラメータ、
デザインルール等



論理回路も規則性を重視して選択し，自動レイアウトに乗せる。



LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線



- これまで日本の電子機器メーカーが行ってきたことはデジタル化, 小型化。集積回路技術の向上でこれを達成
- デジタル化が終了, 他分野の電子化などの発展ストーリーが必要
- アナログ(SoC)技術が重要だが, 開発力は低下
- 今後のアナログ回路は低電圧に対応でき, 規則性のあるものに絞り込み, 規則構造を活かしてレイアウトを含めた設計自動化を推進し, 汎用的に使用できるようにすべき
- 今後の汎用的ADCとして高速12bit SAR ADCを開発。これまでの無線通信用ADCの性能を1つのコア, かつ最小電力で実現
- PLLの高性能化・低電力化に向けて, クラスC VCO, インジェクションロック発振器, サブps分解能TDCなどを開発中。
- プログラムアナログによりレイアウトを含めた設計自動化を推進。これにより, アナログ開発リソースが弱い企業でもアナログIPが使用できるようにしていきたい。