

Class-C VCOにおける雑音感度軽減手法の提案

Noise Sensitivity mitigation on Class-C VCO

木村 健将 岡田 健一 松澤 昭
 Kento Kimura Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理学専攻
 Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

ポータブル機器の普及とともに低消費電力な発振器の需要も高まっている。消費電力を抑える手法として Class-C VCO[1]があるが、位相雑音が劣化してしまう問題があった。本稿では位相雑音が劣化するメカニズムを解明し、それを軽減する新たな回路構成に付いて提案する。

2 従来回路構成

通常の LC-VCO から消費電力を削減する回路構成として、図 1(a) の Class-C VCO[1] が挙げられる。Class-C VCO はクロスカップルトランジスタのゲート電圧をしきい値付近にバイアスすることで、トランジスタの導通時間を半周期に減らすことで電力効率を改善できる。しかし Class-C VCO の欠点として、ゲート電圧が小さい場合、発振がそもそも開始できないという問題がある。そのため小さなゲート電圧でも確実に発振させるために、非常に大きなサイズのクロスカップルトランジスタが必要になる。

しかしこの時、ゲートソース間容量を初めとした寄生容量が無視できないほど大きくなってしまふ。そのためバイアス抵抗などのノイズ源からゲート電圧部にノイズが乗った場合、ゲートソース間の容量の揺れが大きくなり、位相雑音性能の劣化として見える。

3 提案回路構成

上記の問題を解決するために提案する回路構成が図 1(b) である。クロスカップルトランジスタのソース部を短絡させるのではなく、インピーダンスを挟む構成となっている。図 2 に示すのが、各回路構成において、各寄生容量がタンク容量にどう影響するかを示したものである。従来構成ではゲートソース間容量の影響を調整することはできないが、提案回路では式 (1) で示すように、インピーダンスを調整することでゲートソース間容量の影響を緩和できる。

$$C_{gs} \rightarrow \frac{2C_{gs}}{4 + (\omega C_{gs} Z)^2} \quad (1)$$

ここで、 C_{gs} はゲートソース間容量、 ω は発振周波数、 Z はインピーダンスである。

4 結論

提案回路構成により、ゲートバイアス部におけるノイズ感度を調整できる。この感度を最小化することにより、20GHz 帯の VCO において位相雑音性能を 1.6[dBc/Hz] ほど改善できる。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、総務省 SCOPE、科学研究費補助金、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、メンター株式会社との協力で行われたものである。

参考文献

[1] Andrea Mazzanti and Petro Andreani, “Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise” IEEE Journal of Solid-State Circuits, 2008.

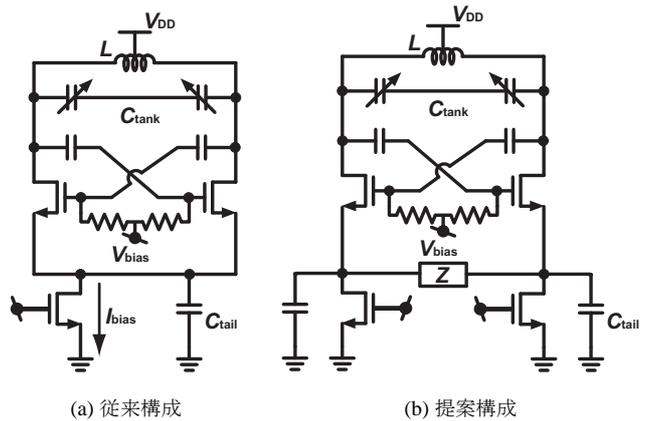


図 1 Class-C VCO

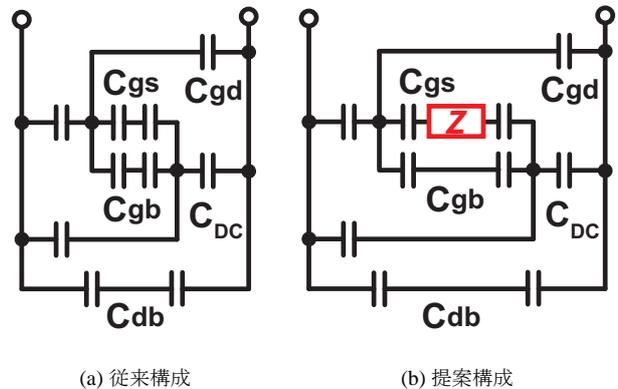


図 2 寄生容量の影響

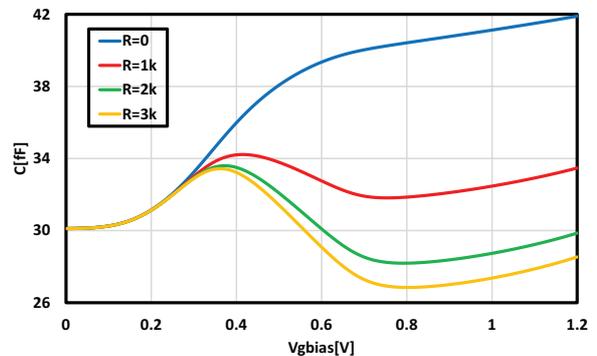


図 3 寄生容量の変化