

# アナログ・ADC開発の今後

松澤 昭

東京工業大学  
大学院理工学研究科

2013/3/15

- はじめに
- 補間パイプライン型ADCの提案と開発
- フラッシュ ADCの開発
- 12ビット SAR ADCの開発
- SAR ADCの開発課題
- アナログ・ADC開発の今後

# はじめに

伝送回路のデータレートはADCの分解能Nと変換周波数 $f_s$ の積に比例する

$$D_{rate} \approx N \cdot f_s$$

N: 分解能  
 $f_s$ : 標本化周波数

ノイズがADCの量子化ノイズで決まると仮定した場合

シャノンの定理

$$C = BW \log_2 \left( 1 + \frac{P_S}{P_N} \right)$$

ADCのBWとSNR

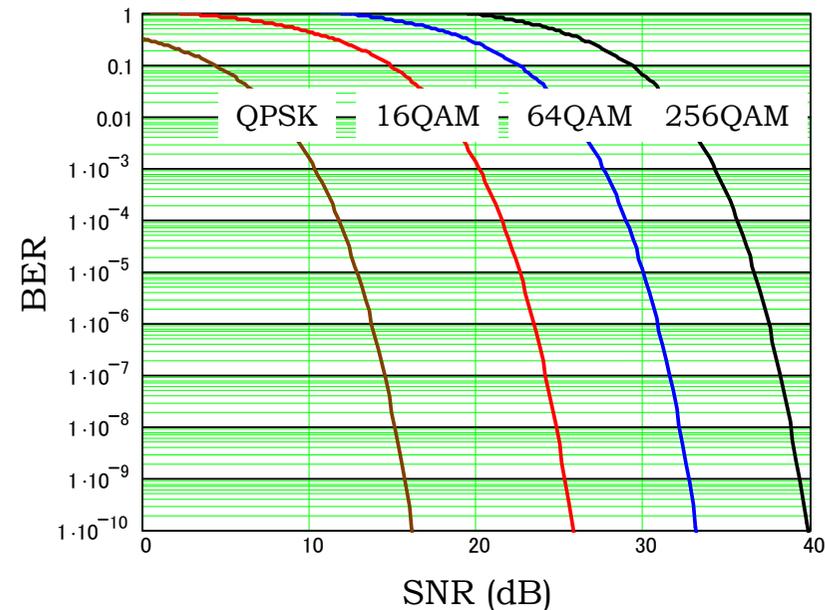
$$BW < \frac{f_s}{2} \quad \left. \frac{P_S}{P_N} \right|_{ADC} = 1.5 \cdot 2^{2N}$$

したがって

$$C \approx N f_s$$

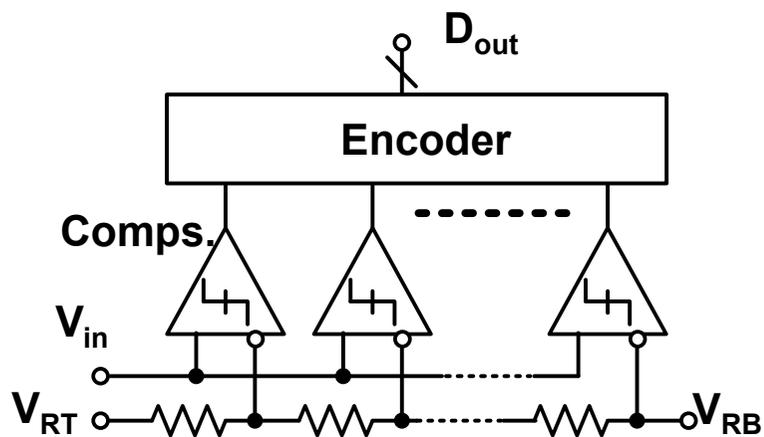
$f_s$ : 標本化周波数  
N: 分解能

多値変調の実現には高いSNRが必要

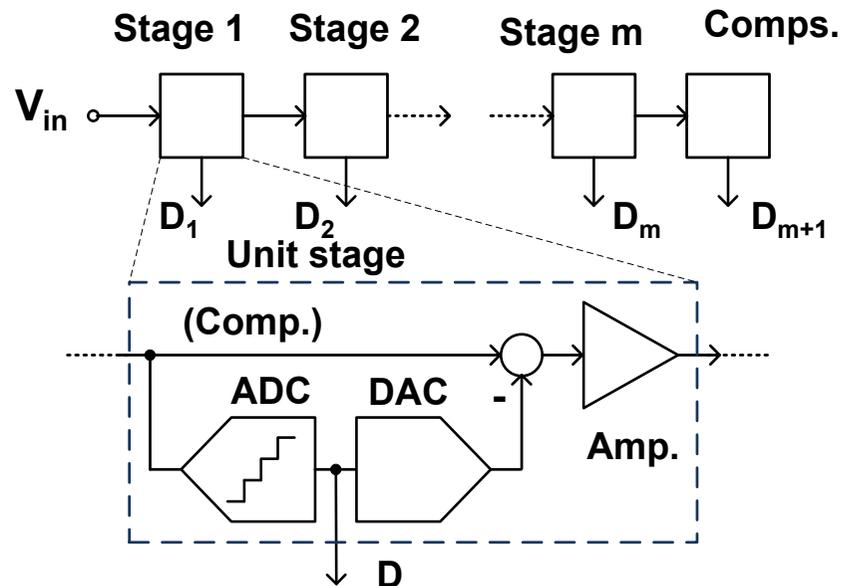


# ADC の変換方式

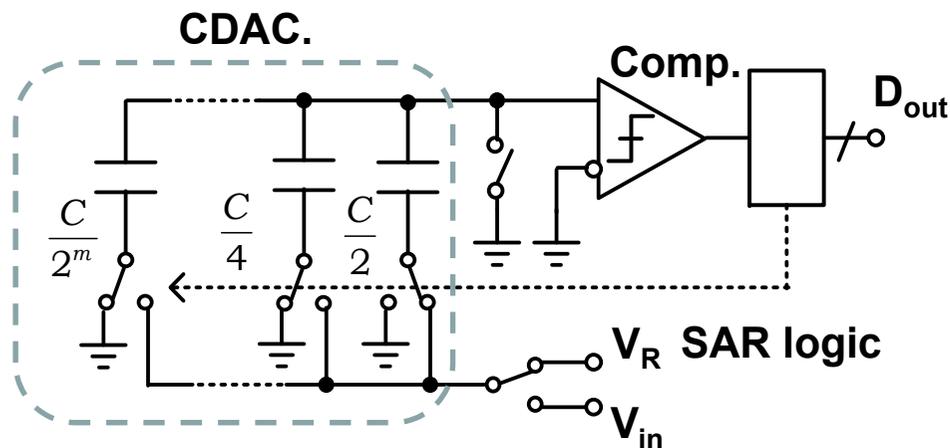
Flash, SAR, パイプライン,  $\Delta\Sigma$ が主要なアーキテクチャである



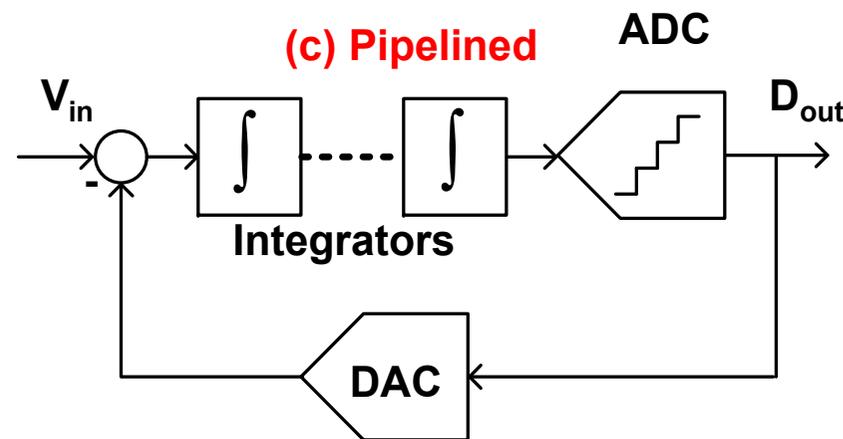
(a) Flash



(c) Pipelined ADC



(b) SAR



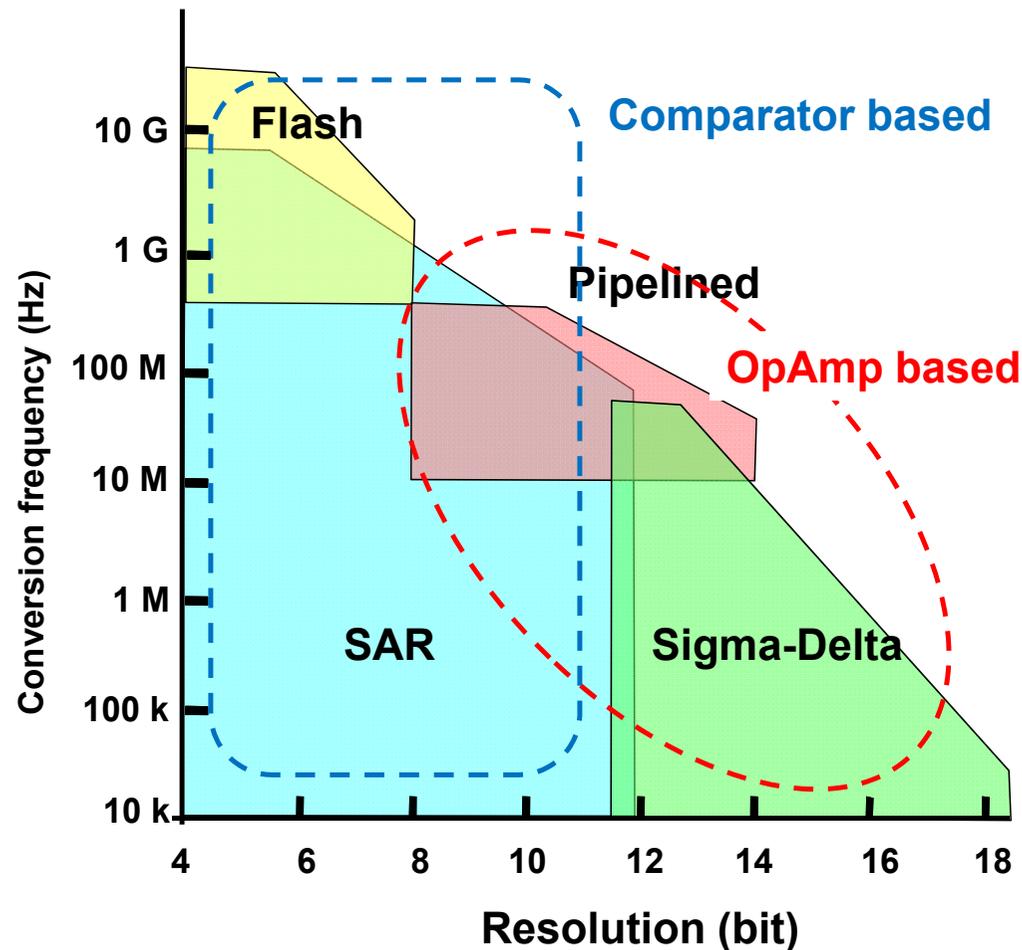
(d) Sigma-Delta

# AD変換方式とカバーする性能領域

5

TOKYO TECH  
Pursuing Excellence

AD変換方式はオペアンプを使用するタイプと比較器だけで構成するタイプがある。分解能が低い場合は比較器だけを用いたADCが多く、分解能が高い場合はオペアンプを使用するADCが多い。



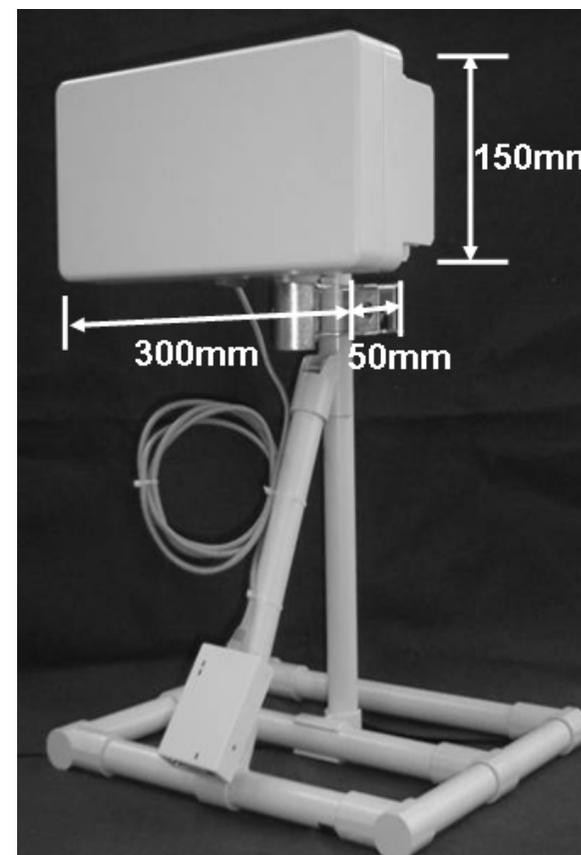
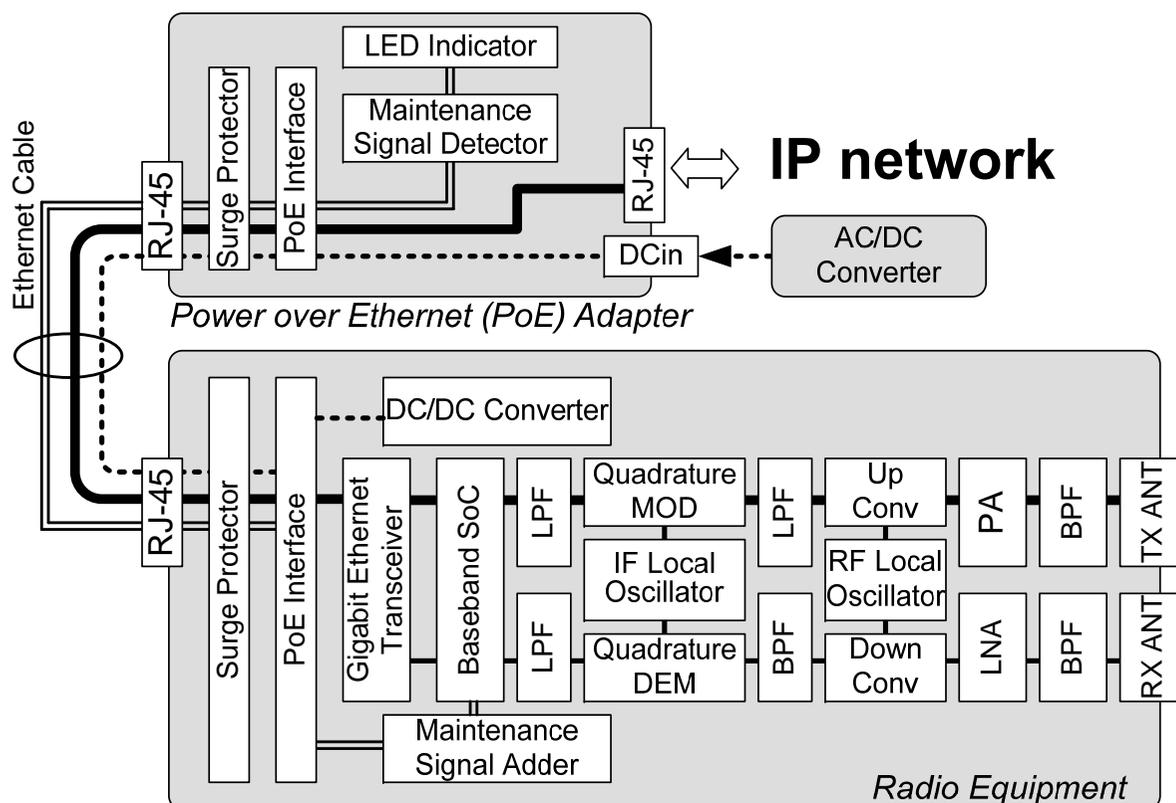
# 開発例: 38GHz 1Gbps 固定無線

6

TOKYO TECH  
Pursuing Excellence

38GHz 1Gbps 固定無線システムを共同開発した

## JRCとの共同開発

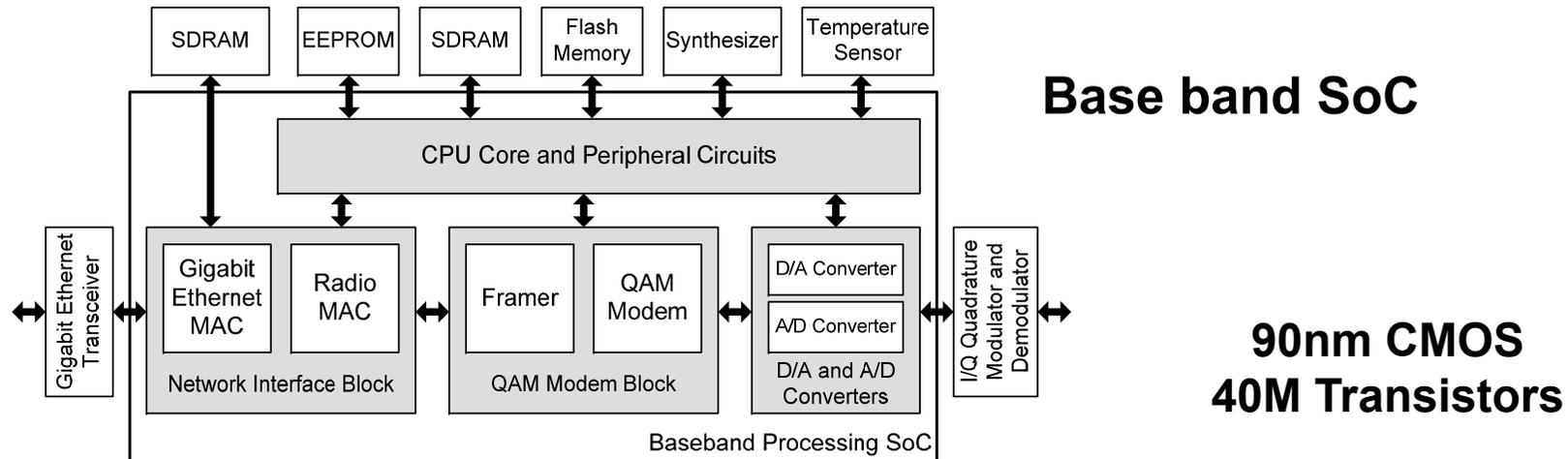


# Mixed signal BB SoC

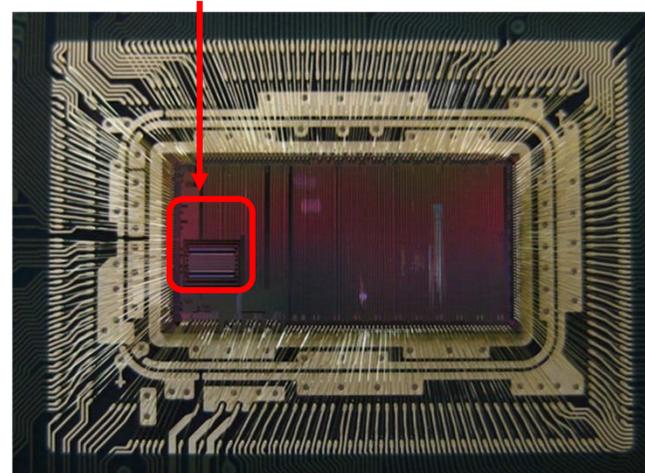
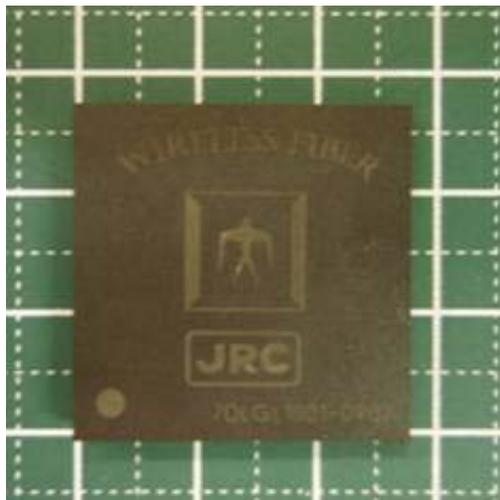
7

TOKYO TECH  
Pursuing Excellence

アナログ・デジタル混載ベースバンドSoCを開発した。  
64QAM (1Gbps) を用い信号帯域は260MHz.



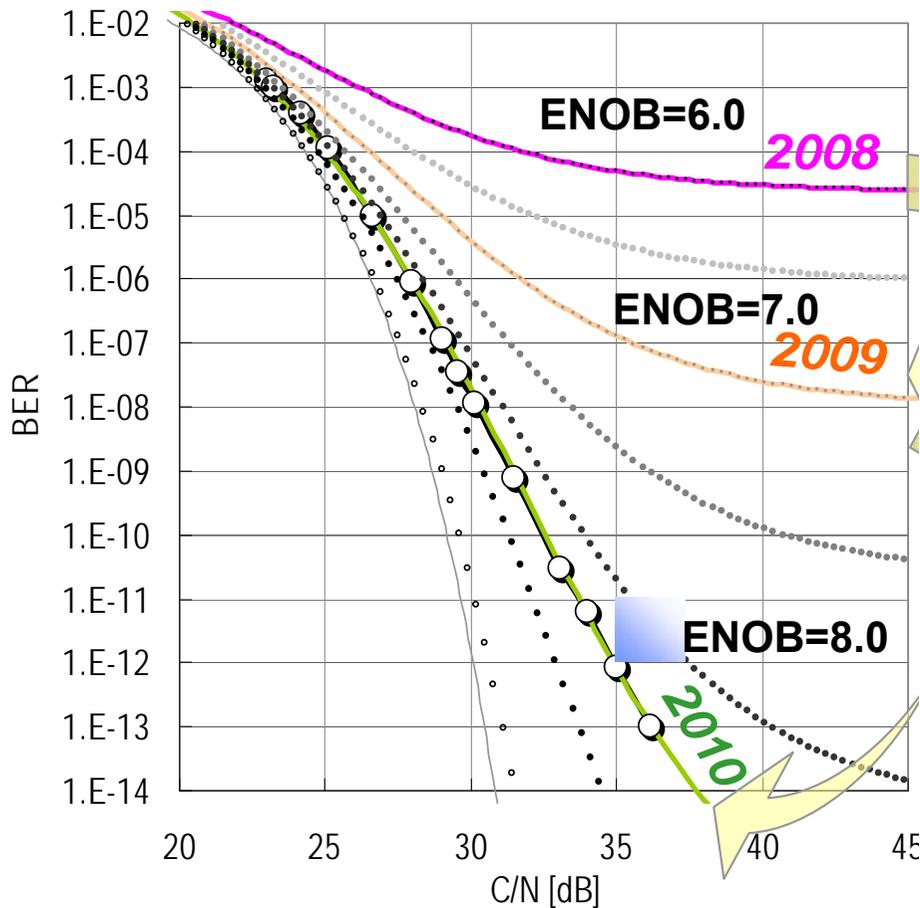
研究室で開発したADC & DAC



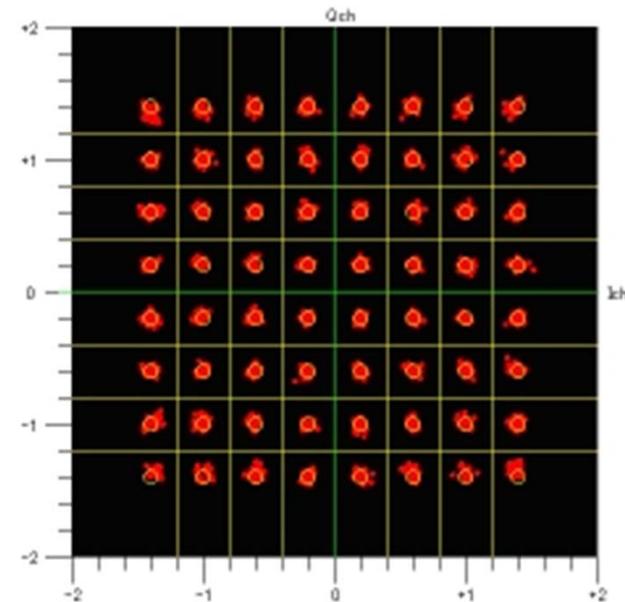
# ADC 性能とビット誤り率

64QAMで十分低いビット誤り率を達成するためには  
有効分解能の高いADCが不可欠  
有効分解能が8ビット以上になって初めてBERが目標を満たした。

C/N vs 64QAM\_BER on B-B pair ENOB: ADCの有効分解能

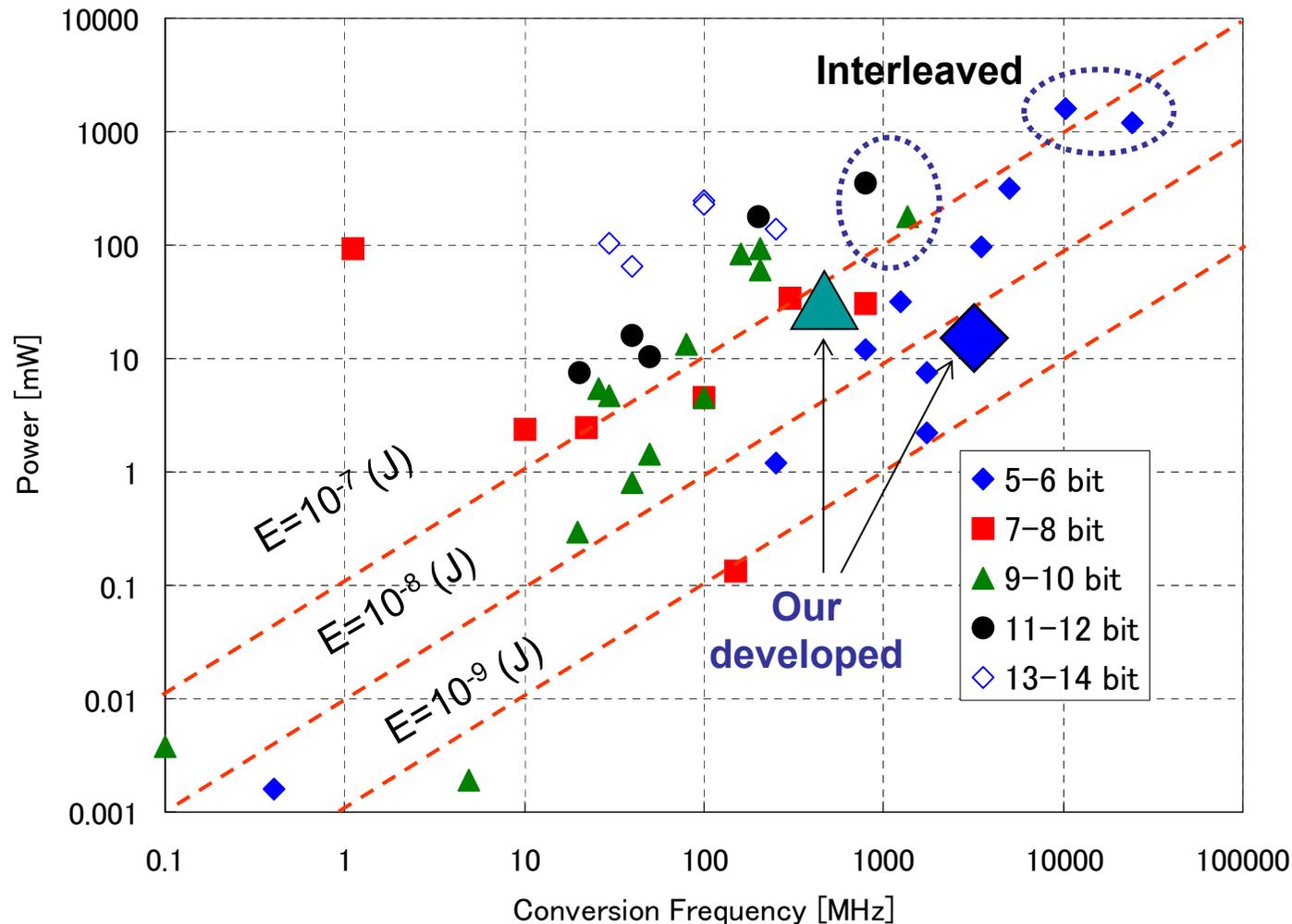


64QAM BW=260MHz



# ADCの性能と消費電力

5~7ビット程度の分解能では単体でも数GHzの変換が可能  
10GHz以上の場合はインターリーブになるが、消費電力が増大する。  
10ビット以上の高分解能ADCは1GHz以上の変換は容易ではない。



# 補間パイプライン型ADCの提案と開発

## 固定ポイントミリ波通信機器用

# パイプライン型ADC

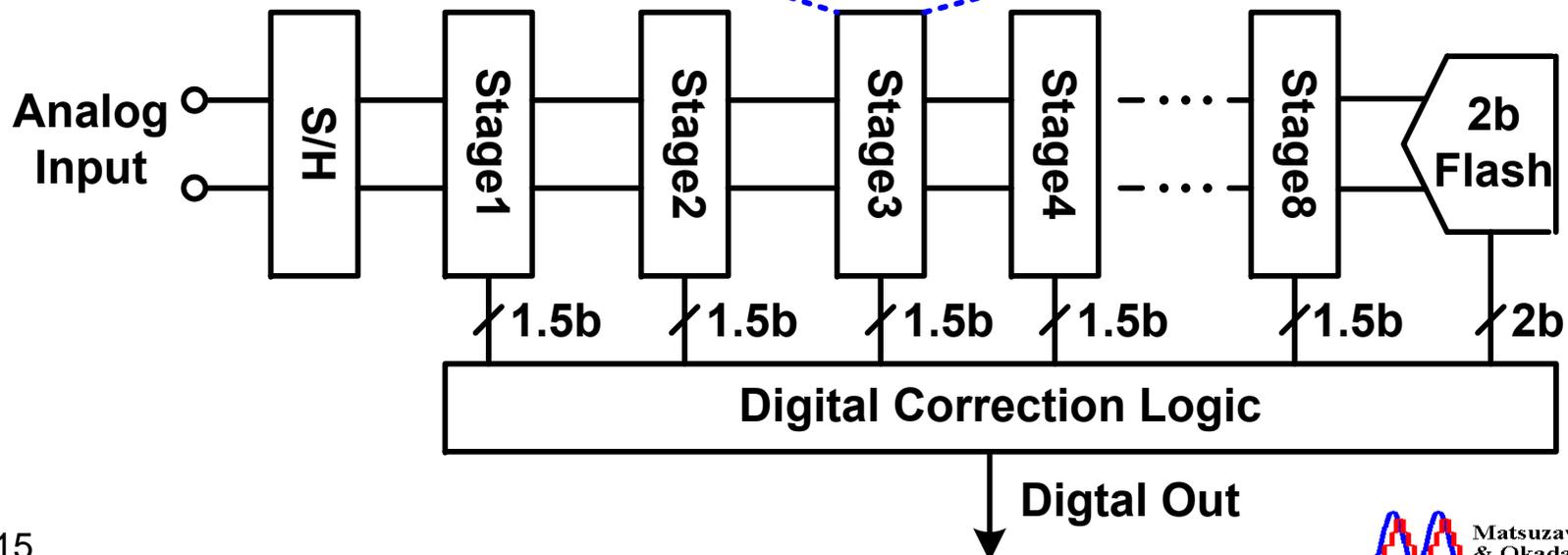
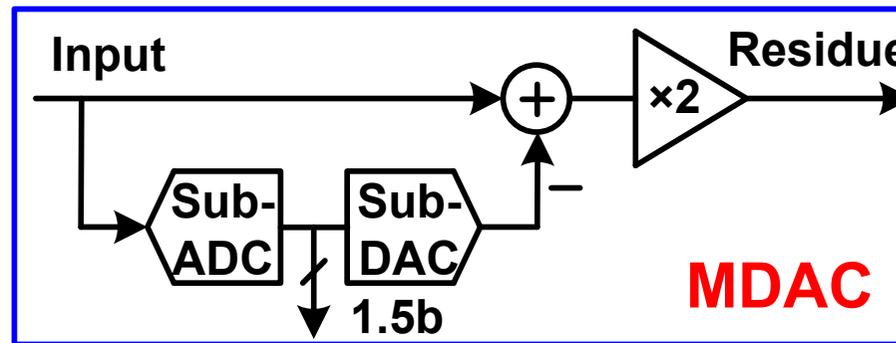
11

TOKYO TECH  
Pursuing Excellence

パイプライン型ADCはかつての通信や画像用ADCの主流であった。しかしながら、微細化によりOPアンプが作りにくくなったため、SARにその座を譲りつつある。一方で高精度・高速用途として復活の兆しもある。

$N \geq 10bit$

$f_s > 200MSps$



# 利得低下とその影響

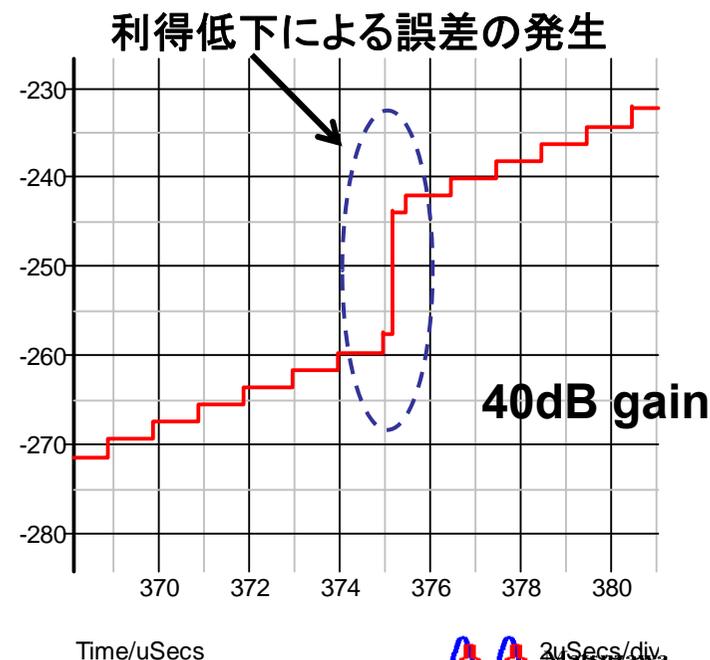
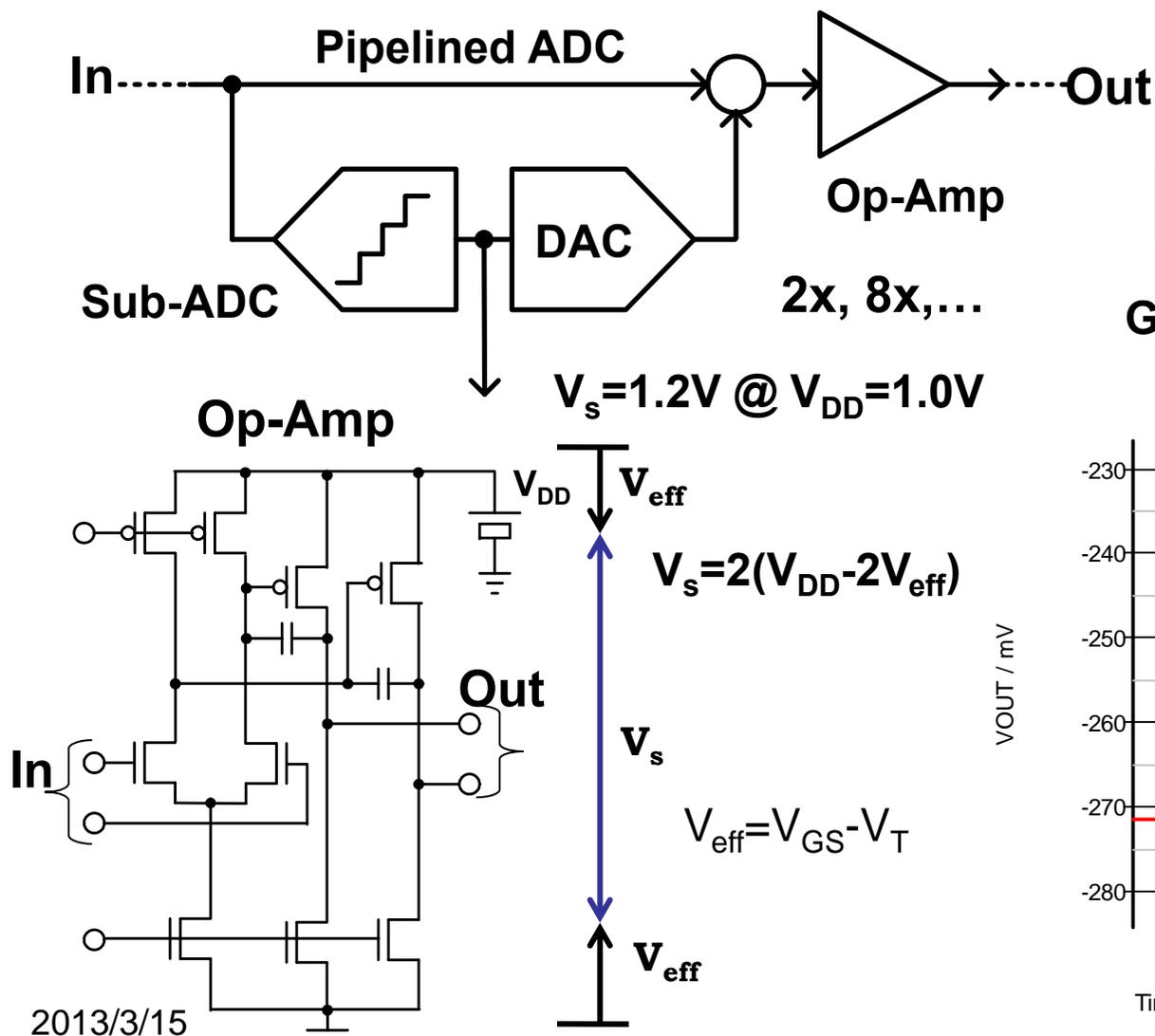
微細化とともに $V_A$ が低下し、十分な利得が実現困難になった。  
 また、低電圧化に伴う振幅低下が深刻になってきた。

$$\epsilon_{(LSB)} = \frac{3 \times 2^N}{G}$$

N:Resolution

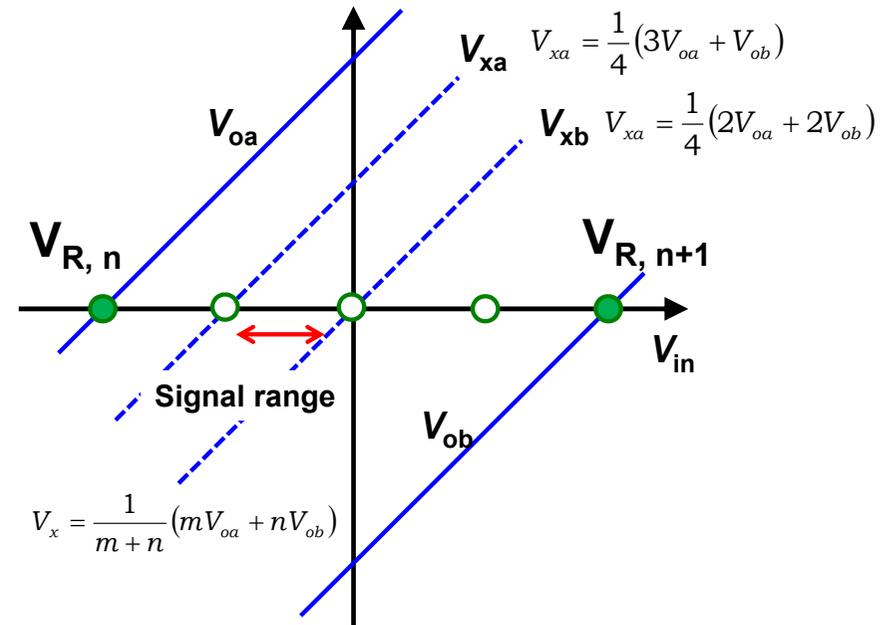
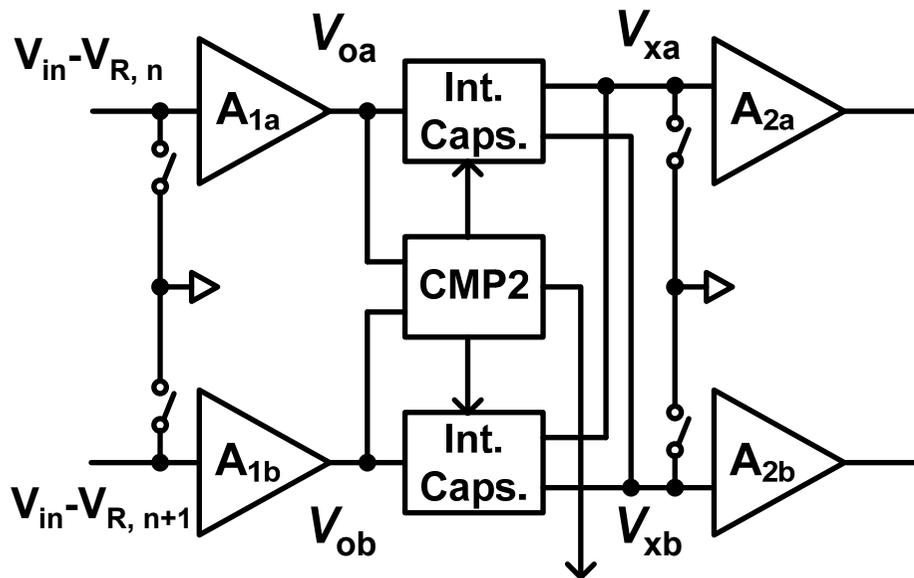
$$G > 6N + 10 \text{ (dB)}$$

Gain > 70dB @ 10bit ADC



# 補間パイプライン型ADCの提案

補間技術を用いることで、正確な絶対利得は不要になり、  
相対利得さえ確保できれば高精度変換を実現できる。  
このためオープンループ型増幅器も使用可能になった。



利得は4程度でもかまわない

M. Miyahara, A. Matsuzawa, VLSI-CS, 2011.

J. Mulder, et al., ISSCC, 2011.

# オープンループ型増幅器

14

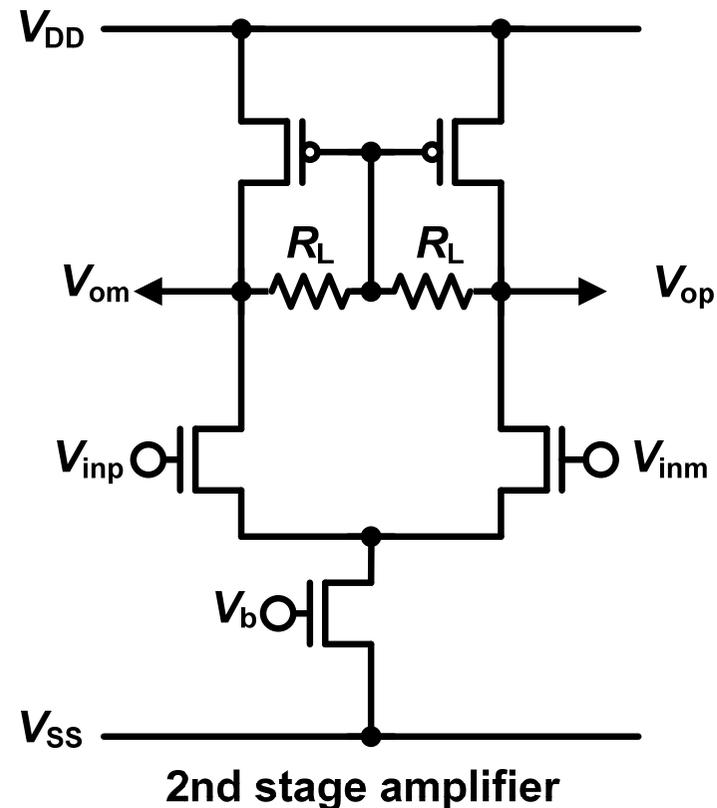
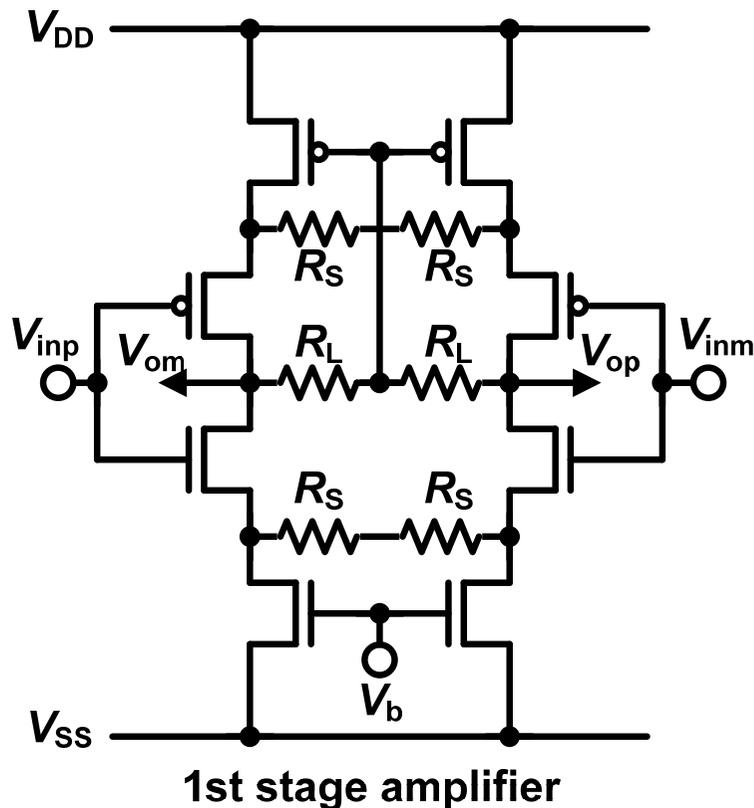
TOKYO TECH  
Pursuing Excellence

利得4程度のオープンループ型増幅器を使用した。

直線性は確保する必要がある。

最近は12ビット分解能に対応した低電力・高線形増幅器を開発した。

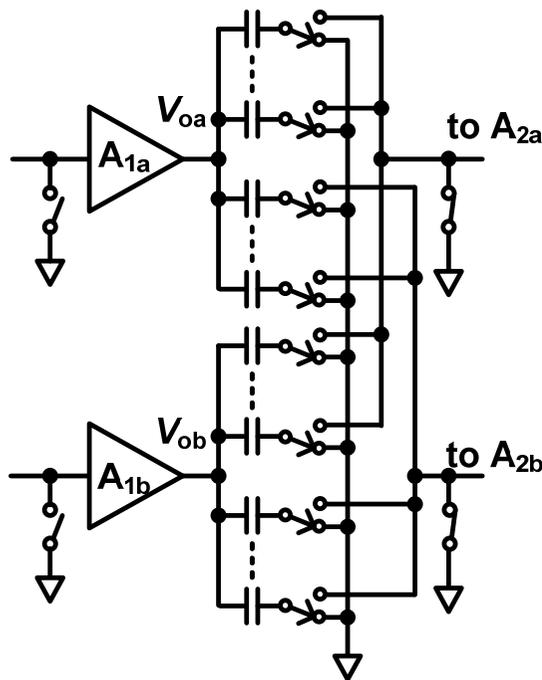
$G = 4$  Gain mismatch  $< 2.1\%$  ( $3\sigma$ )



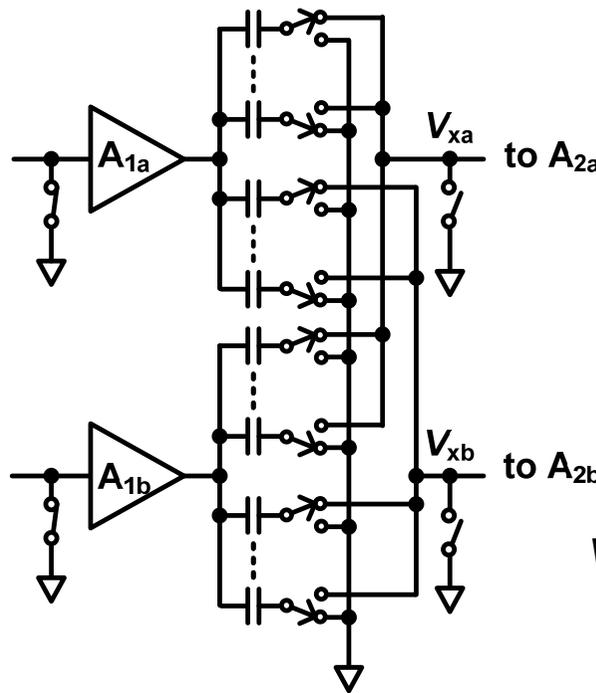
# 重み付け容量による補間回路

重み付け容量による補間回路は、補間機能だけでなく、サンプルホールドや増幅器のオフセット電圧キャンセルも実現できる。

$$V_x = - \left\{ \frac{m}{m+n} G_a (V_{in} - V_{ra}) + \frac{n}{m+n} G_b (V_{in} - V_{rb}) \right\}$$



Sampling Phase



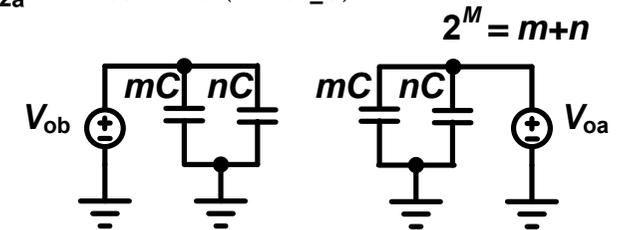
Interpolation Phase

$$V_{oa} = G_a (V_{in} - V_{ra} - V_{off\_a})$$

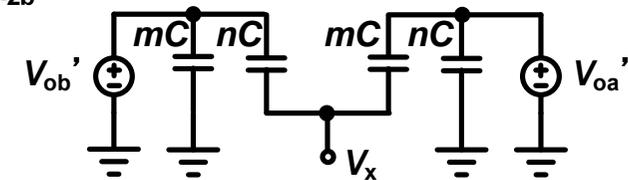
$$V_{ob} = G_b (V_{in} - V_{rb} - V_{off\_b})$$

$$V'_{oa} = G_a (-V_{off\_a})$$

$$V'_{ob} = G_b (-V_{off\_b})$$



Sampling phase



Interpolation phase

# 性能比較

16

TOKYO TECH  
Pursuing Excellence

OPアンプやリニアリティ補正を用いなくても10bit 320Mspsの  
パイプライン型ADCが実現できた。

M. Miyahara, A. Matsuzawa, VLSI-CS, 2011.

	This Work	[2]	[6]	[7]
Resolution (bit)	10	10	10	10
$F_{\text{sample}}$ (MS/s)	320	500	205	320
$V_{\text{DD}}$ (V)	1.2	1.2	1.0	-
Power (mW)	40	55	61	42
$\text{ENOB}_{\text{peak}}$ (bit)	8.5	8.5	8.7	8.7
$\text{FoM}_{\text{Fs}} / \text{FoM}_{\text{ERBW}}$ (pJ/c.-s)	0.35 / 0.77	0.31	0.65	0.36/0.44
Technology (nm)	90	90	90	90
Active Area (mm <sup>2</sup> )	0.46	0.5	1	0.21
Amplifier type	Open	Closed	Closed	Closed
Linearity Compensation	No	Yes	No	Yes

[2] A. Verma and B. Razavi, IEEE J. Solid-State Circuits, vol. 44, Nov., 2009.

[6] S. Lee, Y. Jeon, K. Kim, J. Kwon, J. Kim, J. Moon, and W. Lee," ISSCC, 2007.

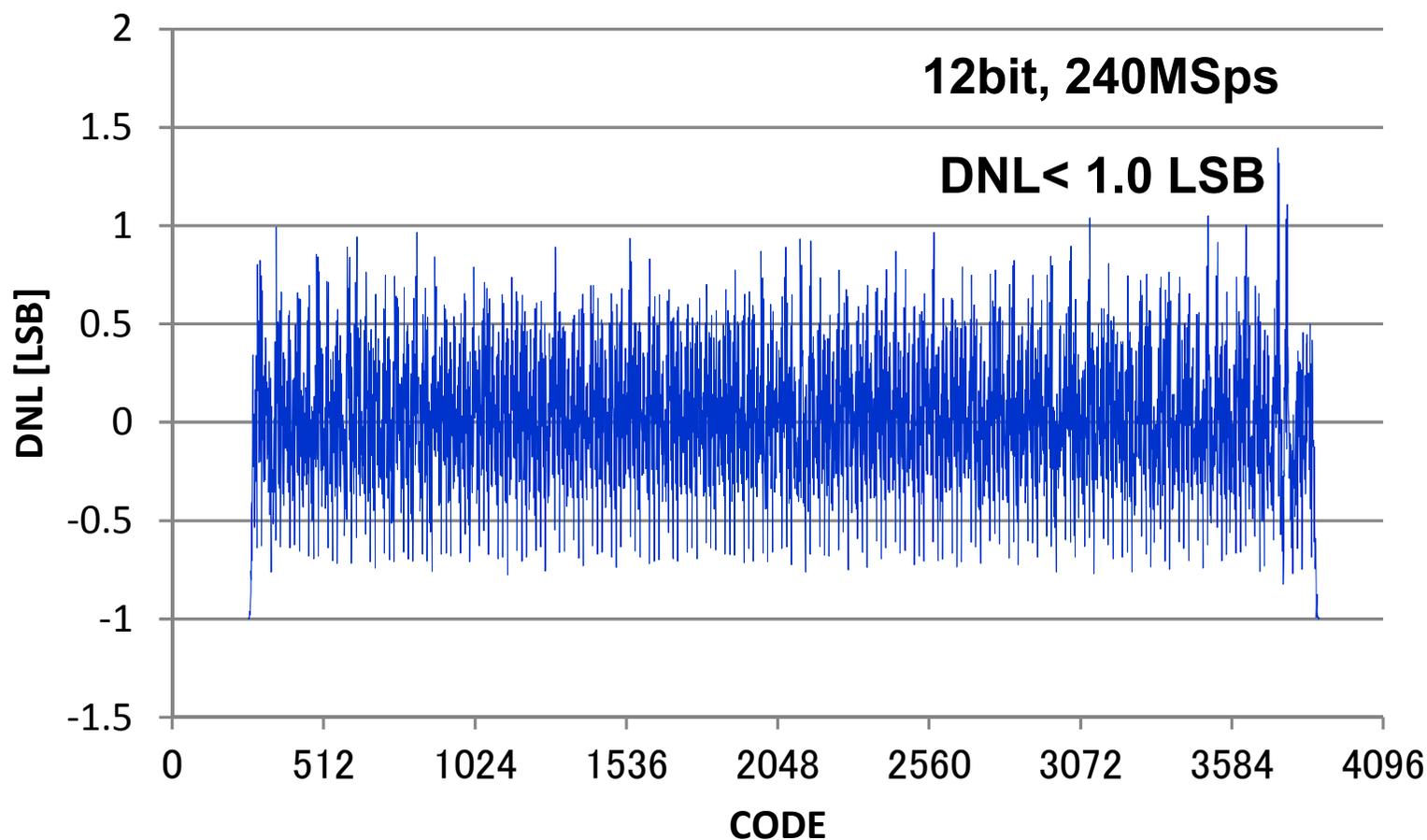
[7] H. Chen, W. Shen, W. Cheng, and H. Chen, A-SSCC, 2010.

# 直線性の向上

17

TOKYO TECH  
Pursuing Excellence

はじめは10ビット精度も難しかったが、  
最近は12ビット精度も可能となった。



# フラッシュ ADCの開発

60GHz CMOS トランシーバのベースバンド信号処理用

# 60GHz帯用ベースバンド SoC

19

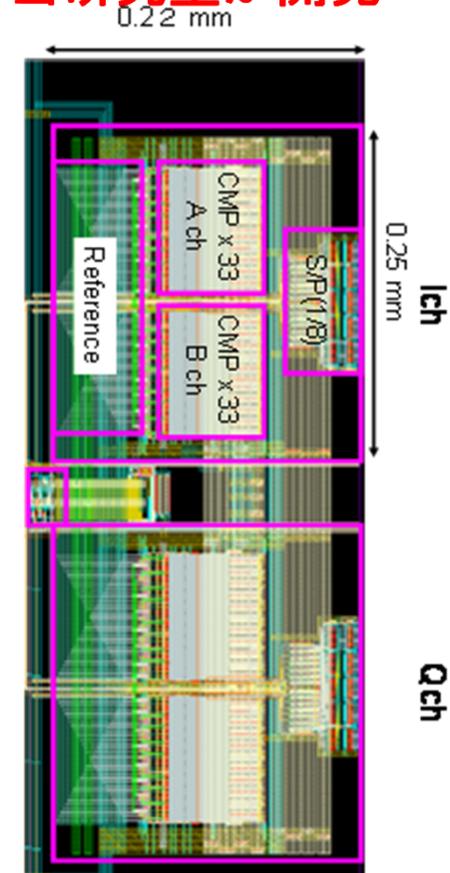
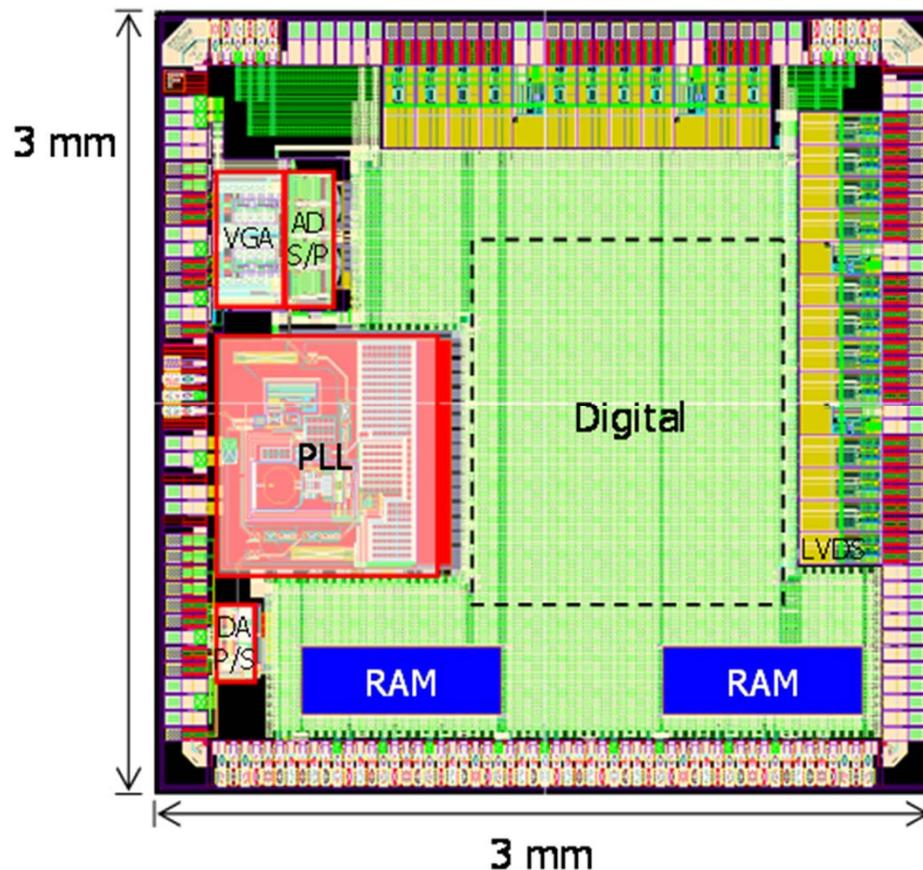
TOKYO TECH  
Pursuing Excellence

ベースバンドチップはADC, DAC, VGA,とPLLが集積されおり,  
40nmCMOSで試作した。(Sonyとの共同開発)

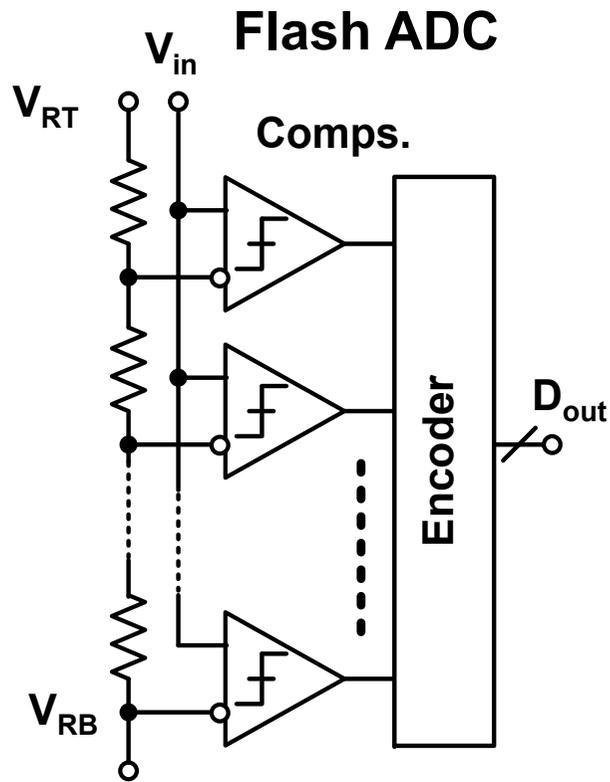
RX: 300mW, TX: 110mW **Flash ADC 5b, 3GSps, 11mW/ch, 0.03mm<sup>2</sup>**

40nm CMOS technology

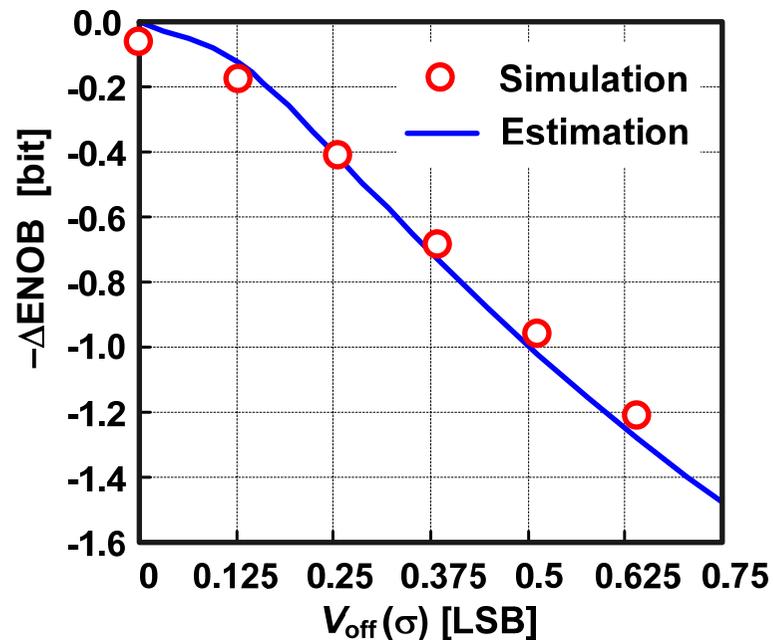
**当研究室が開発**



フラッシュ型ADCは分解能が5~7ビットでGHzを超える用途では未だ最適な変換方式である。  
実効的分解能 (ENOB)は比較器のミスマッチ電圧で決まる。



$$\Delta ENOB = \frac{1}{2} \log_2 \left( 1 + 12 \left( \frac{V_{off}(\sigma)}{V_q} \right)^2 \right) \quad \text{6bit : } V_{off} < 3\text{mV}$$

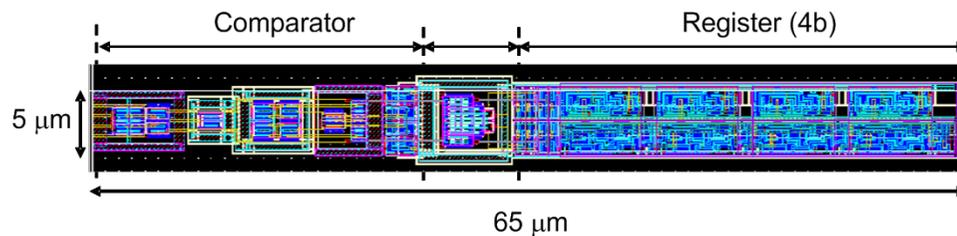
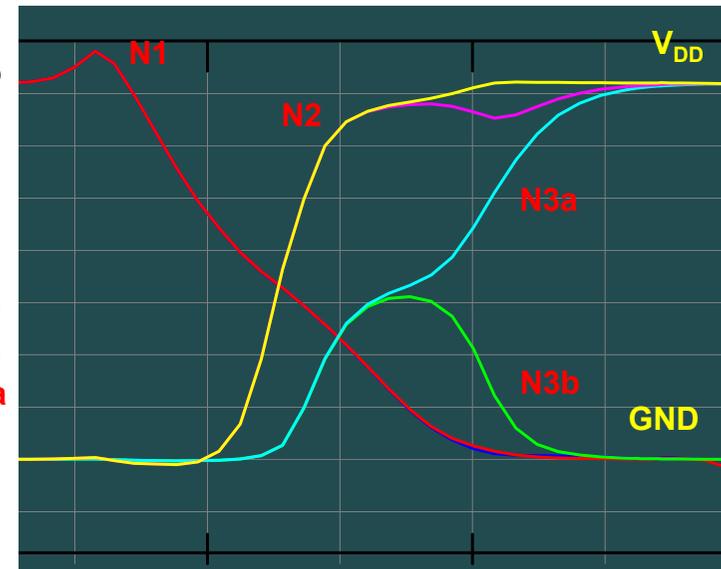
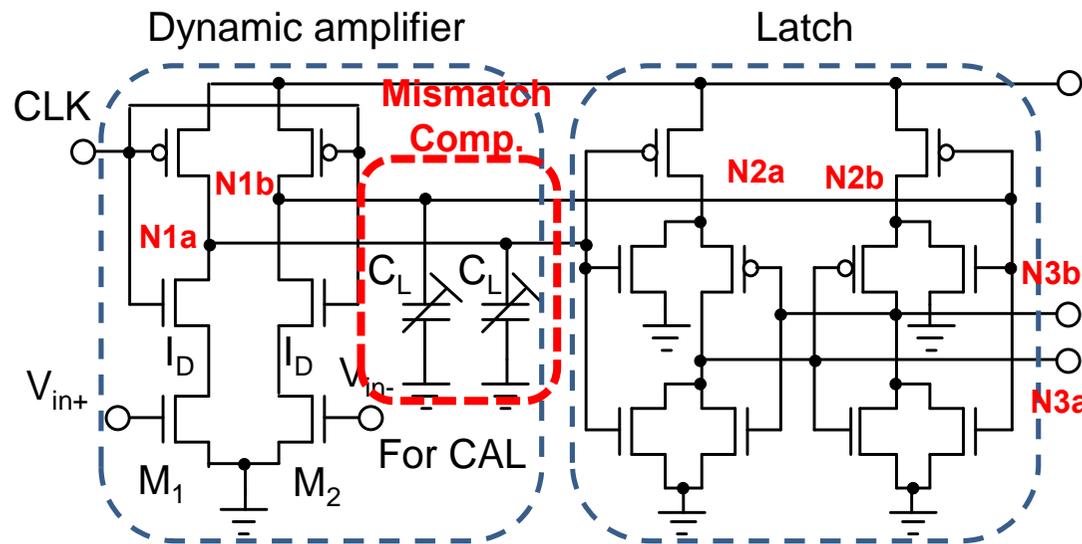


# ダイナミック型比較器

21

TOKYO TECH  
Pursuing Excellence

貫通電流が流れず、高速(4GHz程度までは動作可能)かつ低電力なダイナミック型比較器を提案。容量によりオフセット電圧の補償が可能(1mV程度は可能), かつ低ノイズ。

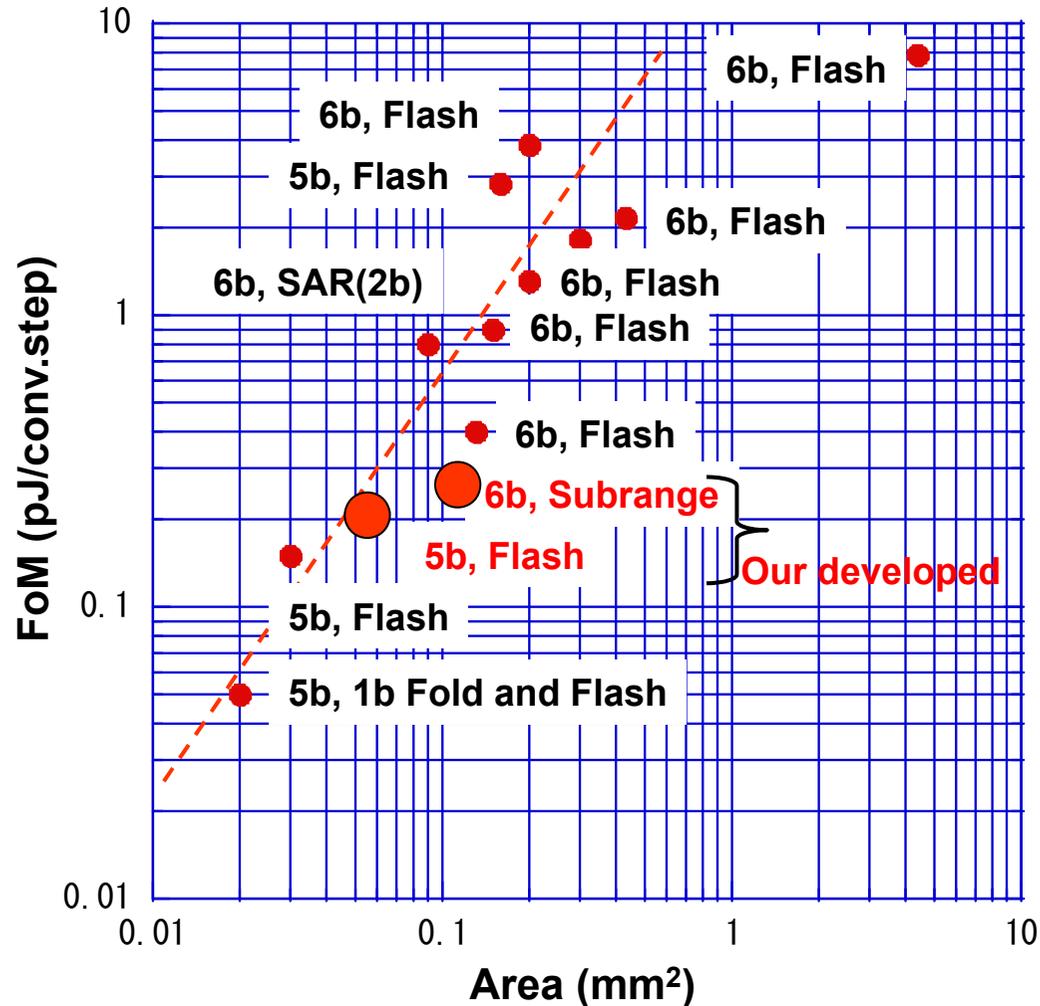


90nm CMOS

M. Miyahara and A. Matsuzawa, et al.,  
A-SSCC, Nov. 2008.

Y. Asada, and A. Matsuzawa, et al.,  
A-SSCC, Nov. 2009.

5~6ビットADCの面積とFoM(変換エネルギー)は比例する  
低電力ADCの実現には小面積化が不可欠



FoMは消費エネルギーに比例

$$FoM = \frac{P_d \cdot 2^{\Delta ENOB}}{f_c \times 2^N} = E_c \cdot 2^{\Delta ENOB}$$

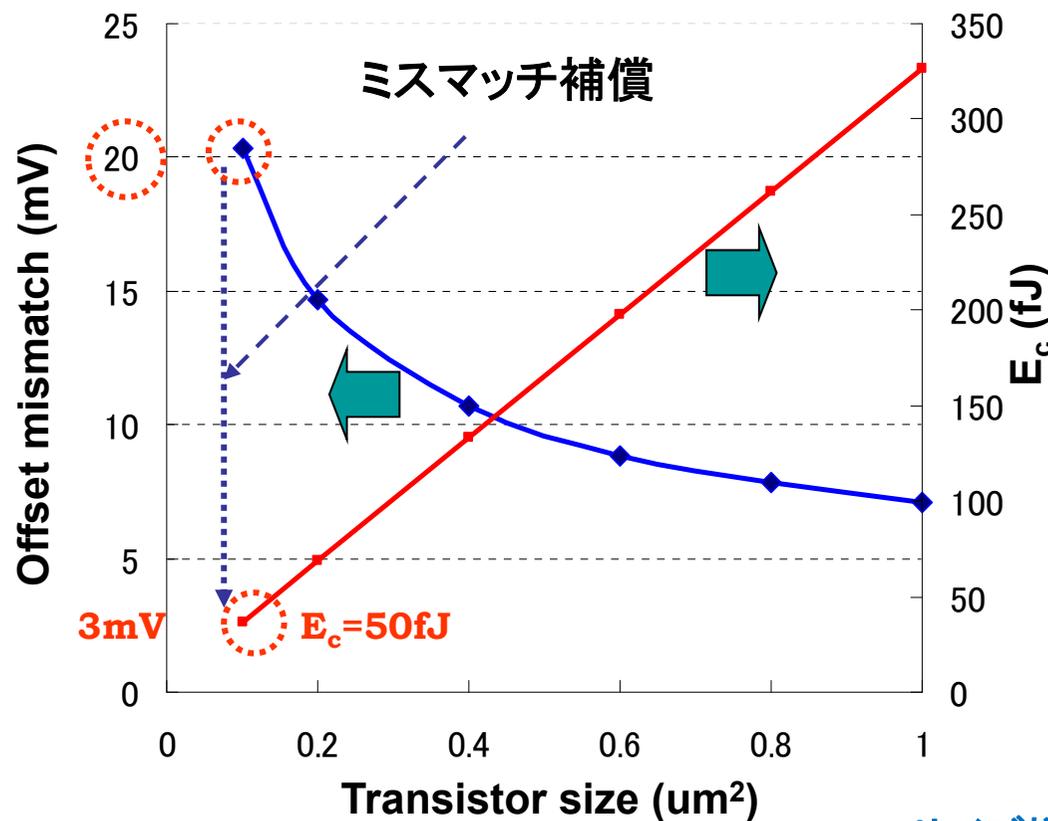
消費エネルギー  
は容量に比例

$$E_c \propto CV_{dd}^2$$

容量は面積に比例

$$C \propto S$$

トランジスタサイズを減少させて消費エネルギーを下げ, ミスマッチ電圧の増大はデジタルミスマッチ補償技術により抑制して高精度化する



## 設計例

6bit ADC:  $V_{\text{off}} < 3\text{mV}$   
 $E_c < 50\text{fJ} \rightarrow 0.1\mu\text{m}^2 \rightarrow V_{\text{off}} = 20\text{mV}$   
 Needs mismatch compensation  
 $20\text{mV} \rightarrow 3\text{mV}$

$$V_{\text{offset}}(\sigma) \propto \frac{1}{\sqrt{LW}}$$

$$E_c \propto C_c \propto LW$$

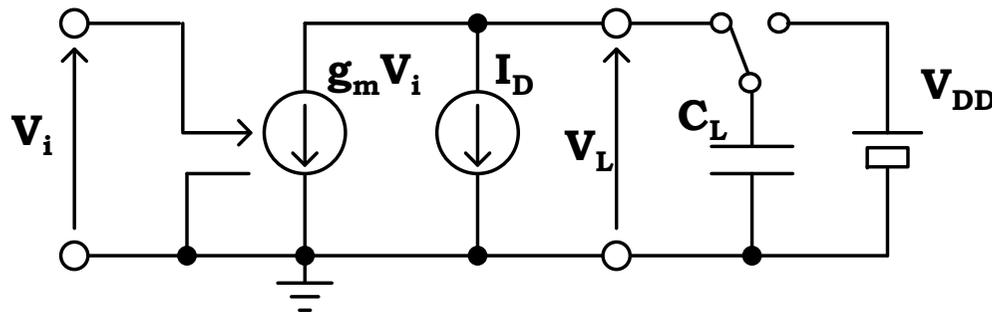
$$E_c \propto \frac{1}{V_{\text{offset}}^2(\sigma)}$$

サイズ増大でミスマッチ電圧を下げようとする  
消費エネルギーが増大する

# ダイナミック型比較器のオフセット電圧補償 / 24

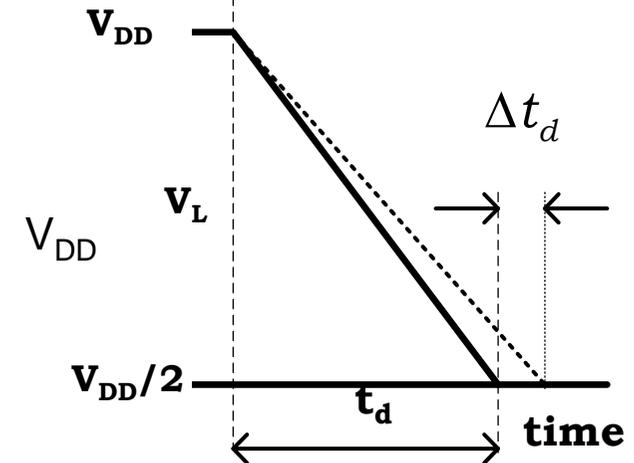
動作電流か負荷容量を変えてスルーレートを制御することでオフセット電圧補償が可能になる

初段のダイナミックアンプの等価回路

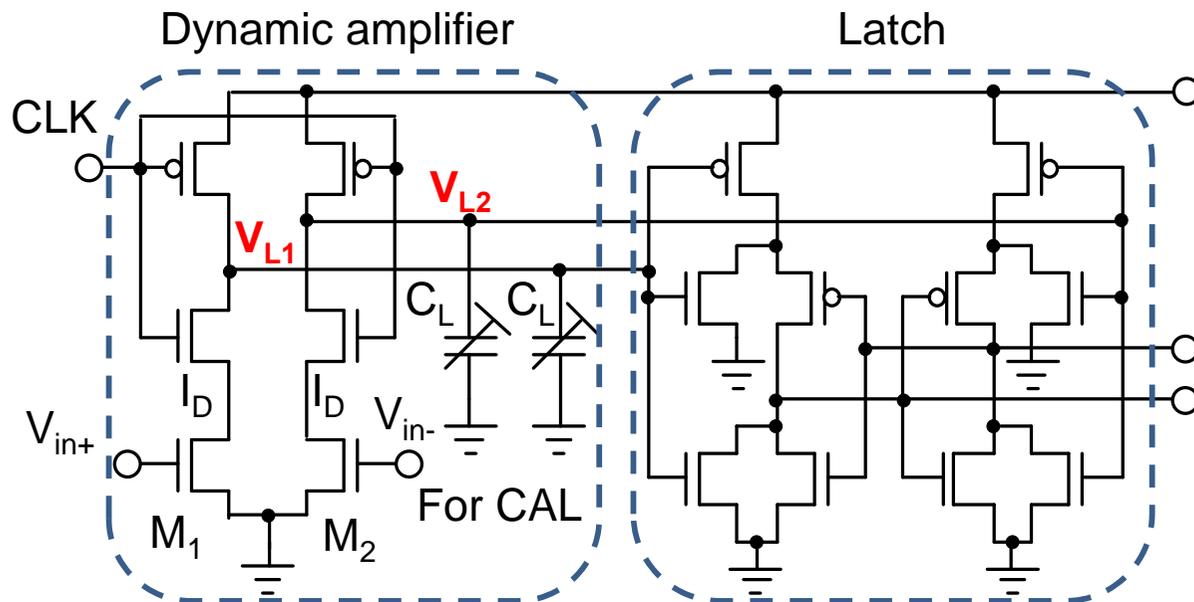


$$\Delta V_i = \frac{V_{eff}}{2} \left( \frac{\Delta C_L}{C_L} - \frac{\Delta I_D}{I_D} \right)$$

$$V_{eff} \equiv V_{GS} - V_T$$

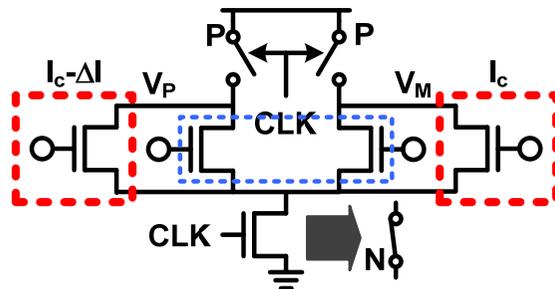


Output



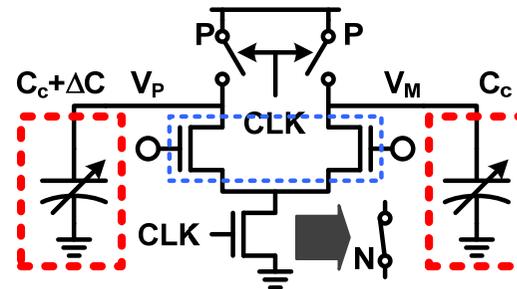
M. Miyahara and A. Matsuzawa,  
et al., A-SSCC, Nov. 2008.

抵抗ラダー型

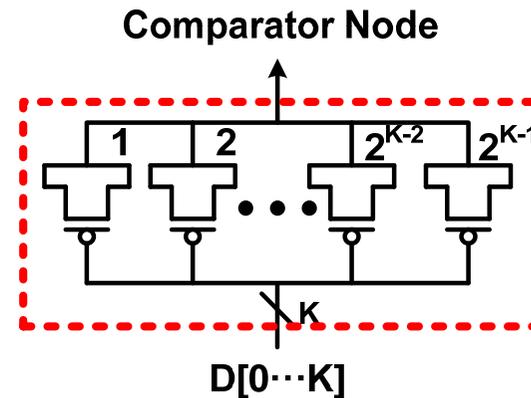
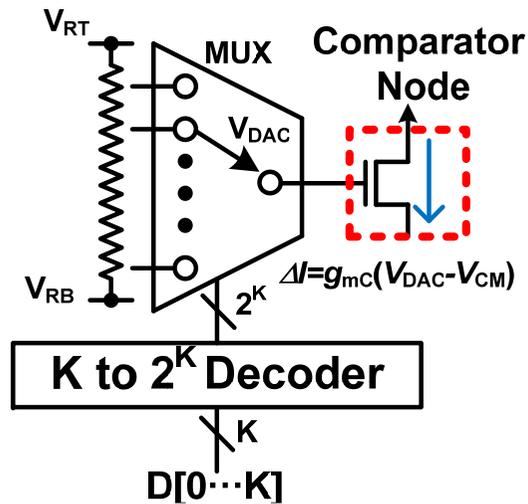


Current calibration

容量アレー型



Capacitance calibration



2進重み付け容量

Y. Asada, K. Yoshihara, T. Urano, M. Miyahara and A. Matsuzawa,

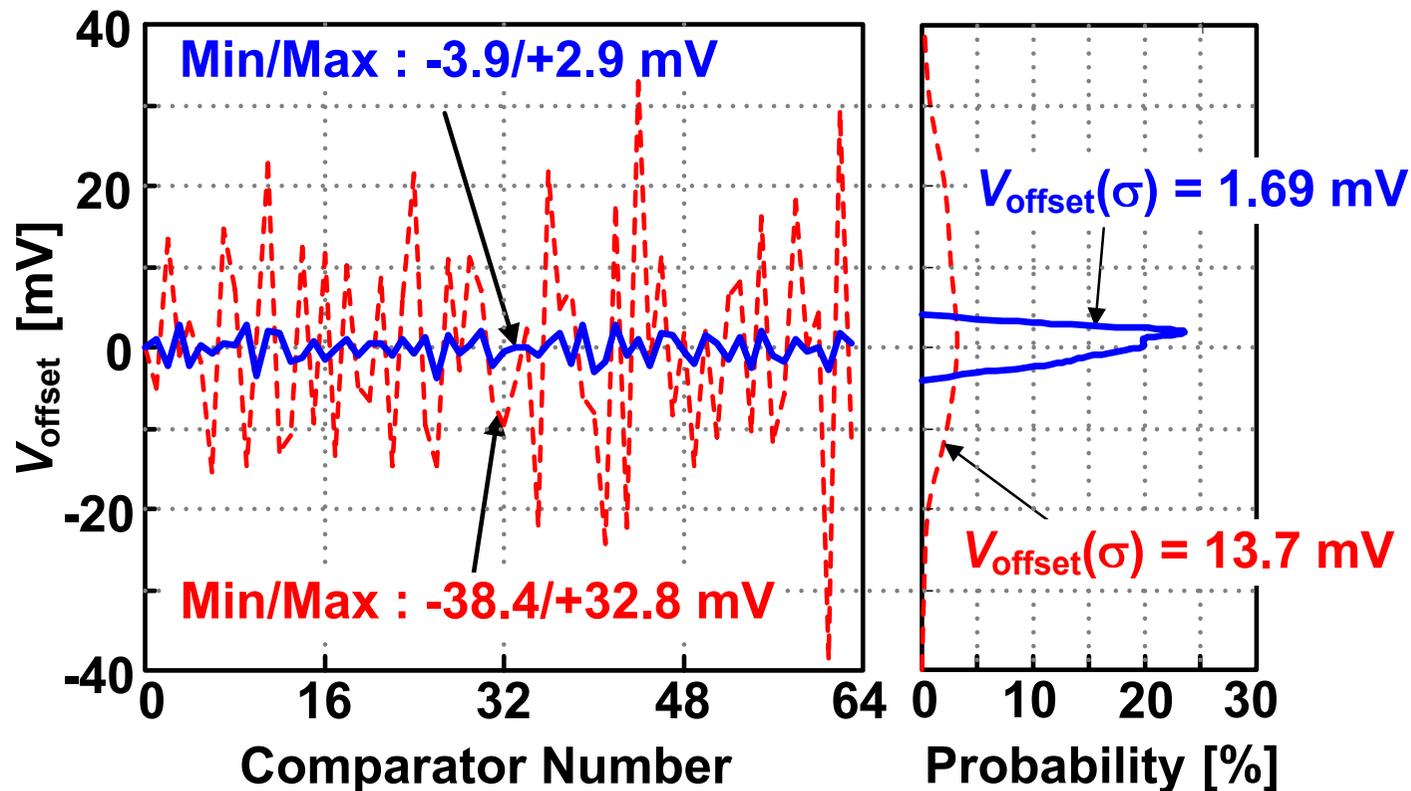
"A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC" A-SSCC, pp. 141-144, Nov. 2009.

# オフセット電圧補償結果

13.7 mV のオフセット電圧を1.7mVに低減した

Measured result

— Calibration ON  
- - - Calibration OFF

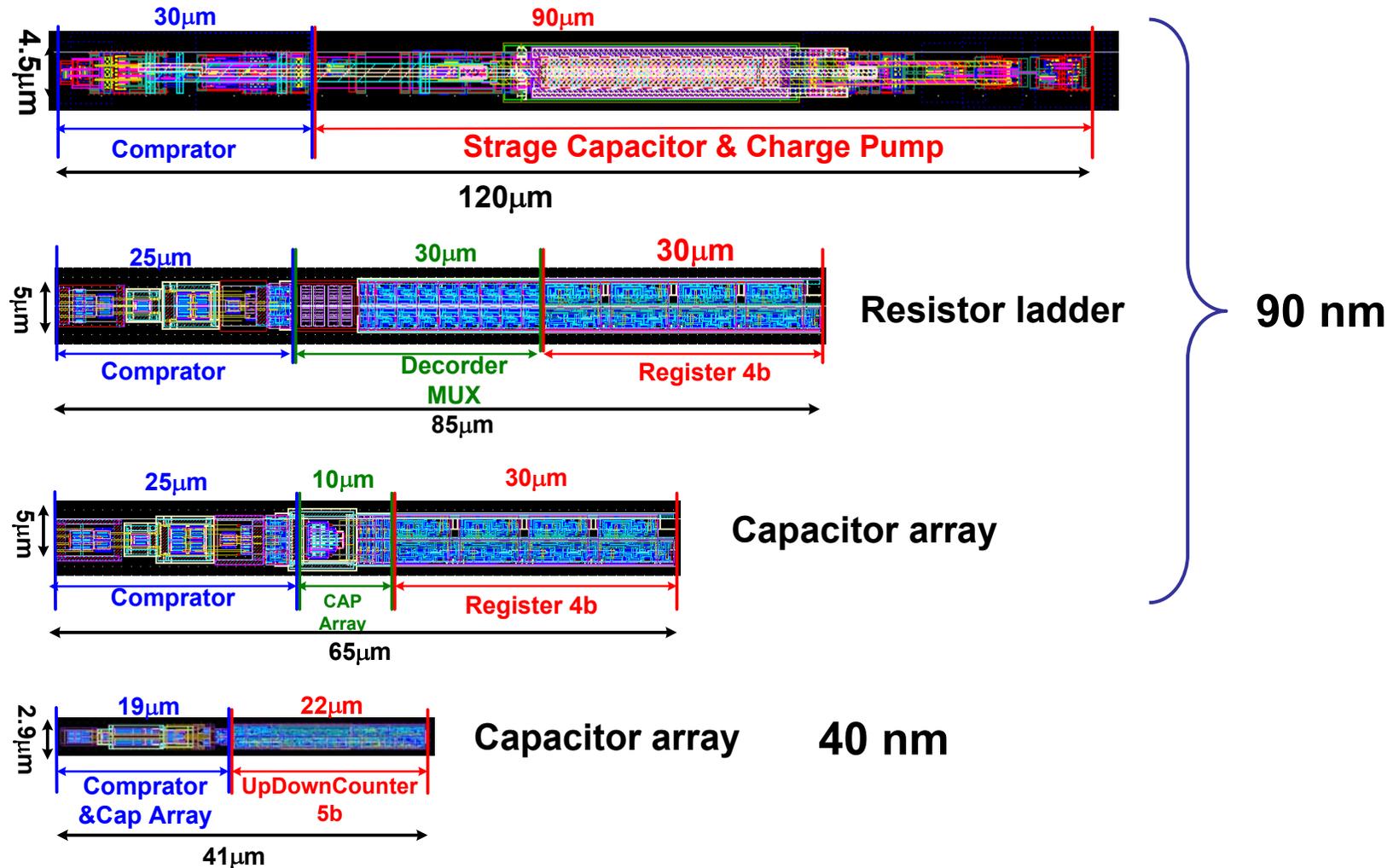


# 各種補償方式による比較器の面積

27

TOKYO TECH  
Pursuing Excellence

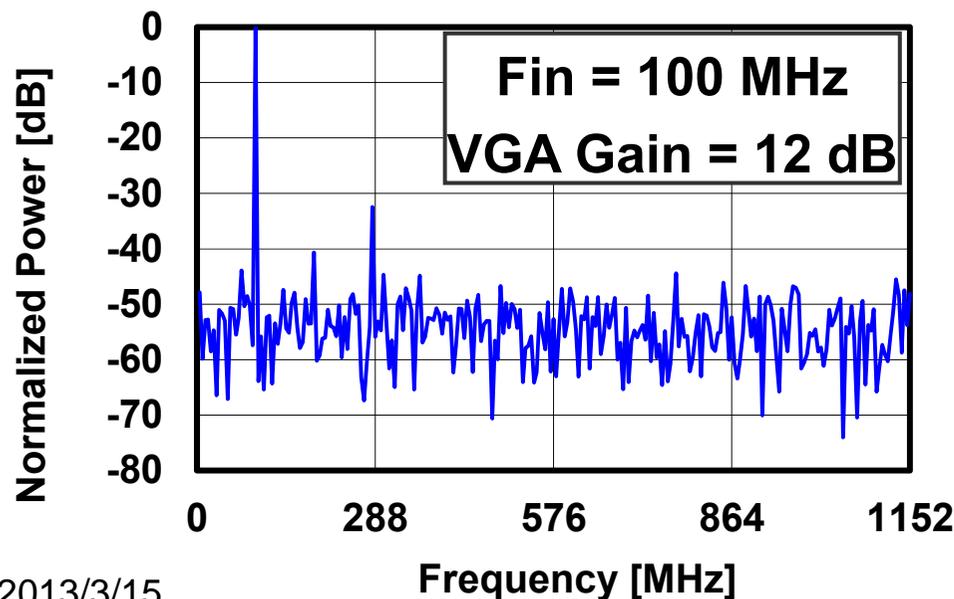
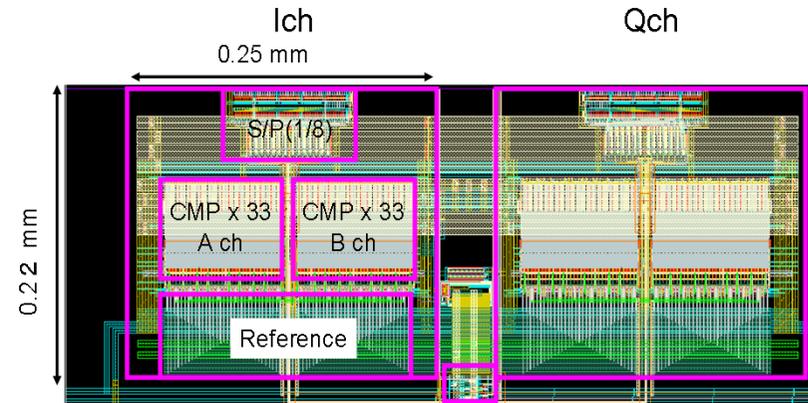
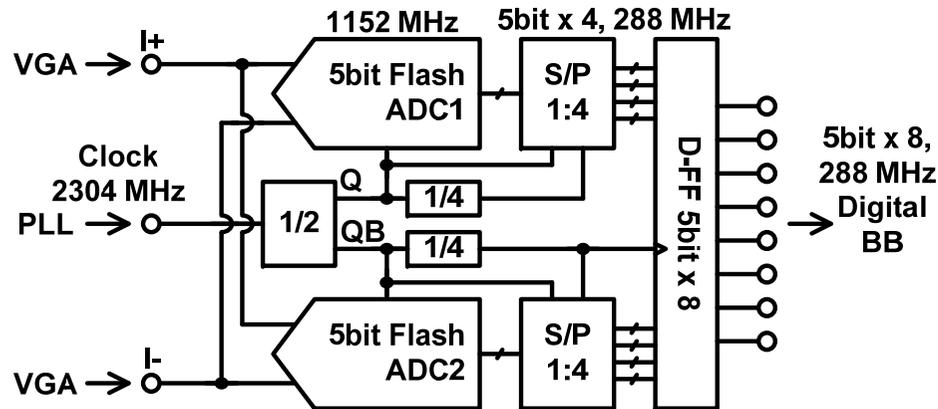
デジタルミスマッチ補償は比較器面積を増大させるが、微細化により改善



# 60GHz トランシーバ用フラッシュADC

28

M. Miyahara and A. Matsuzawa, et al.,  
RFIC 2012.



VGA Gain range	0-40 dB
ADC Resolution	5 bit
Sampling rate	2304 MS/s
Power Consumption	VGA : 9 mW ADC : 12 mW*
DNL, INL	< 0.8 LSB
SNDR	26.1 dB
FoM of ADC	316 fJ/conv.-s

\*single channel inc. S/P

# ADC性能の比較

29

60GHz トランシーバ用として世界最小レベルの消費電力とコア面積を達成

	Architecture	Cal.	fs [GS/s]	SNDR [dB]	Power [mW]	FoM [fJ/-c.s.]	Process [nm]	Area [mm <sup>2</sup> ]
[1]	Flash	-	3.5	31.2	98	946	90	0.149
[2]	SAR	Internal	2.5	34.0	50	489	45	1
[3]	Folding	Internal	2.7	33.6	50	474	90	0.36
[4]	Pipeline, Folding	External	2.2	31.1	2.6	40	40	0.03
[5]	Flash	Internal	2.88	27.8	36	600	65	0.25
<b>This work</b>	<b>Flash</b>	<b>Internal</b>	<b>2.3</b>	<b>26.1</b>	<b>12</b>	<b>316</b>	<b>40</b>	<b>0.06</b>

- [1] K. Deguchi, *et al.*, *VLSI Circuits* 2007 [2] E. Alpman, *et al.*, *ISSCC* 2009  
[3] Y. Nakajima, *et al.*, *VLSI Circuits* 2007 [4] B. Verbruggen, *et al.*, *ISSCC* 2010  
[5] T. Ito, *et al.*, *A-SSCC* 2010

- 分解能5bit～6bitであれば数Gbpsの変換は容易で、面積、消費電力ともに少ない。
- QPSK用としては十分なので、60GHz ミリ波BB用としては今後も使用されるのではないか？
- 現在、16QAM用として変換周波数2.4GHz,分解能7ビットのフラッシュADCを開発中。  
面積や消費電力が5ビットクラスと同等になる技術を開発中。

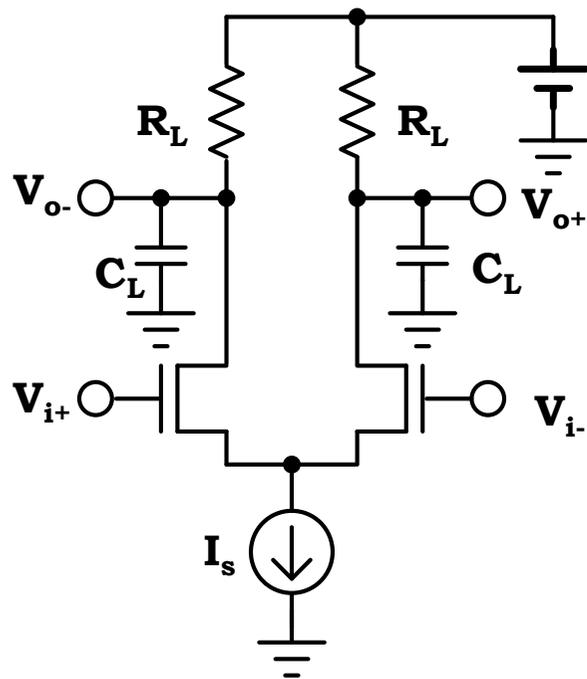
# 12ビット SAR ADCの開発

汎用ADCの開発とスケーラブルADCへの展開

## CMOS論理回路のようなADCの実現

- ・高速動作でも低速動作でも回路は同じ
- ・消費電力が与えられた変換クロック周波数に自動的に比例する
- ・クロックが止まったら電源電流は流れない

CML 論理回路 通常の増幅器



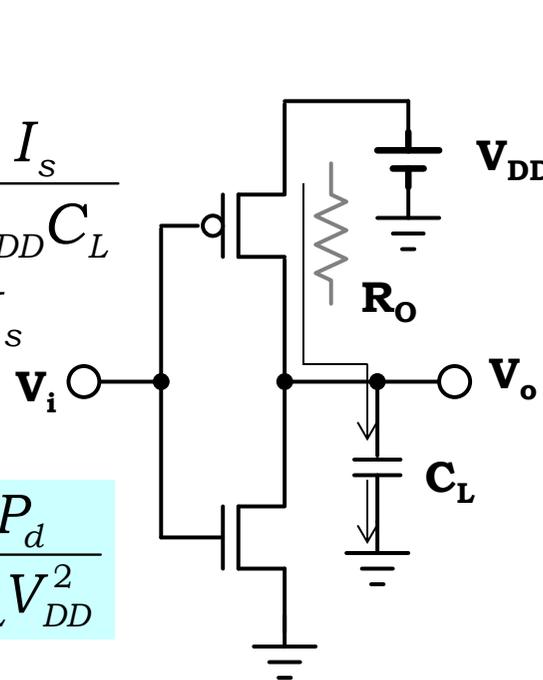
$$f_{toggle} \propto \frac{I_s}{V_{DD} C_L}$$

$$P_d = V_{DD} I_s$$

$$f_{toggle} \propto \frac{P_d}{C_L V_{DD}^2}$$

動作速度を上げるためには  
消費電流を増やさなければならない

CMOS 論理回路.



$$f_{toggle} \propto \frac{1}{T_r} \propto \frac{1}{R_o C_L}$$

$$P_d = f E_d = \frac{1}{2} f C_L V_{DD}^2$$

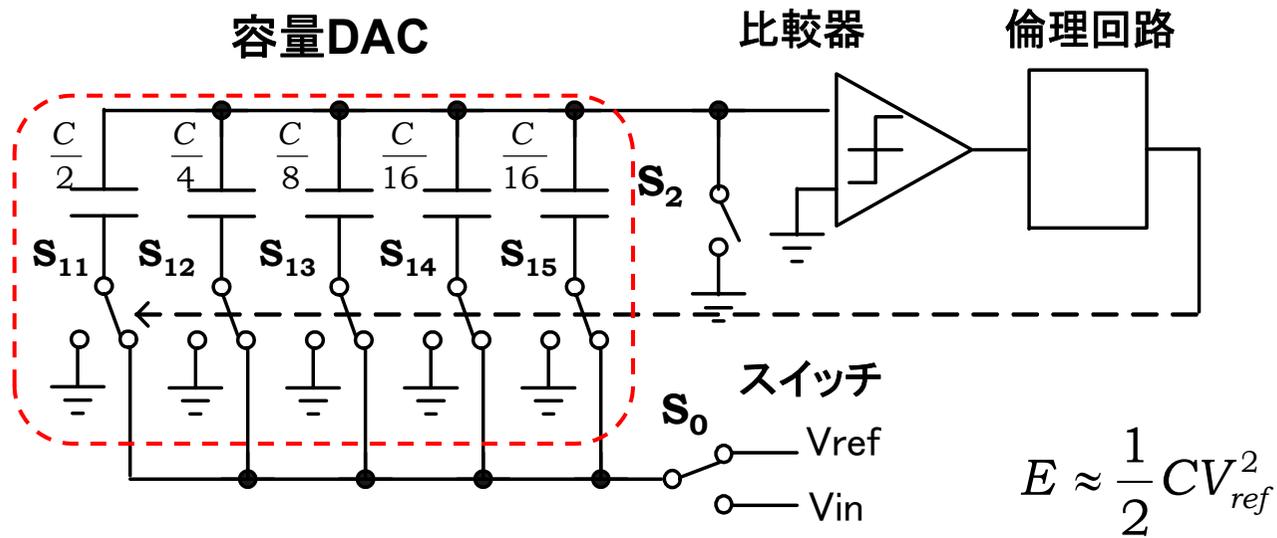
$$E_d = \frac{1}{2} C_L V_{DD}^2$$

$$f_{toggle} \propto \frac{1}{R_o C_L}$$

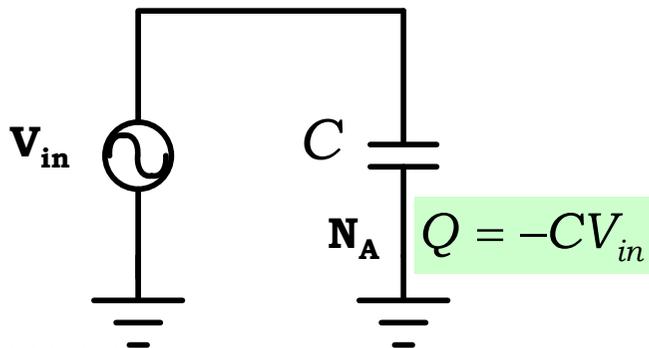
動作速度を上げてても  
消費エネルギーは増えない

# SAR ADC

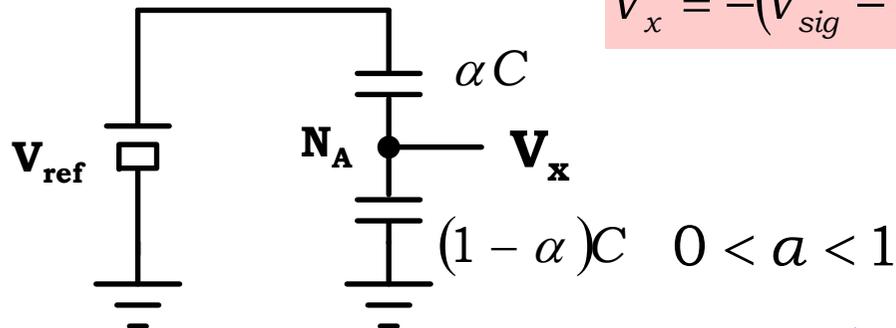
SAR ADCは容量DACとダイナミック型比較器，セルフクロック回路を用いることでCMOS論理回路のようなADCを実現できる。またオペアンプを用いていないので信号振幅を高くすることが可能で，低電圧動作にも対応できる。



標本化機能



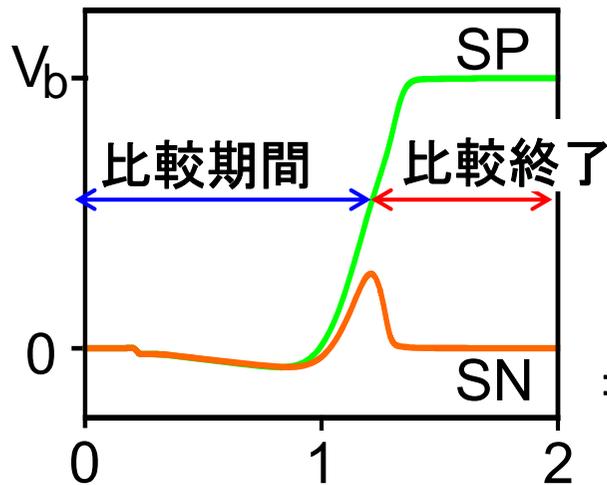
DAC・減算機能



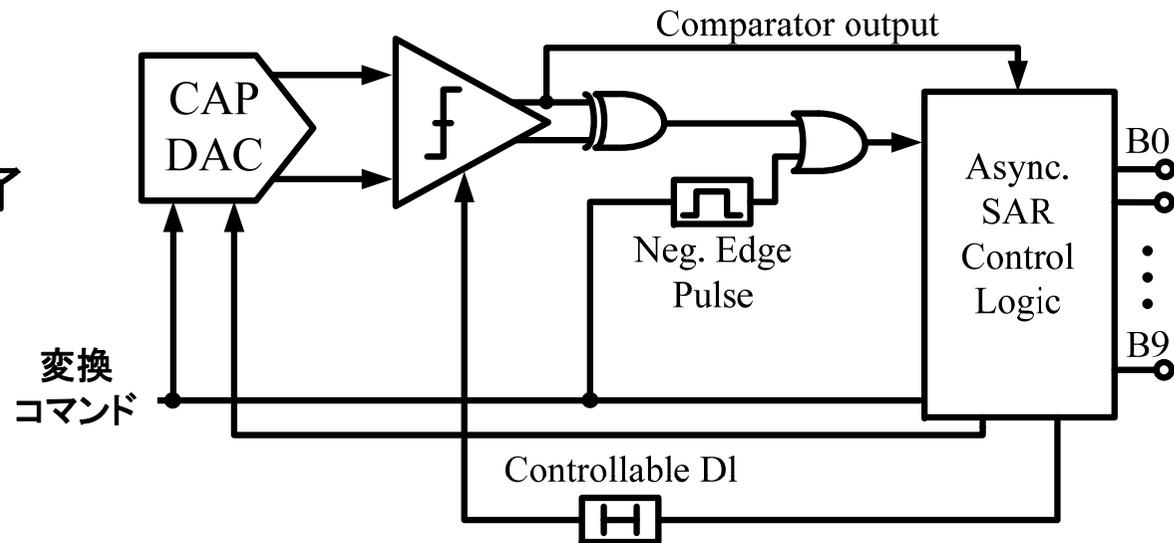
$$V_x = -(V_{sig} - \alpha \cdot V_{ref})$$

従来のNビット SAR ADCでは変換周波数  $f_s$  のN倍以上の動作周波数が必要で、使用を困難にしていた。(例えばN=12bit,  $f_s=80\text{MHz}$ では1.2GHz程度のクロックが必要) しかしながらダイナミック型比較器では出力状態により比較動作の終了が判定できるので、外部クロックが不要となり、変換を開始するコマンドだけで動作するようになった。

比較器の出力波形



セルフクロッキング回路





# 12bit化 : FoM と FoM2の傾向

36

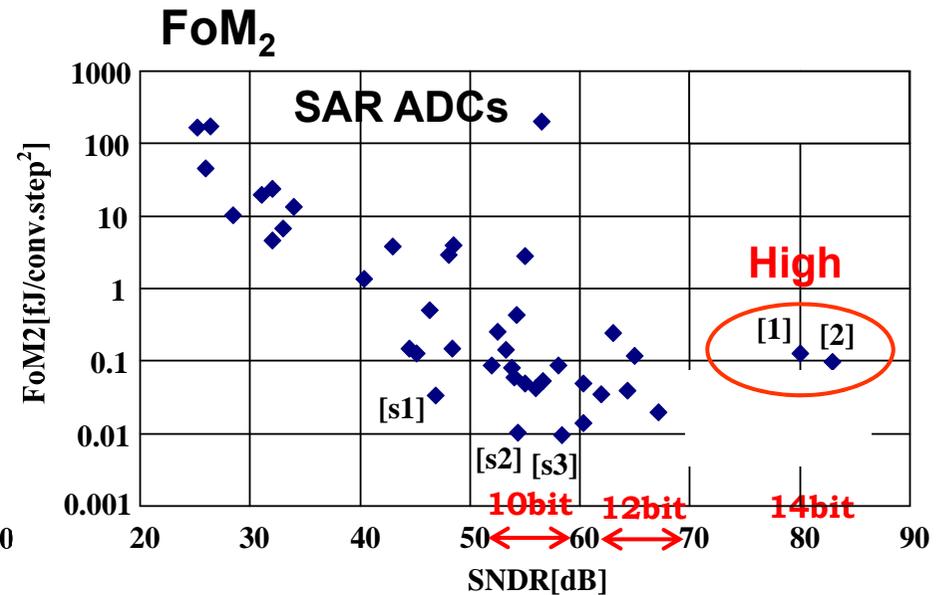
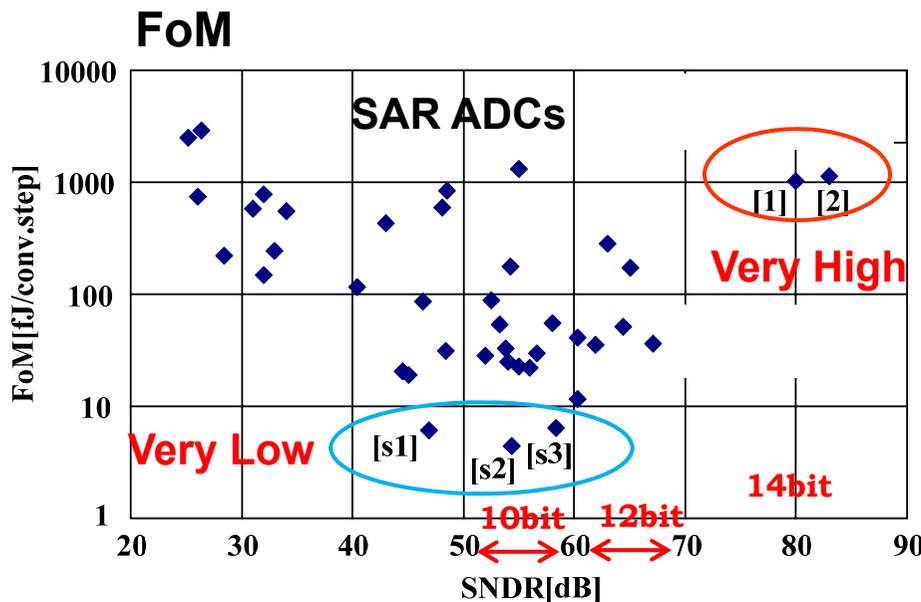
10ビットまでは比較的簡単だが12ビット以上のSARは結構難しい

10bit ADCのFoMは10fJ以下もあり、かなり低いが、12ビットクラスでは50fJと高くなり、14ビットクラスでは1pJと相当高いのが現状である。

FoM2の方が物理的に正しいエネルギー指標であるが、12ビットクラスではそれでも高くなっている。12bit 以上のADCの低エネルギー化は容易ではないのが現状。

$$FoM = \frac{P_d}{2^{(SNDR - 1.76)/6.02} \cdot f_s}$$

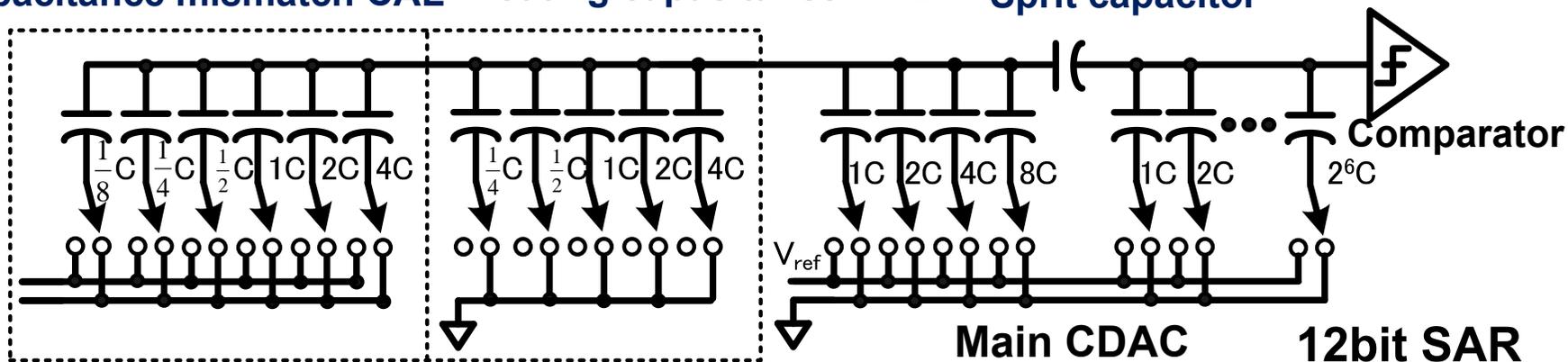
$$FoM2 = \frac{P_d}{2^{2 \cdot (SNDR - 1.76)/6.02} \cdot f_s}$$



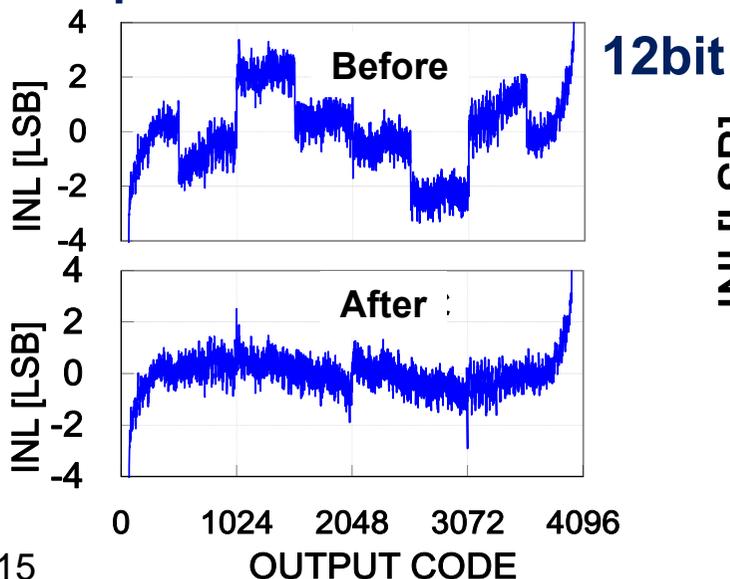
# 高精度化：CDACの構成

CDACはスプリット容量を使用して容量値を極小にし、フローティング容量補償容量ミスマッチ補償回路を設けたが、これによる面積増加は殆どない。

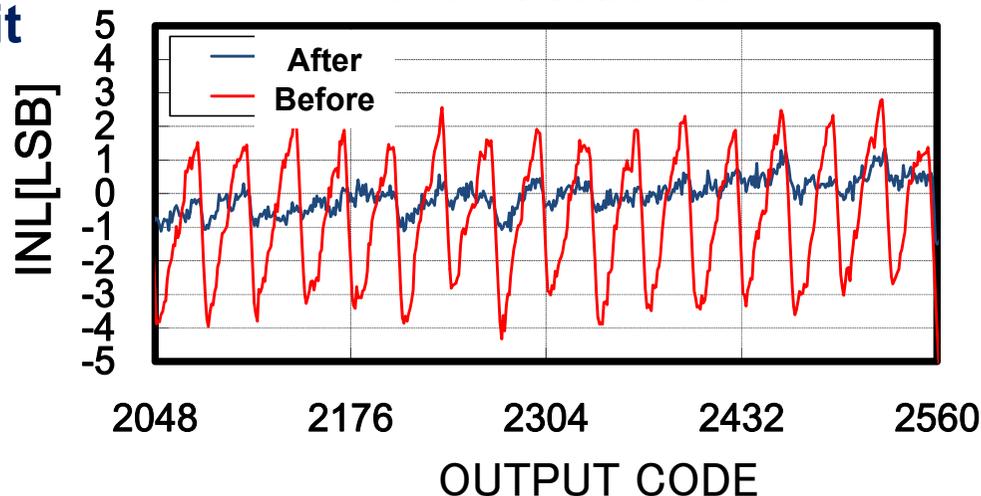
Capacitance mismatch CAL Floating capacitance CAL Sprit capacitor



Capacitance mismatch CAL



Floating capacitor CAL



# 90nm CMOSによる設計試作

38

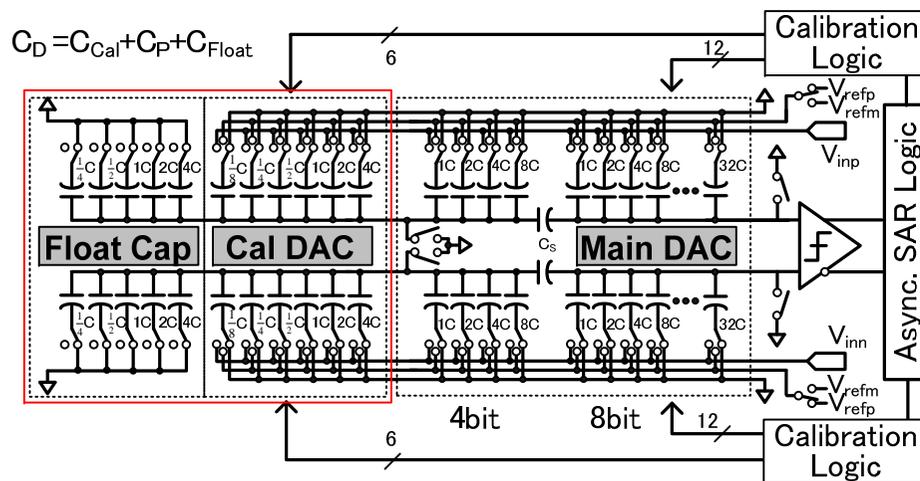
TOKYO TECH  
Pursuing Excellence

90nm CMOSを用いて設計・試作を行った。

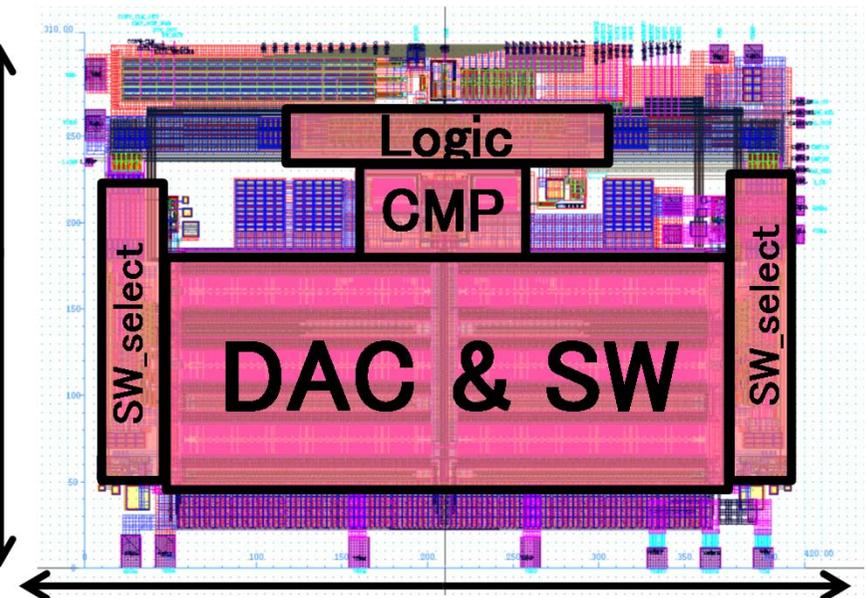
12bit, 60MHz, 3mWが目標

TSMC 90nm CMOS

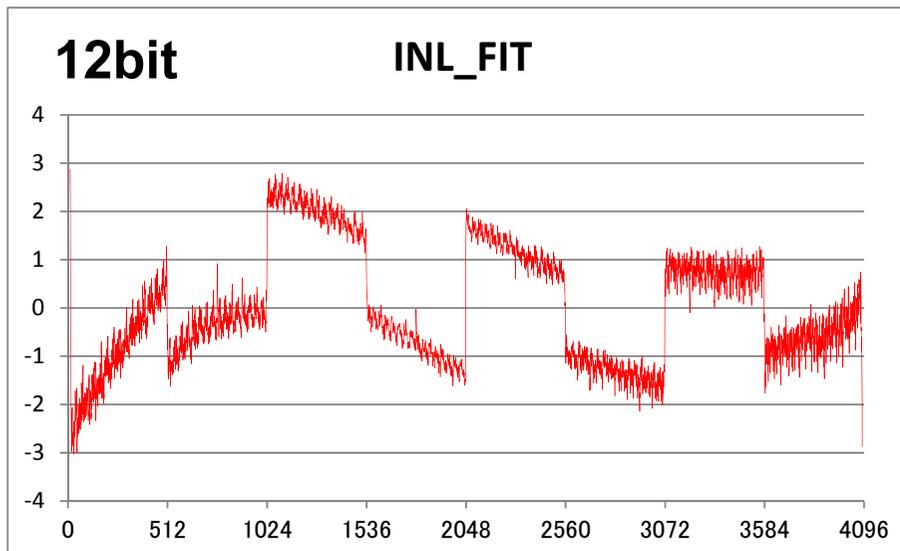
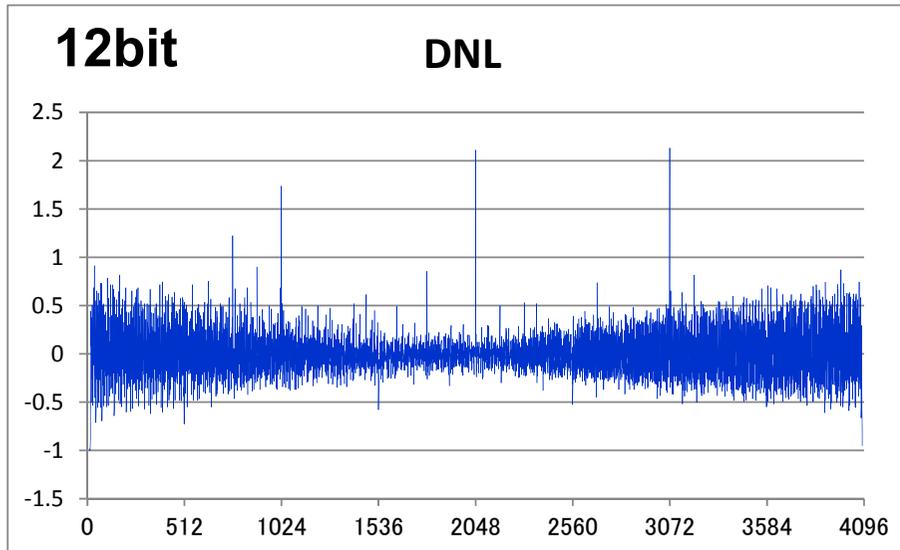
0.13mm<sup>2</sup>



310um



420um



デジタル容量ミスマッチ補正回路に  
不具合

容量のミスマッチ(位置依存)が原因で  
2-3 LSB程度の大きなリニアリティエラー  
が出ている。

65nmでは補償回路の見直し、  
レイアウトの最適化でかなり低減できる  
見通し。

# 12b SAR ADCの評価結果

40

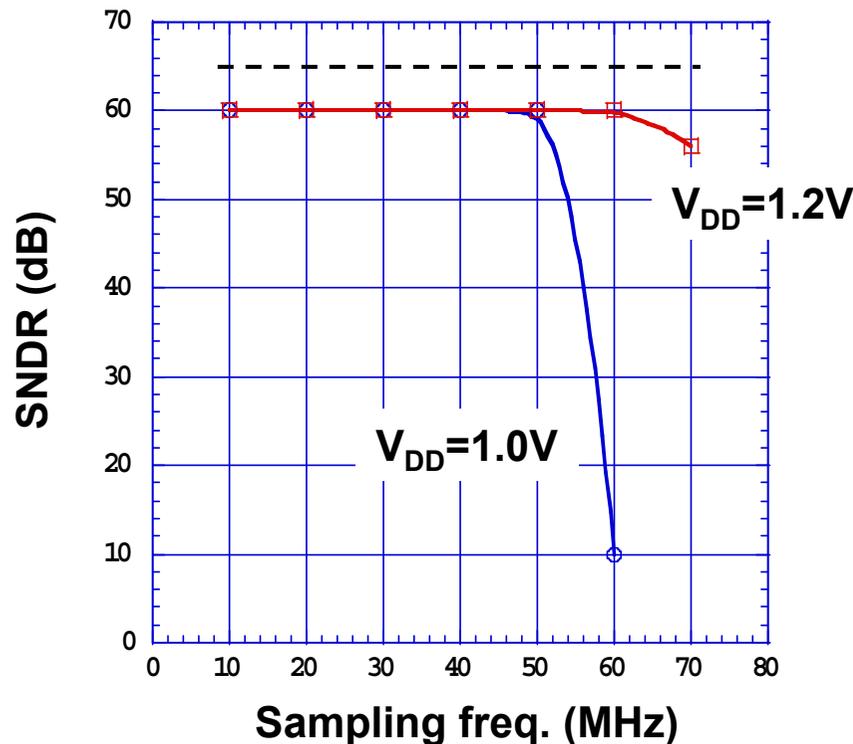
TOKYO TECH  
Pursuing Excellence

1.2Vで60MHz, 1.0Vで50MHzで動作し, 60dBのSNDRが得られた。  
消費電力は変換周波数に比例し,  $V_{DD}$ を下げると大幅な消費電力低減。

リーク電流: 210uA (0.25mW) @  $V_{DD}=1.2V$   
120uA (0.12mW) @  $V_{DD}=1.0V$

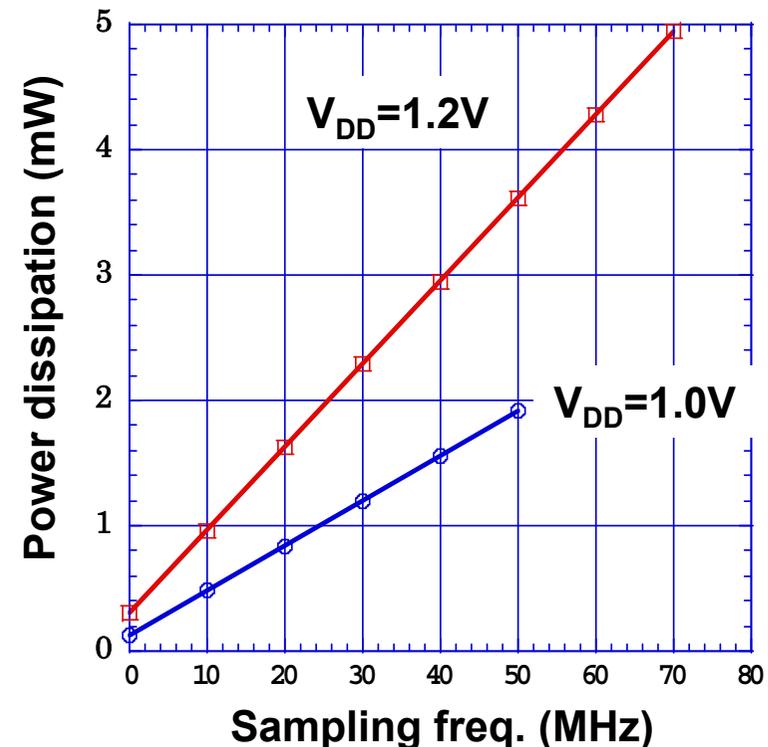
### SNDR vs. $f_s$

65 dB程度までは向上可能



### $P_d$ vs. $f_s$

リーク電流は対策可能



12bit SAR ADCとして最高性能のものと比較した。  
変換速度と消費電力性能は上回っているがSNDR, SFDR, FoM, 面積で負けている。  
ただし、これは容量ミスマッチ補償回路がうまく動作しなかったことによるものである。

	This Work	[1]
Resolution (bit)	12	12
$F_{\text{sample}}$ (MS/s)	50	45
$V_{\text{DD}}$ (V)	1.0	1.2
Power (mW)	1.95	3.0
DNL (LSB)	+2/-0.75	-
INL (LSB)	+2.8/-3.0	-
SFDR (dB)	65	84.7
SNDR (dB)	55	67.1
$\text{ENOB}_{\text{peak/Nyquist}}$ (bit)	9.3 / 8.9	11.1/10.9
FoM (fJ/c.-s)	61 / 87	31.4/36.3
Technology (nm)	90	130
Active Area (mm <sup>2</sup> )	0.081	0.059

[1] Wenbo Liu, Pingli Huang,  
et al, IEEE ISSCC, 2010

# SAR ADCの開発課題

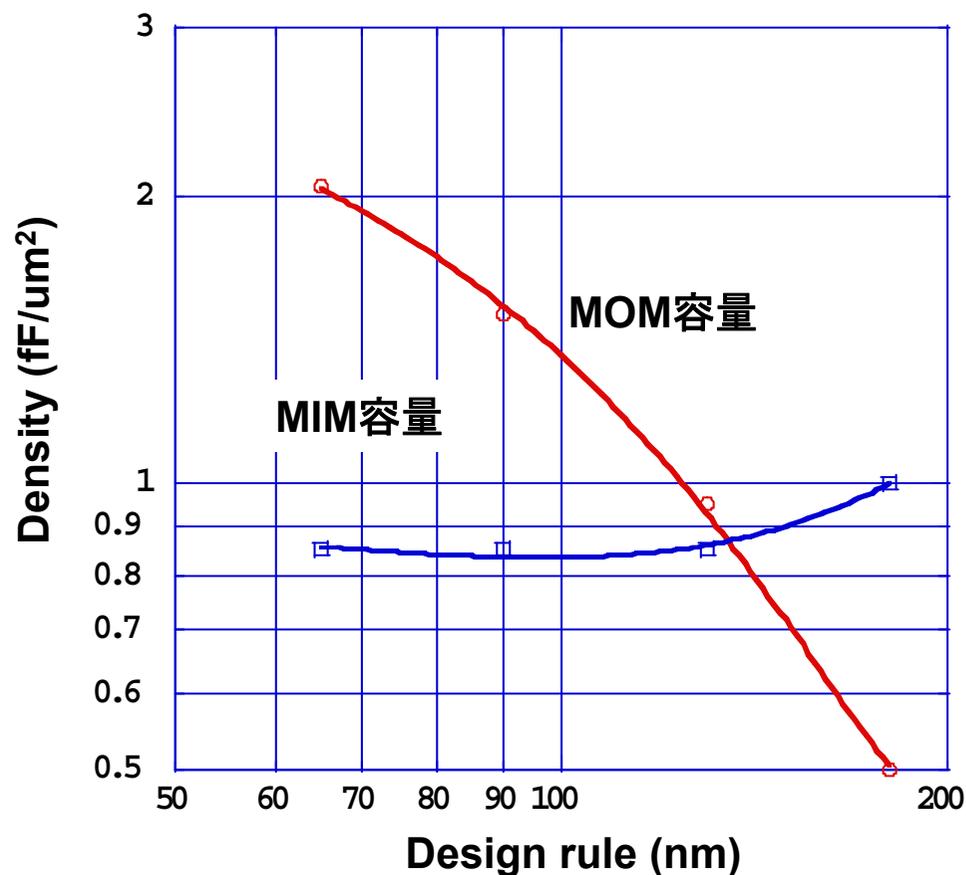
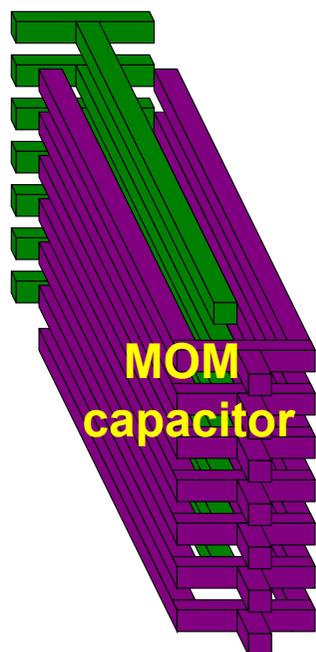
# MIM容量の限界とMOM容量

43

TOKYO TECH  
Pursuing Excellence

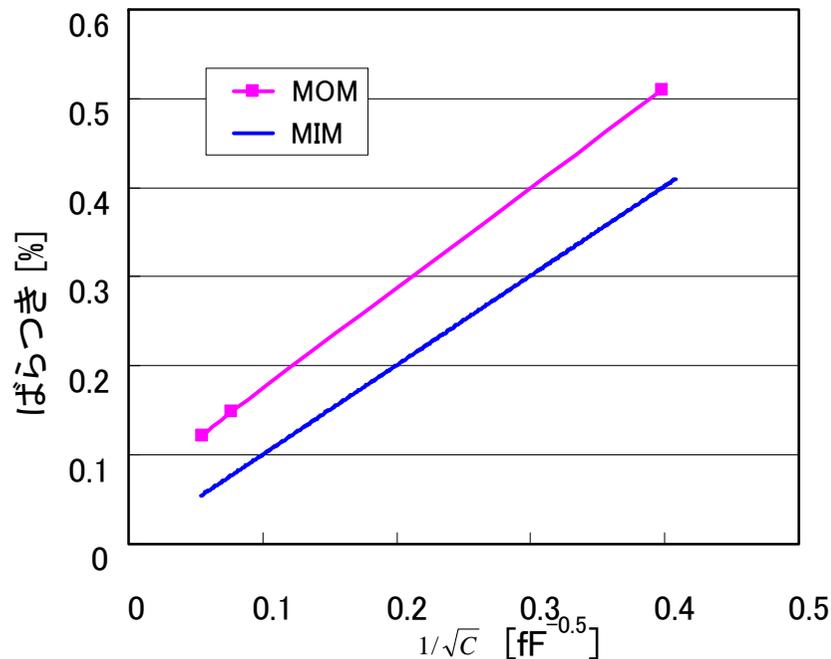
MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

**MOM容量により微細化とともに容量部の面積縮小が可能である**

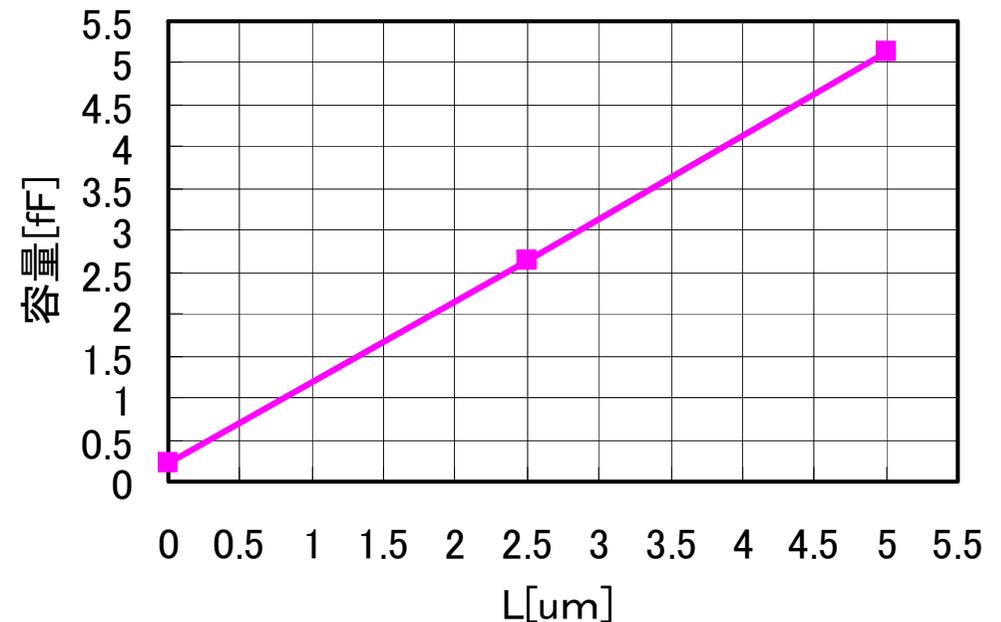


# 精度（測定結果）

MOM容量はMIM容量ほどの精度は出ないが、それでも0.1% (10bit)は可能。  
また、MIMの1/100 程度の微小容量が形成できるので、デジタル補正が可能で  
最終的には小面積で高精度化(14ビットレベル)が可能と思われる。



MIMの最小容量は20fF程度



# MOM容量の精度飽和の要因

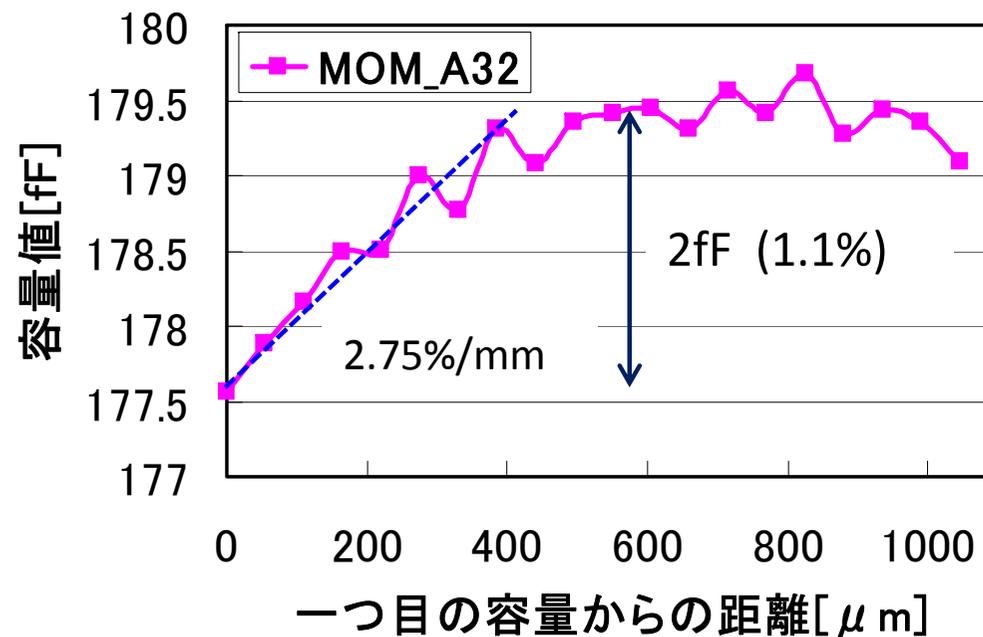
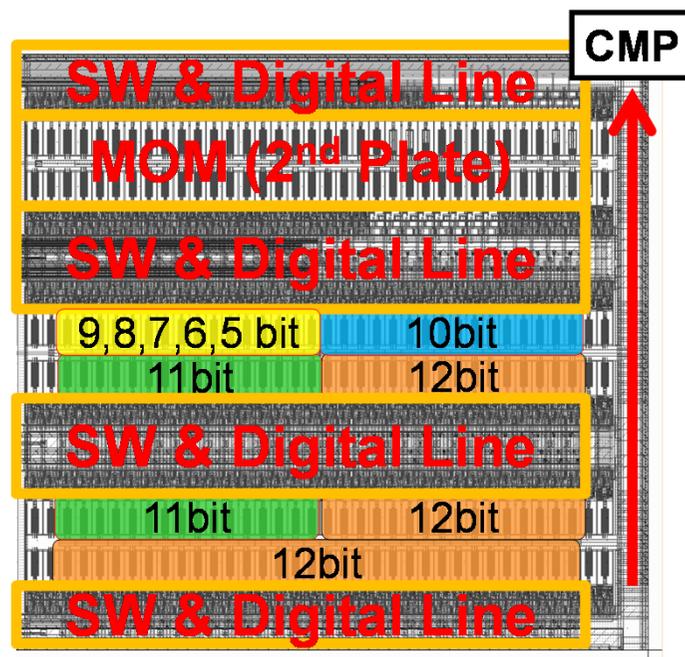
45

TOKYO TECH  
Pursuing Excellence

MOM容量は面積を増加させても精度が飽和するが、その大きな要因は容量の位置依存が強いことである。

500 $\mu$ mで1%程度の容量傾斜がある。

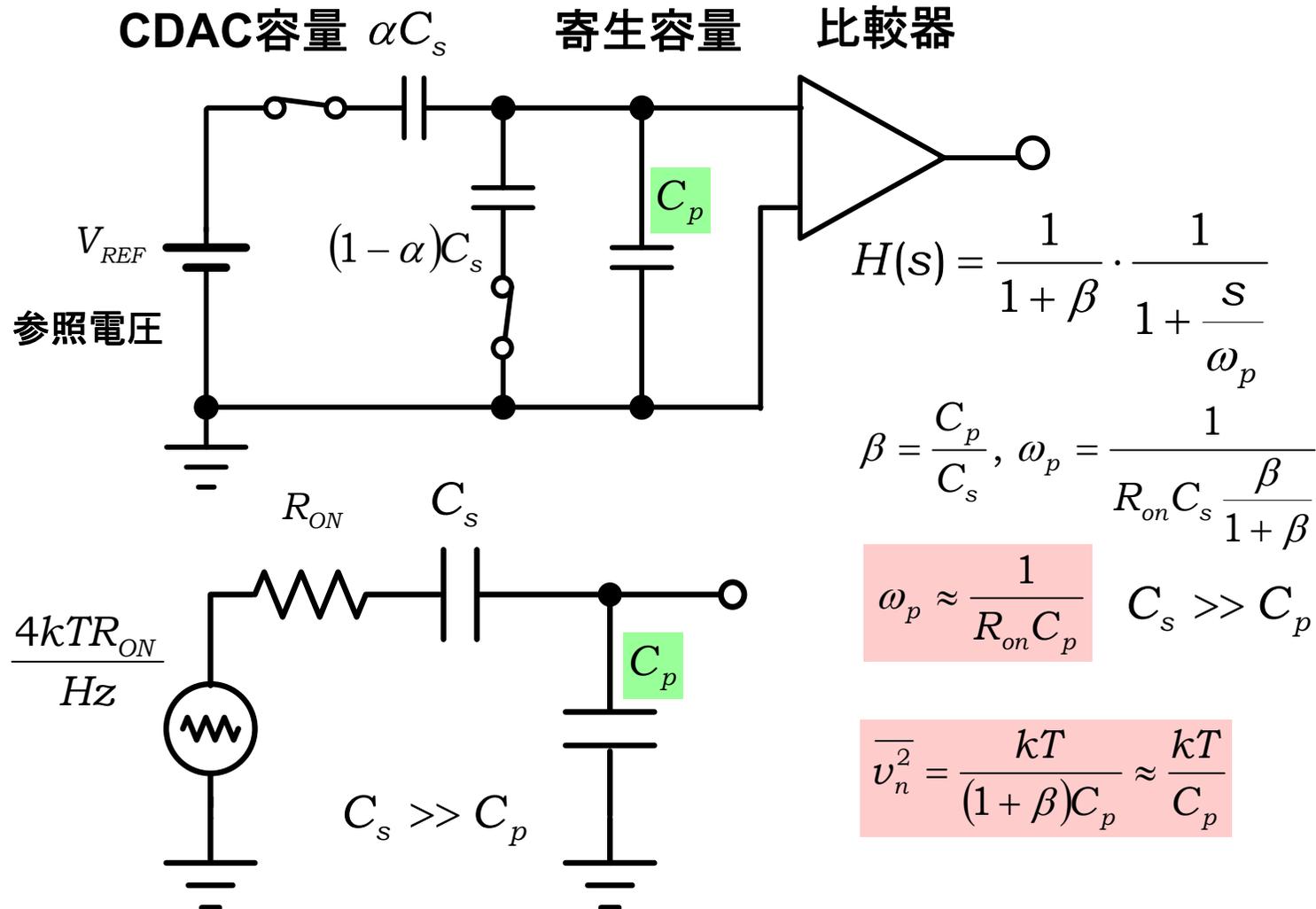
設計ではこの点を考慮したレイアウトや誤差補正技術が不可欠。



このようにビットを固めたレイアウトでは容量値の位置依存によるINL劣化が大きい

# 比較時のノイズ

比較時のノイズはCDAC容量 (= サンプリング容量) ではなく、寄生容量で決まることになってしまう。寄生容量が小さいと大きなノイズが発生。



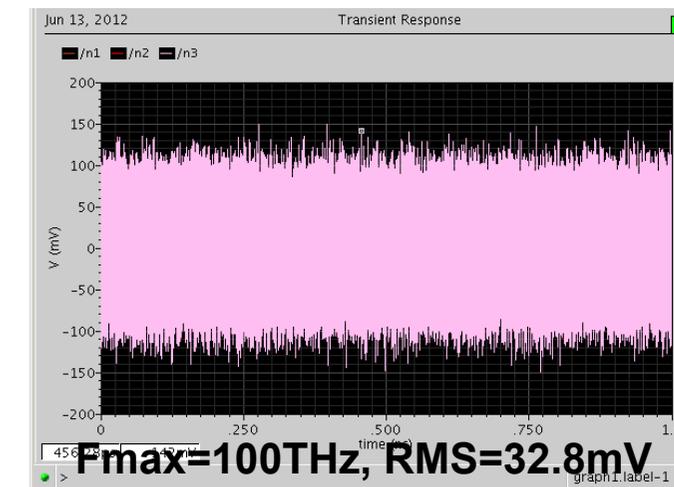
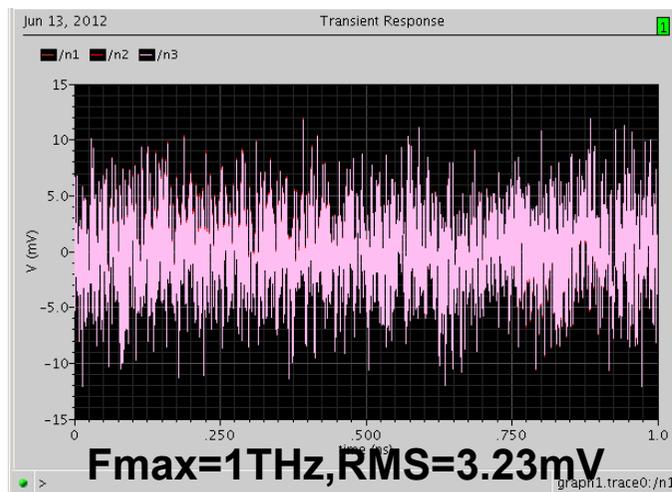
# 過渡ノイズ解析結果

47

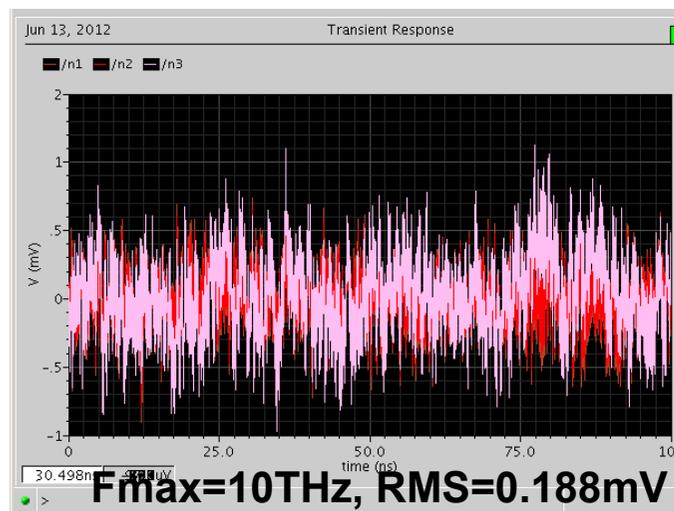
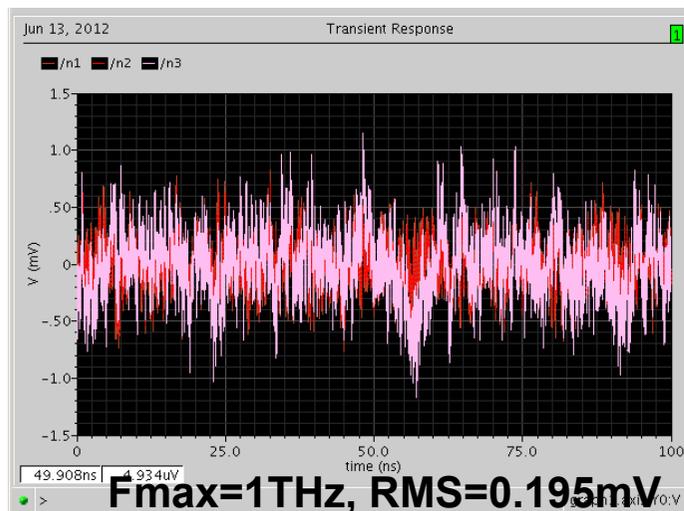
TOKYO TECH  
Pursuing Excellence

もしも寄生容量がゼロだと、ノイズ帯域を上げると大きなノイズを発生する。  
寄生容量があるとその値で決まる。

$C_p=0$

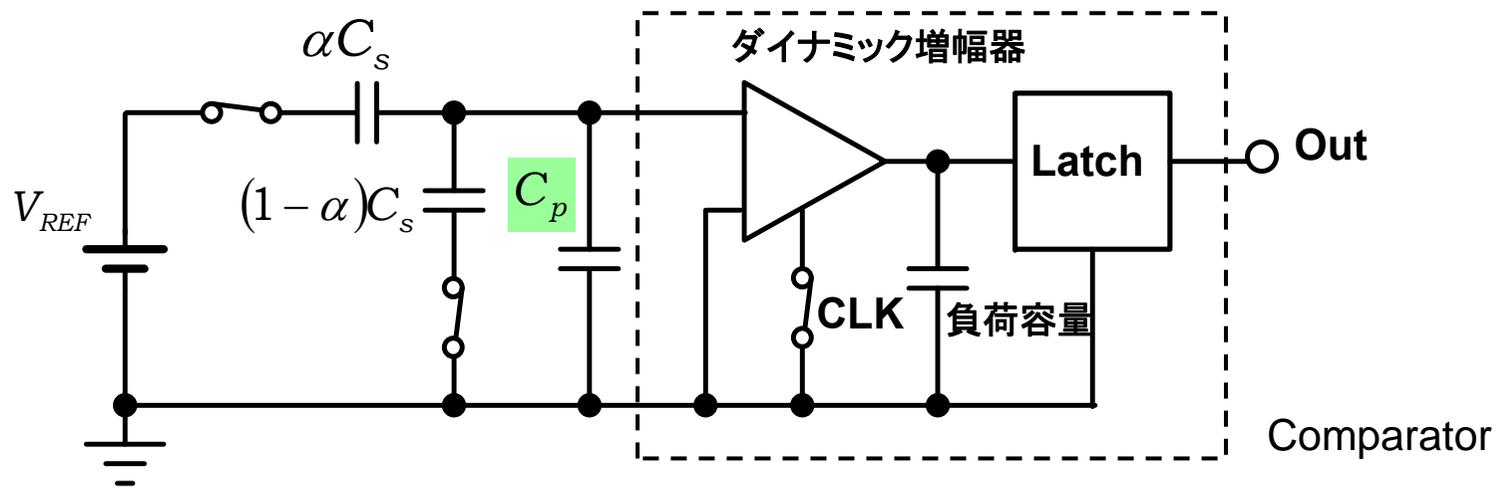


$C_p=10\text{fF}$

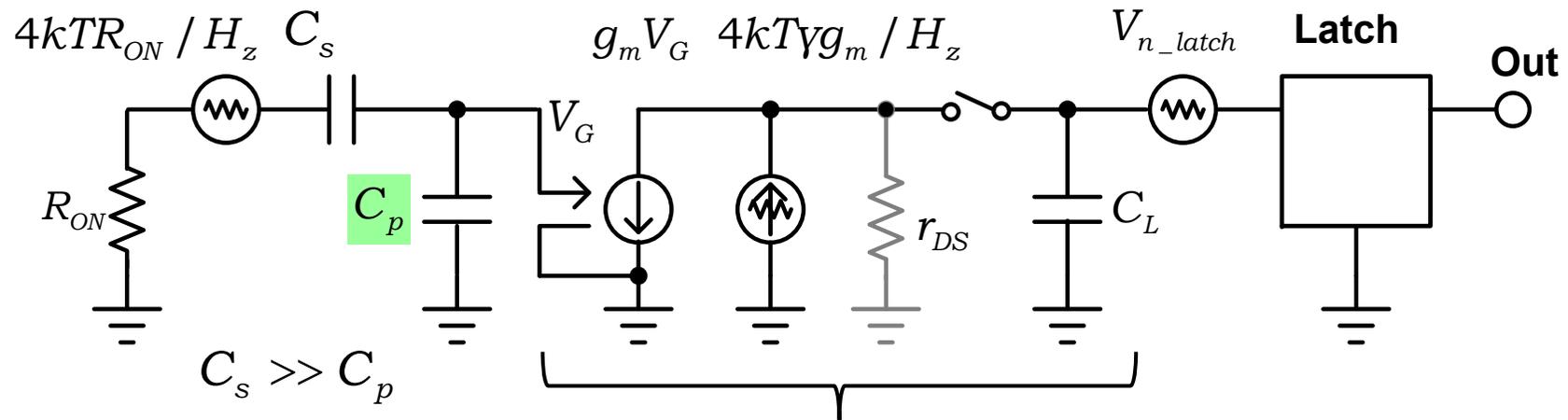


# 比較器を考慮した比較時のノイズ

ダイナミック比較器のノイズやフィルター作用などを考慮して総合的に考察する。



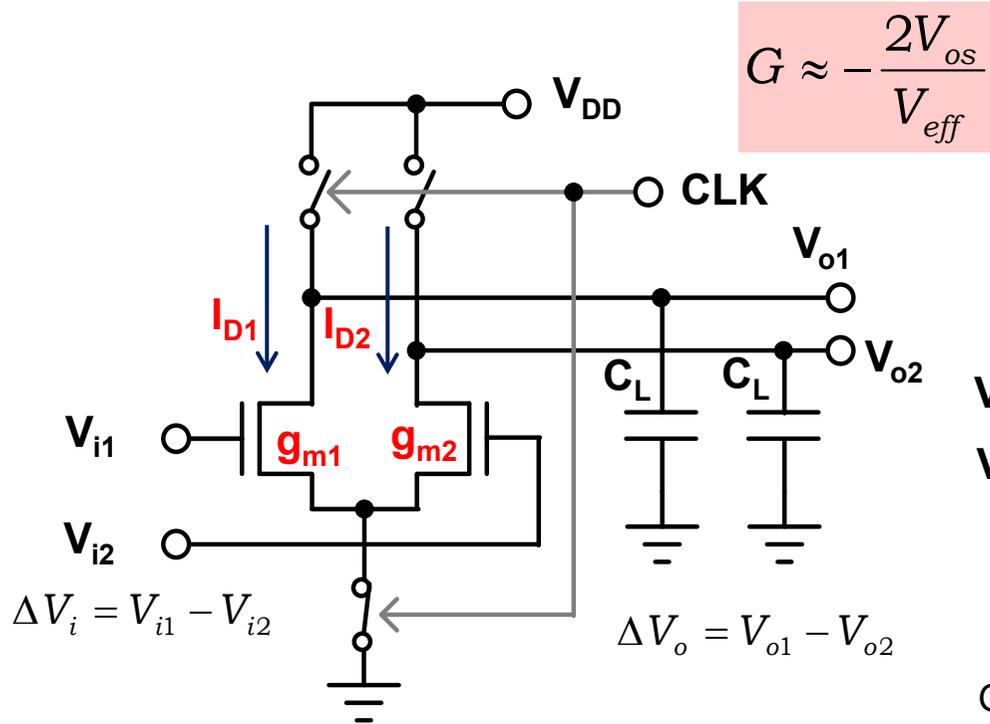
## 等価回路



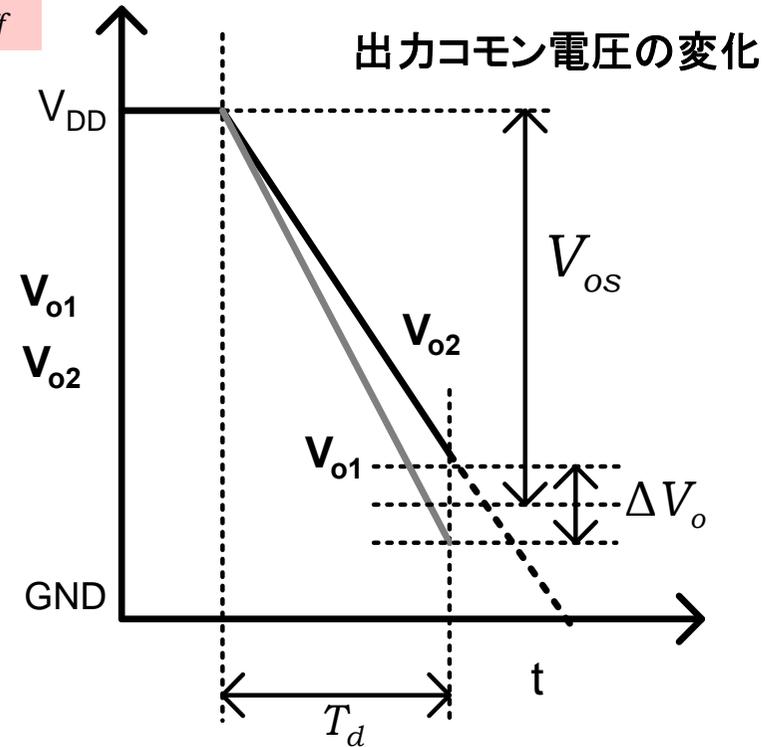
## ダイナミック増幅器

# ダイナミック増幅器の利得

ダイナミック増幅器の利得は出力振幅に比例し、 $V_{eff}$ に反比例する。



$$G \approx -\frac{2V_{os}}{V_{eff}}$$



$$\Delta V_o = \frac{\Delta Q}{C_L} = \frac{\Delta i_D T_d}{C_L} = -\frac{g_m \Delta V_i}{C_L} T_d$$

$$T_d = \frac{V_{os} C_L}{I_D} \quad G = \frac{\Delta V_o}{\Delta V_i} = -\frac{g_m T_d}{C_L} = -\frac{g_m}{I_D} V_{os} \approx -\frac{2V_{os}}{V_{eff}}$$

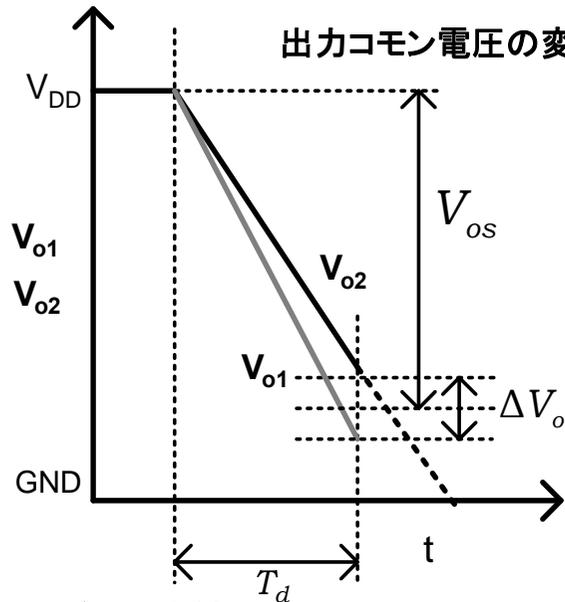
$$G \approx -\frac{2V_{os}}{V_{eff}}$$

$$V_{eff} = V_{GS} - V_T$$

# ダイナミック増幅器のノイズ

ダイナミック増幅器のノイズは負荷容量と信号振幅の積に反比例する。  
また、信号帯域は積分時間の2倍の逆数で与えられる。

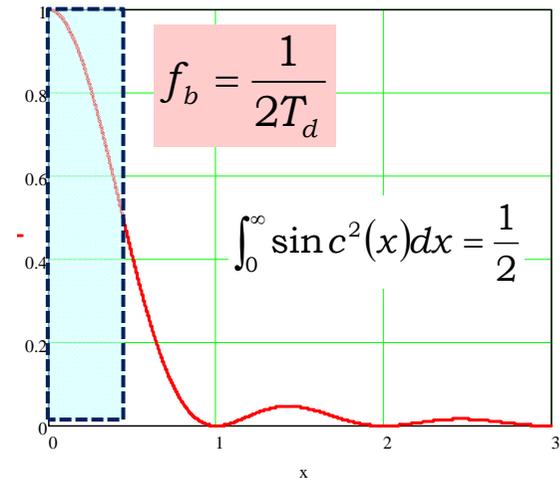
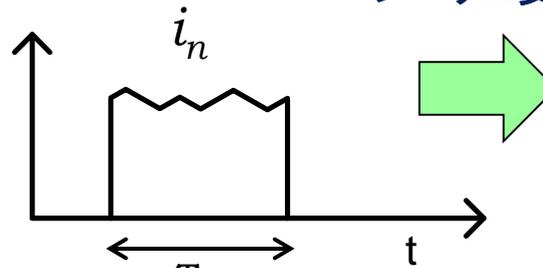
$$\overline{v_{ni}^2} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$



積分作用でLPF特性になる

$T_d$ の期間だけノイズを含んだ電流が流れる

フーリエ変換



$$H(f) = \frac{2}{2\pi f} \sin(\pi f T_d) = T_d \cdot \text{sinc}(f T_d) \quad x = f \cdot T_d$$

## ノイズの計算

$$\overline{v_{no}^2} = \frac{i_n^2}{\text{Hz}} \frac{1}{C_L^2} \int_0^{\infty} T_d^2 \text{sinc}^2(f T_d) df$$

$$= \frac{i_n^2}{\text{Hz}} \frac{T_d^2}{C_L^2} \cdot \frac{1}{2T_d} = \frac{i_n^2}{\text{Hz}} \frac{T_d}{2C_L^2}$$

$$= 2kT\gamma g_m \frac{T_d}{C_L^2} = 2kT\gamma \frac{2I_D}{V_{eff}} \cdot \frac{V_{os}}{I_D} \cdot \frac{1}{C_L} = \frac{4kT\gamma}{C_L} \frac{V_{os}}{V_{eff}}$$

$$\frac{i_n^2}{\text{Hz}} = 4kT\gamma g_m \quad T_d = \frac{V_{os} C_L}{I_D} \quad G \approx -\frac{2V_{os}}{V_{eff}}$$

$$\overline{v_{ni}^2} = \frac{\overline{v_{no}^2}}{G^2} = \frac{V_{eff}^2}{4V_{os}^2} \cdot \frac{4kT\gamma}{C_L} \cdot \frac{V_{os}}{V_{eff}} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$

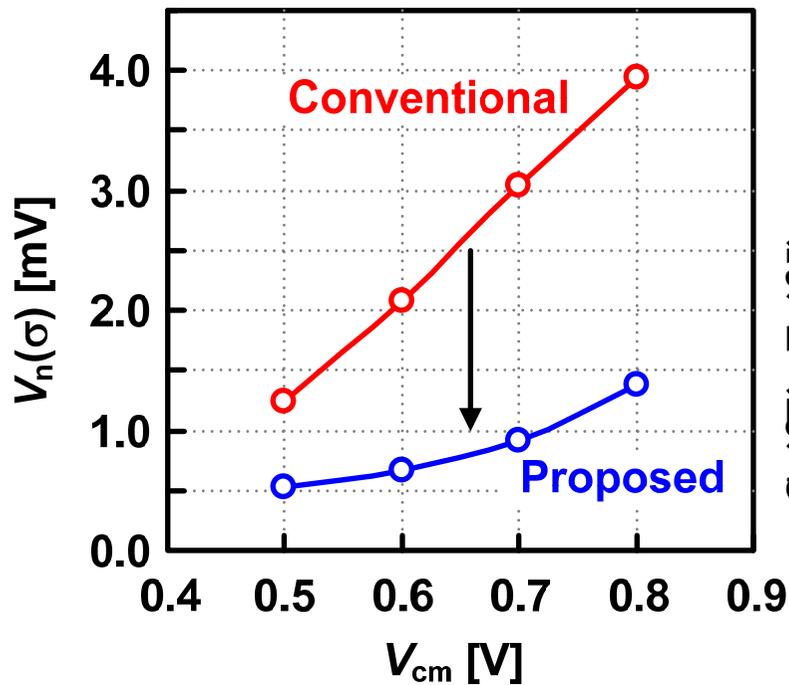
$$\overline{v_{ni}^2} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$

# ダイナミック型比較器のノイズ

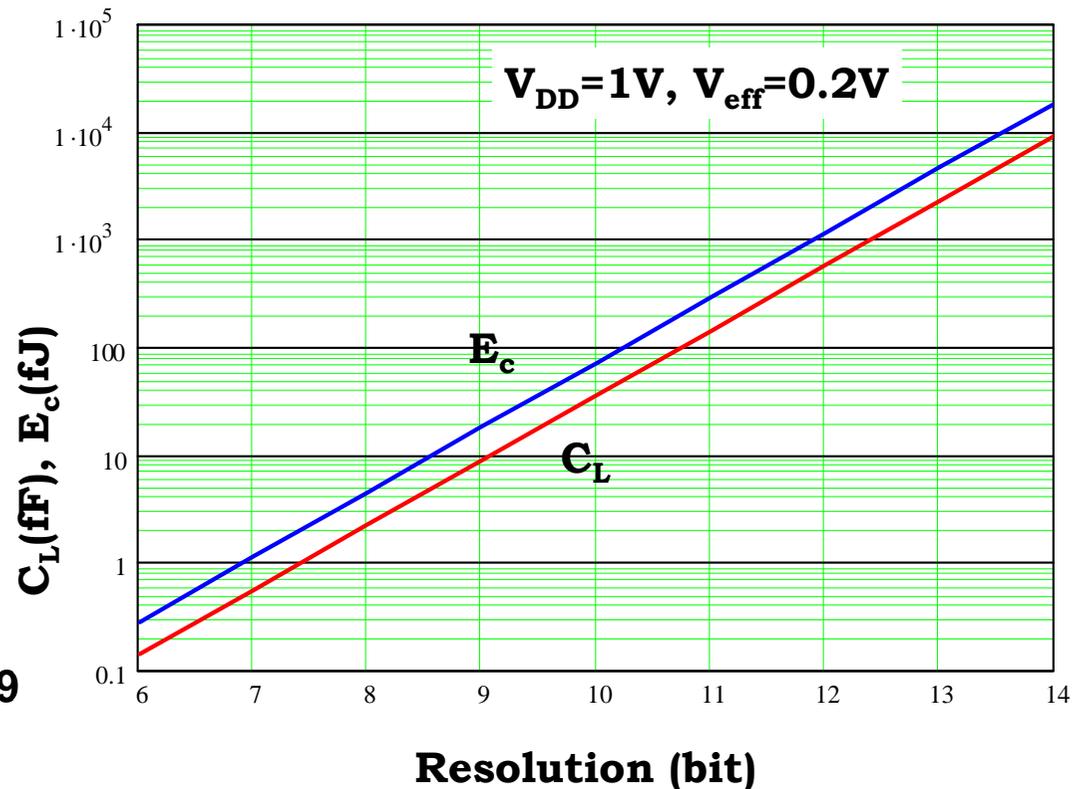
ダイナミック型比較器の構成をラッチの前にCMOS増幅器を設けた構成にすることで、ノイズを低減させた。またノイズレベルが負荷容量でほぼ決定されることを見出し、ノイズと消費電力の最適化指針を導いた。

$$\overline{v_{ni}^2} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$

$$\overline{V_n^2} = \frac{V_{n\_latch}^2}{G^2} = \frac{V_{eff}^2}{4V_{os}^2} V_{n\_latch}^2$$



分解能と負荷容量C<sub>L</sub>, 消費エネルギーE<sub>c</sub>



# 比較時のノイズのまとめ

52

TOKYO TECH  
Pursuing Excellence

12bitの設計例

標本化容量, ダイナミック増幅器の負荷容量, スイッチ抵抗, 寄生容量, 積分時間などを最適化する必要がある。

## 1) Csへの標本化ノイズ

サンプリング容量Csを増やす

$$\overline{V_{n1}^2} = \frac{2kT}{C_s}$$

量子化ノイズ

$$\overline{V_{nq}^2} = 11 \times 10^{-9}$$

$$C_s = 3 \text{ pF}$$

$$\overline{V_{n1}^2} = 3 \times 10^{-9}$$

## 2) スイッチのオン抵抗から発生するノイズ

スイッチ抵抗R<sub>on</sub>を下げる  
積分時間T<sub>d</sub>を長くする

$$\overline{V_{n2}^2} = \frac{8kTR_s}{\left(1 + \frac{C_p}{C_s}\right)^2} T_d$$

$$\overline{V_{n2}^2} = 3.8 \times 10^{-9}$$

$$C_p = 1 \text{ pF}, T_d = 100 \text{ ps}$$

## 3) ダイナミック増幅器自身のノイズ

負荷容量C<sub>L</sub>を増やす

$$\overline{V_{n3}^2} = \frac{2kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$

$$\overline{V_{n3}^2} = 4.2 \times 10^{-9}$$

$$C_L = 1 \text{ pF}, V_{os} = 0.6 \text{ V}, V_{eff} = 0.2 \text{ V}$$

## 4) ラッチで発生するノイズの入力換算ノイズ (12bit程度では無視できる)

出力振幅を上げる(限度がある)

$$\overline{V_{n4}^2} = \frac{V_{n\_latch}^2}{G^2} = \frac{V_{eff}^2}{4V_{os}^2} V_{n\_latch}^2$$

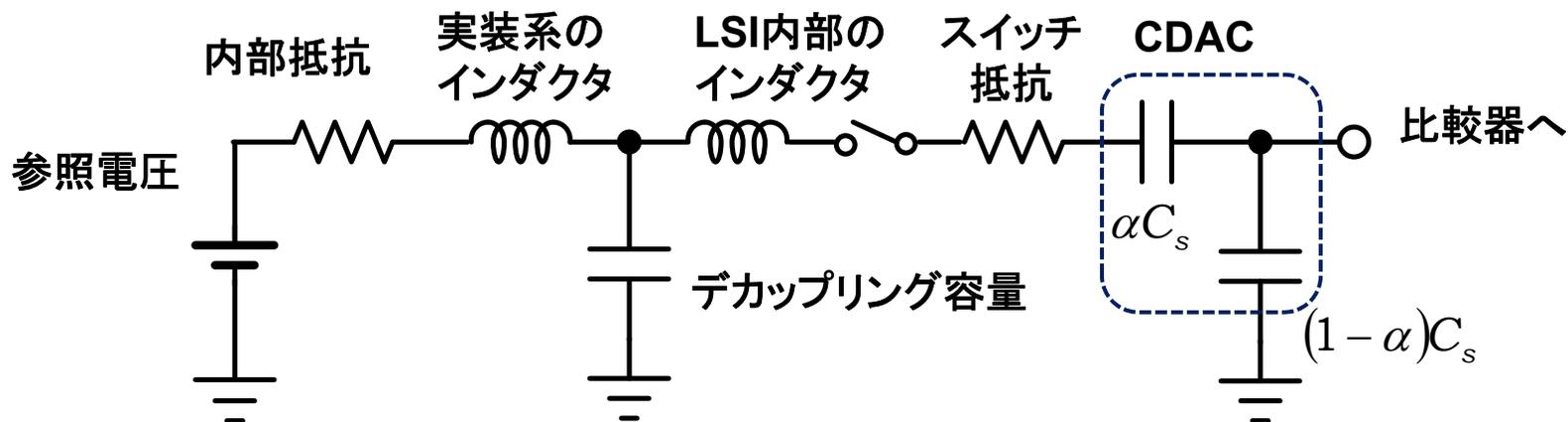
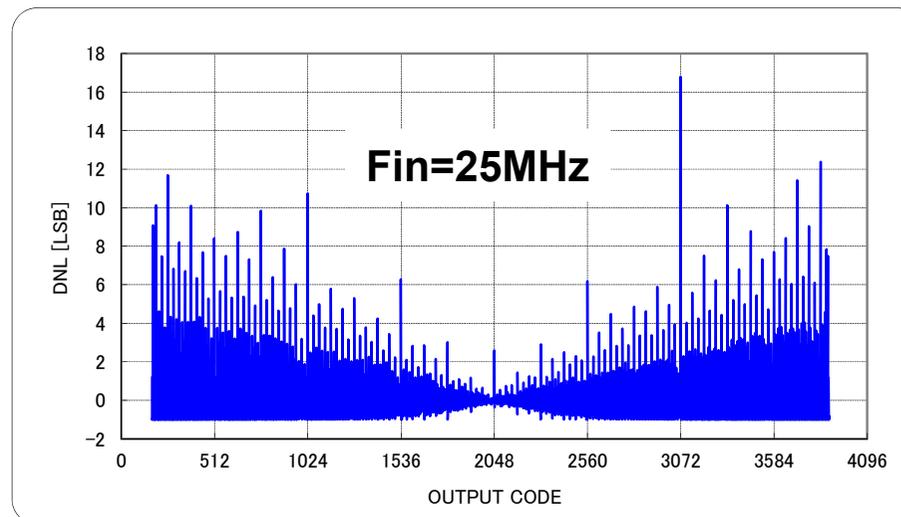
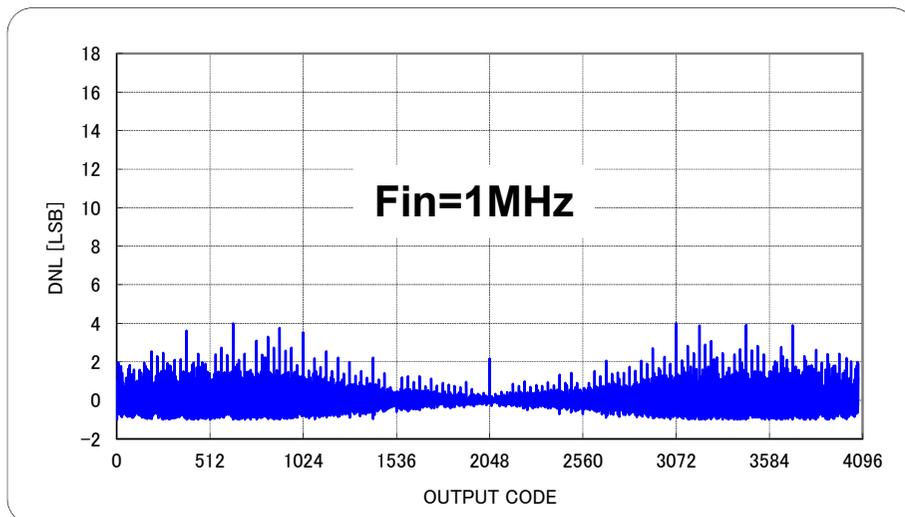
$$f_{ps} = 8 \text{ GHz}, f_{psn} = 12.6 \text{ GHz}$$

$$f_{pcn} = 5 \text{ GHz}$$

参照電圧周辺や入力信号端のインピーダンス特性が変換特性に影響を与える。

最もタフな課題であろう

SAR ADCはこんな特性が観測される



参照電圧周辺の等価回路

# 参照電圧回路のインピーダンスの影響

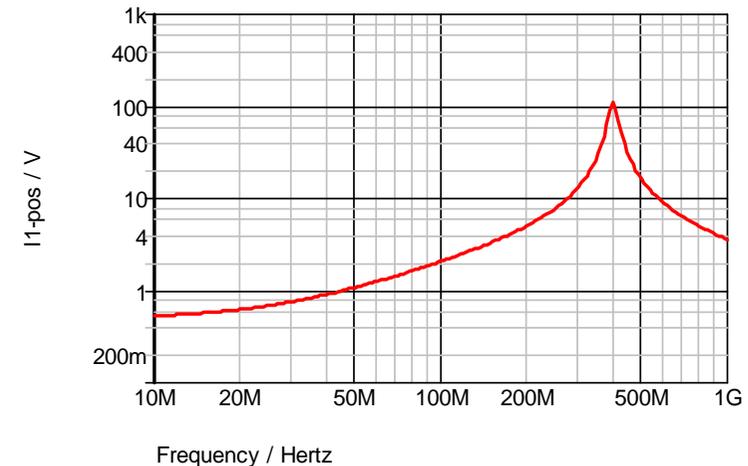
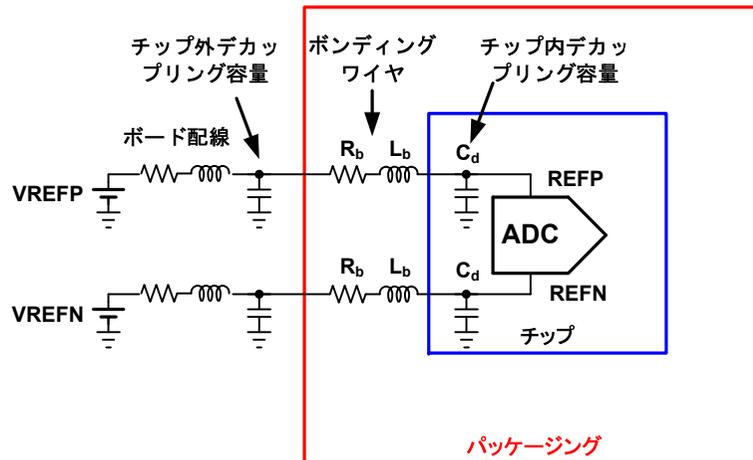
54

TOKYO TECH  
Pursuing Excellence

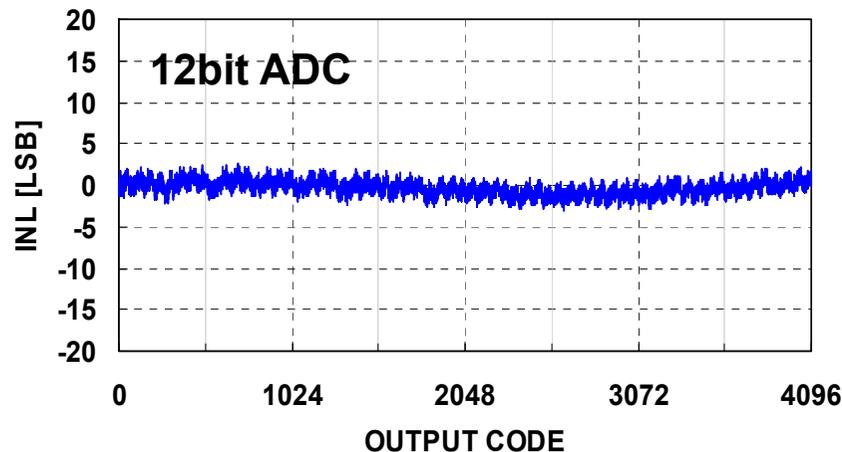
参照電圧回路のインピーダンスが高く、周波数特性を持つ場合は  
ADCの直線性が大きく劣化する

## 開発の失敗例

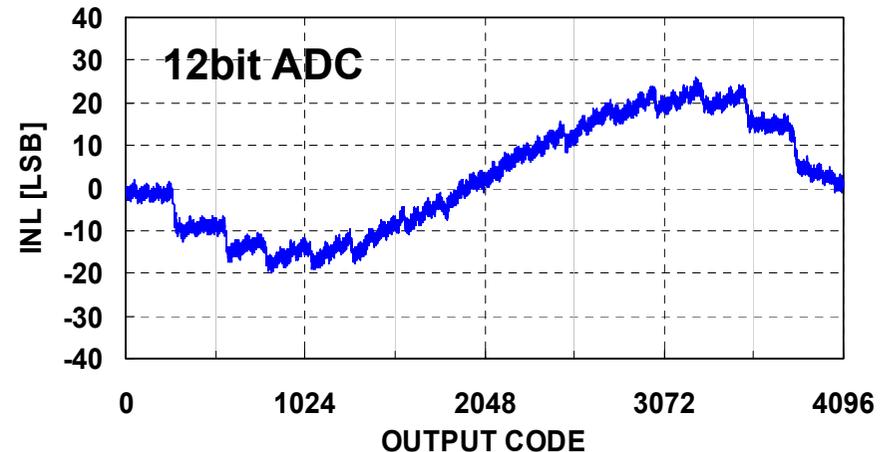
### インピーダンス特性



10MS/s, 375Hzランプ波入力

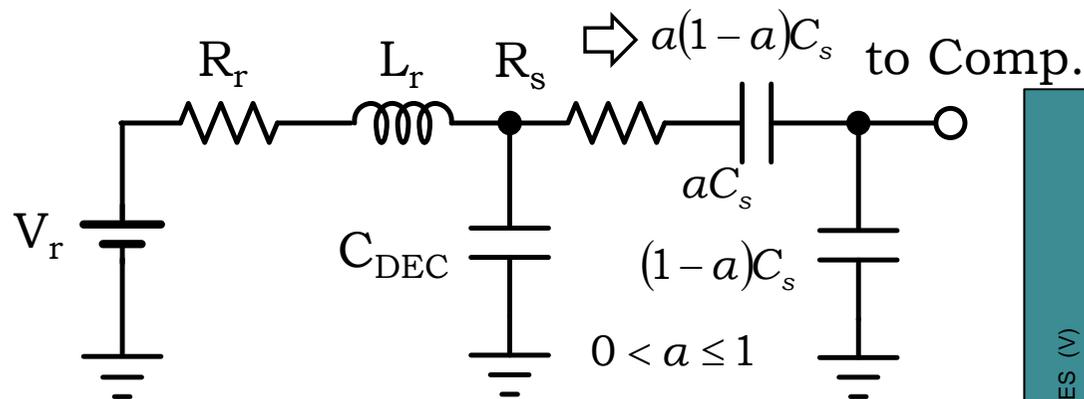


100MS/s, 3.75kHzランプ波入力



# 参照電圧の時間応答

動作速度が速いときは、CDC容量とデカップリング容量の電荷分配で参照電圧が決まり、その後インピーダンスに応じた応答になる。  
しかも実効参照電圧は入力信号依存性やビットサイクル依存性を持つ。



1LSB: 0.5mV @ 12bit

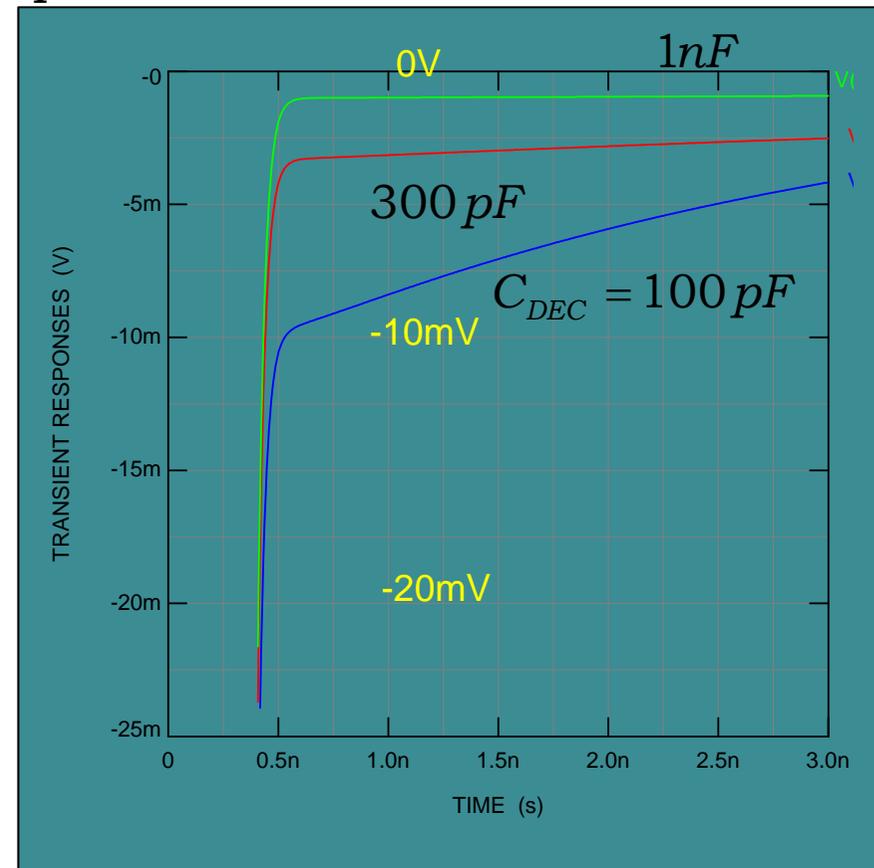
$C_s = 4\text{ pF}$   
 $a = 0.5$   
 $R_s = 20\Omega$   
 $R_r = 30\Omega$   
 $L_r = 5\text{ nH}$   
 $V_r = 1.0\text{ V}$

$$\Delta V_r \approx \frac{(1-a)C_s}{C_{DEC}} (V_R - V_{int})$$

$V_{int}$ : Initial voltage of  $C_s$

$$\Delta V_r(t) \approx \Delta V_r(0)e^{-\frac{t}{\tau}}$$

$$\tau \approx R_r C_{DEC}$$



# 寄生インダクタの考慮

56

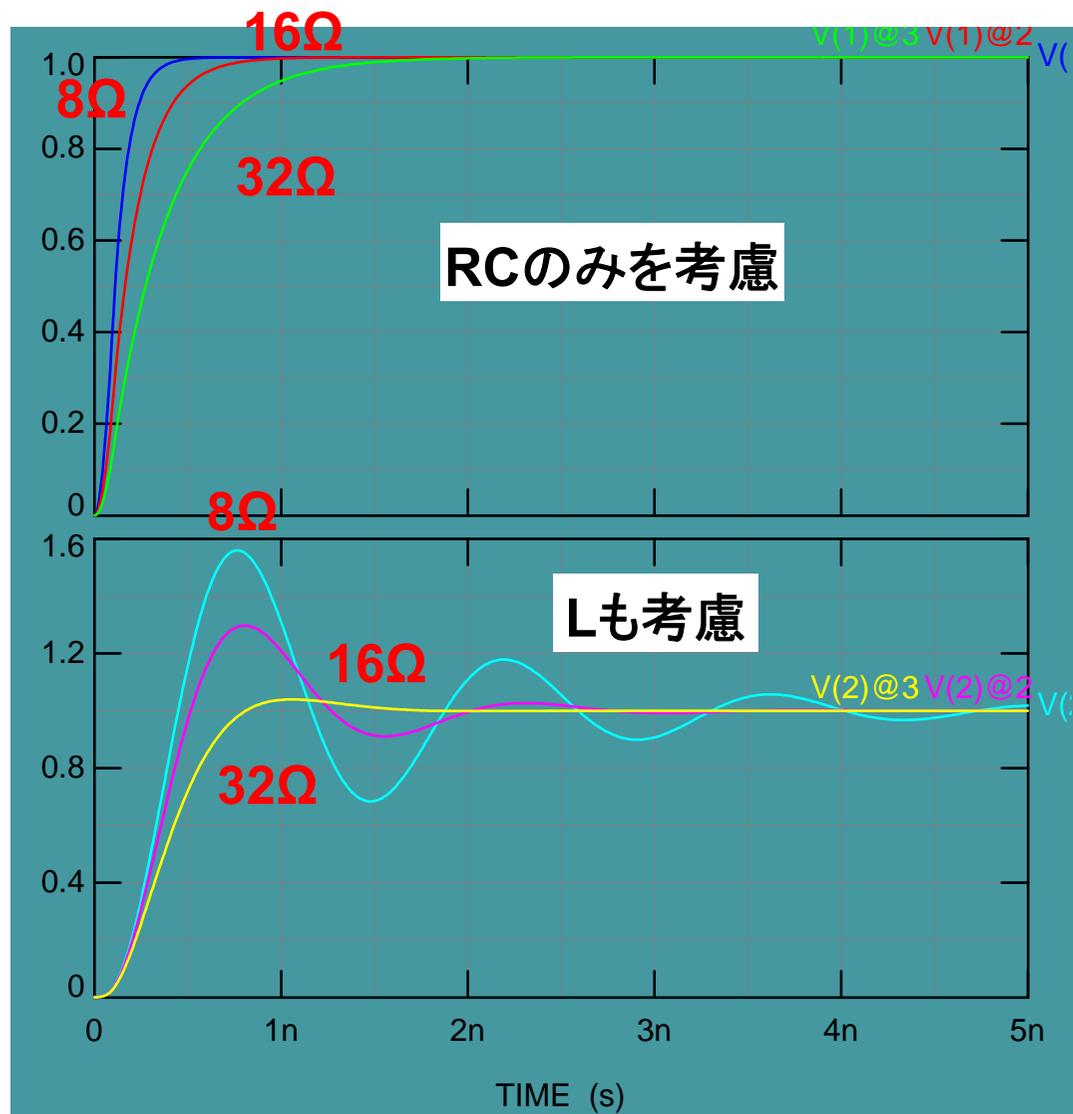
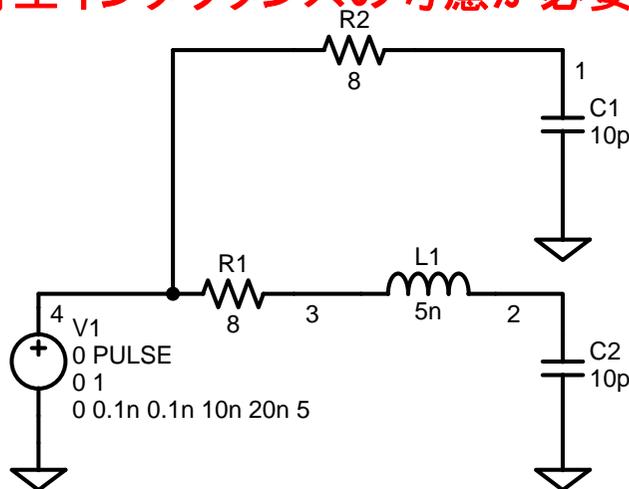
TOKYO TECH  
Pursuing Excellence

ダイナミックアナログ回路では電流変化が大きくなり、インダクタの影響が強まる

$$V = L \frac{dI}{dt}$$

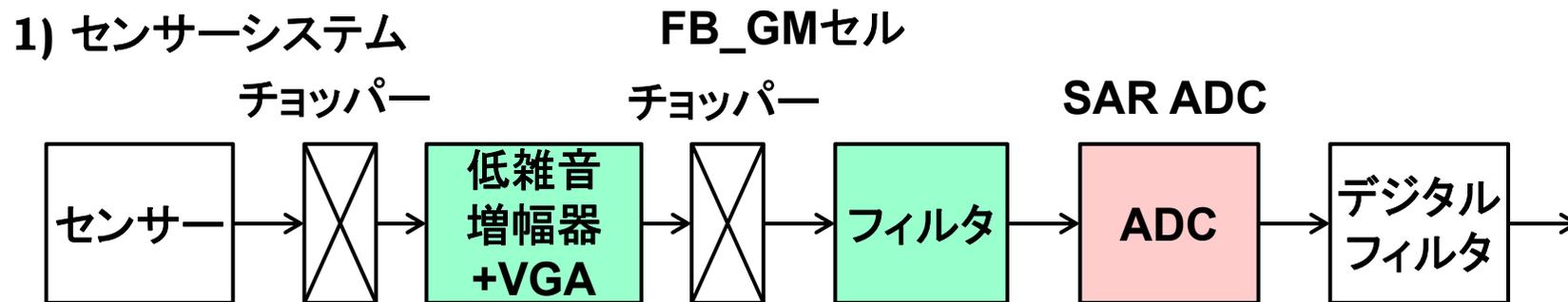
寄生インダクタを考慮しないRC回路では低抵抗ほどセッティングが速いが、寄生インダクタLを考慮すると振動成分が現れ、やや高い抵抗の方がセッティングが速い

ボンディングやパッケージなどの寄生インダクタンスの考慮が必要

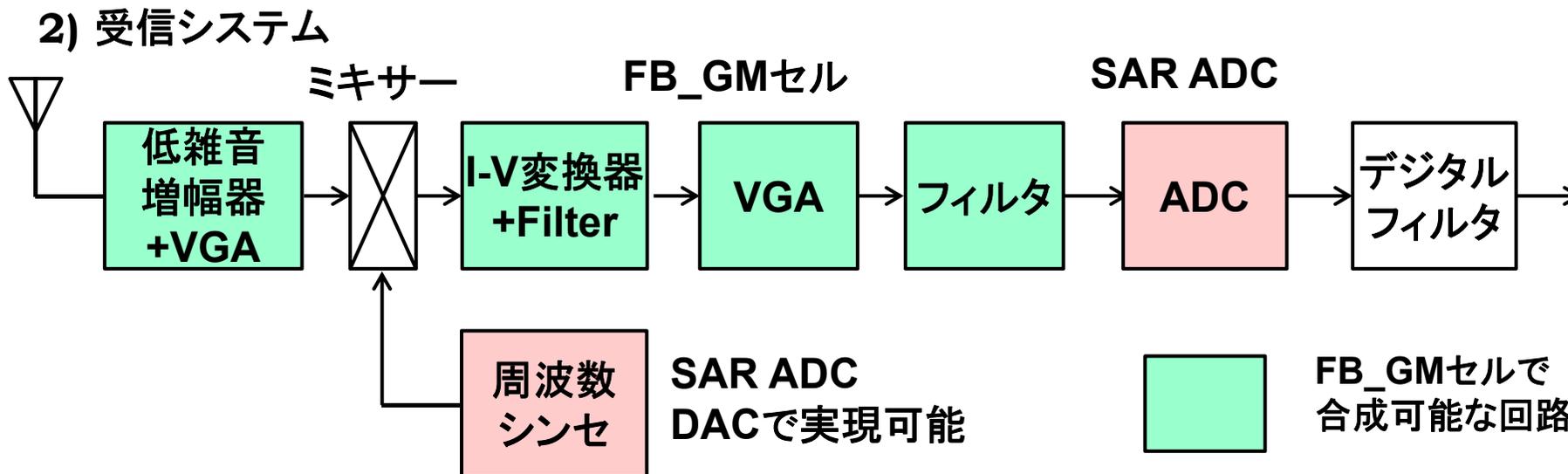


# ADC・アナログ回路開発の今後

SAR ADCとFB\_GMセルでたいいていのアナログフロントエンドは合成可能。

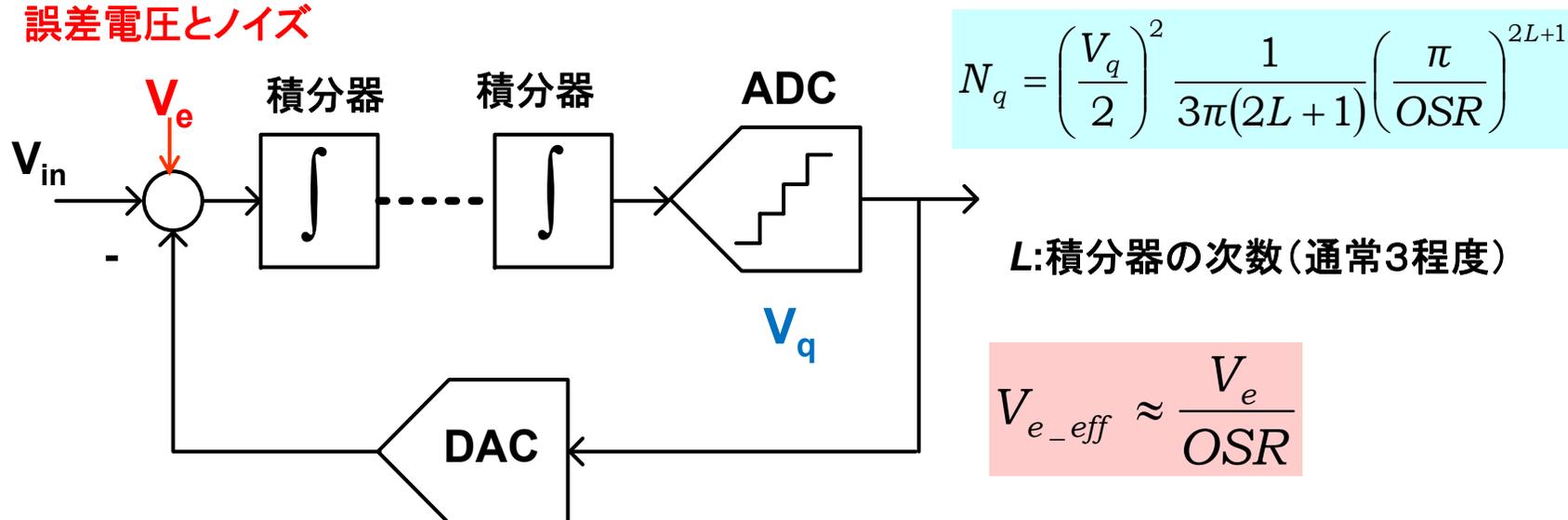


アナログマルチプレクサが必要な場合もある



現在、センサーや通信用途にΔΣ型ADCが使われているが  
今後ほんとうに必要か？

## 誤差電圧とノイズ



ΔΣ型ADCはノイズシェーピングにより量子化器(ADC)の量子化ノイズは十分に減衰させることが可能だが、入力端のノイズ(初段の積分器のノイズ)やDACの誤差電圧はオーバーサンプリング比でしか減らせない。

また、積分器は低電圧化が困難で、時定数の最適化が必要など、設計が複雑になる。CT型はアンチエイリアスフィルタが簡単と言われているがVGAとフィルタはどうせ必要ではないか。

# 開発中の65nm SAR ADC

60

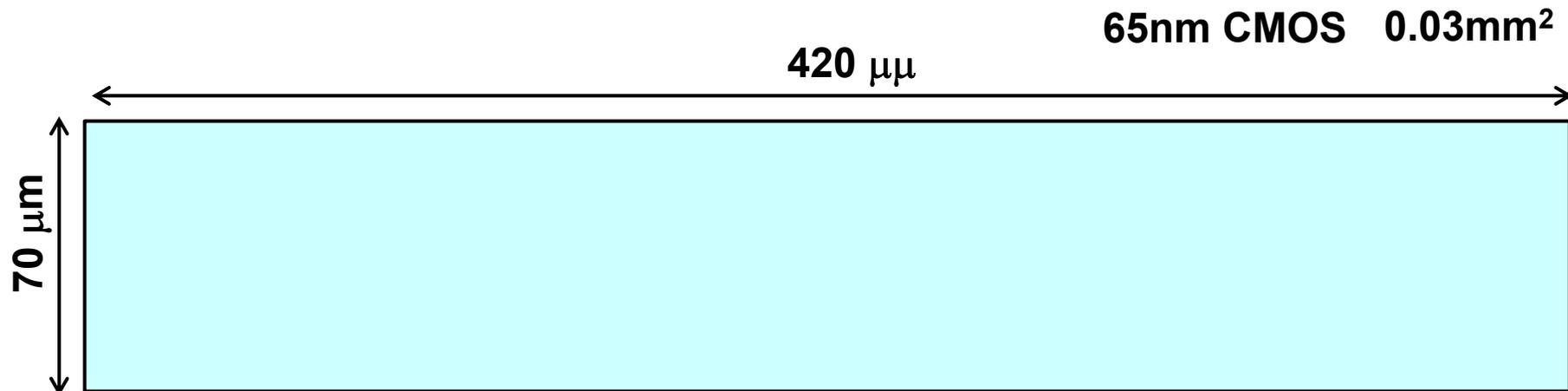
**TOKYO TECH**  
Pursuing Excellence

現在65nm CMOSを用いた12bit 80MSps SAR ADCを開発中。  
占有面積は極めて小さく、消費電力も極めて低い。

12bit, 80MHz, 3.2mW, 0.03mm<sup>2</sup>, SNDR>67dBが目標

インターリーブ動作を想定し、縦を短くしている

10bit, 120MHz, 0.8mW, 0.01mm<sup>2</sup> SNDR> 58 dBも可能



SAR ADCが完成すれば、同一ADCコアを用いてほとんどの用途に対応可能。

- ・低域・高SNR: **オーバーサンプリング**により対応可能
- ・広帯域・中SNR: **インターリーブ**により対応可能

## ADCの性能傾向

$$SNR \approx SNR_0 - 10 \log(BW)$$

SNR<sub>0</sub>: 1HzのときのSNR

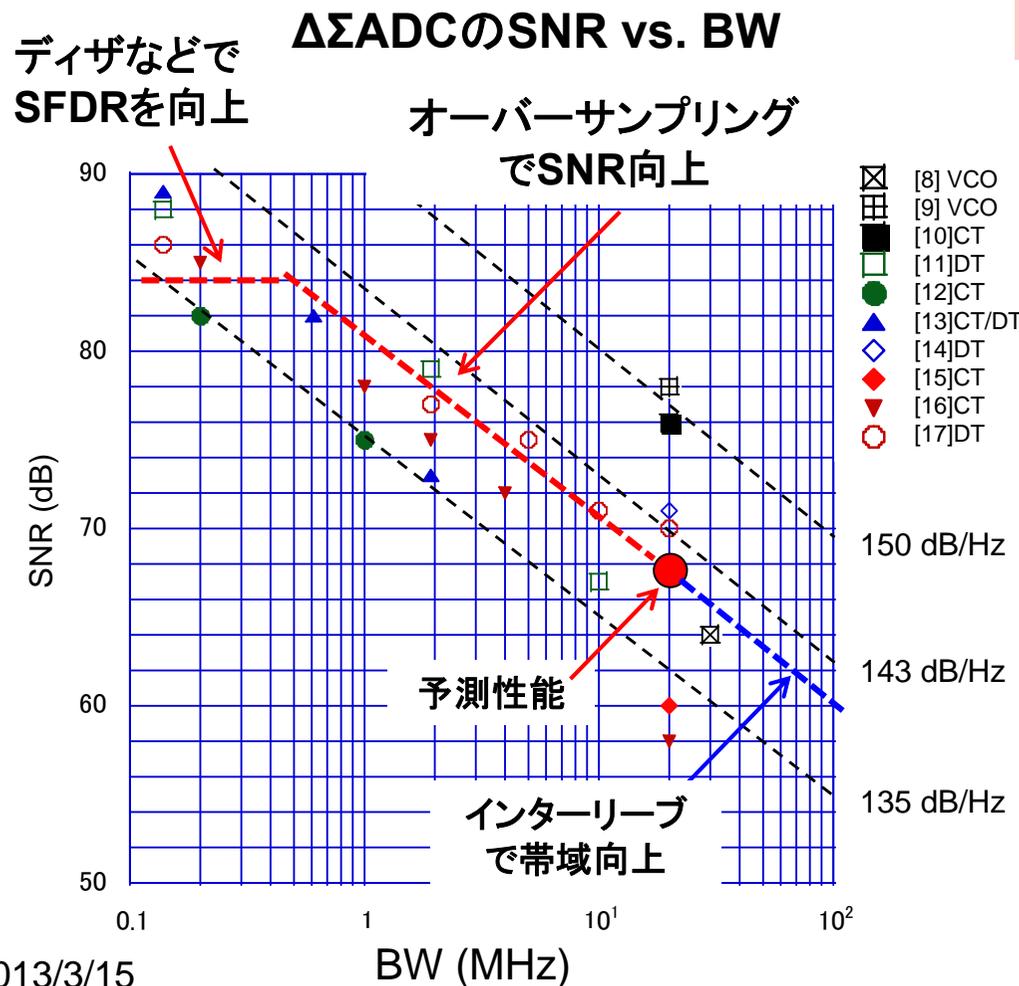
SNR<sub>0</sub>: 実力は140dB程度

## オーバーサンプリングADCの性能

$$SNR \approx SNR_N + 10 \log(OSR)$$

$$= SNR_N + 10 \log\left(\frac{f_s}{2BW}\right)$$

SNR<sub>N</sub>: ナイキスト周波数のときのSNR

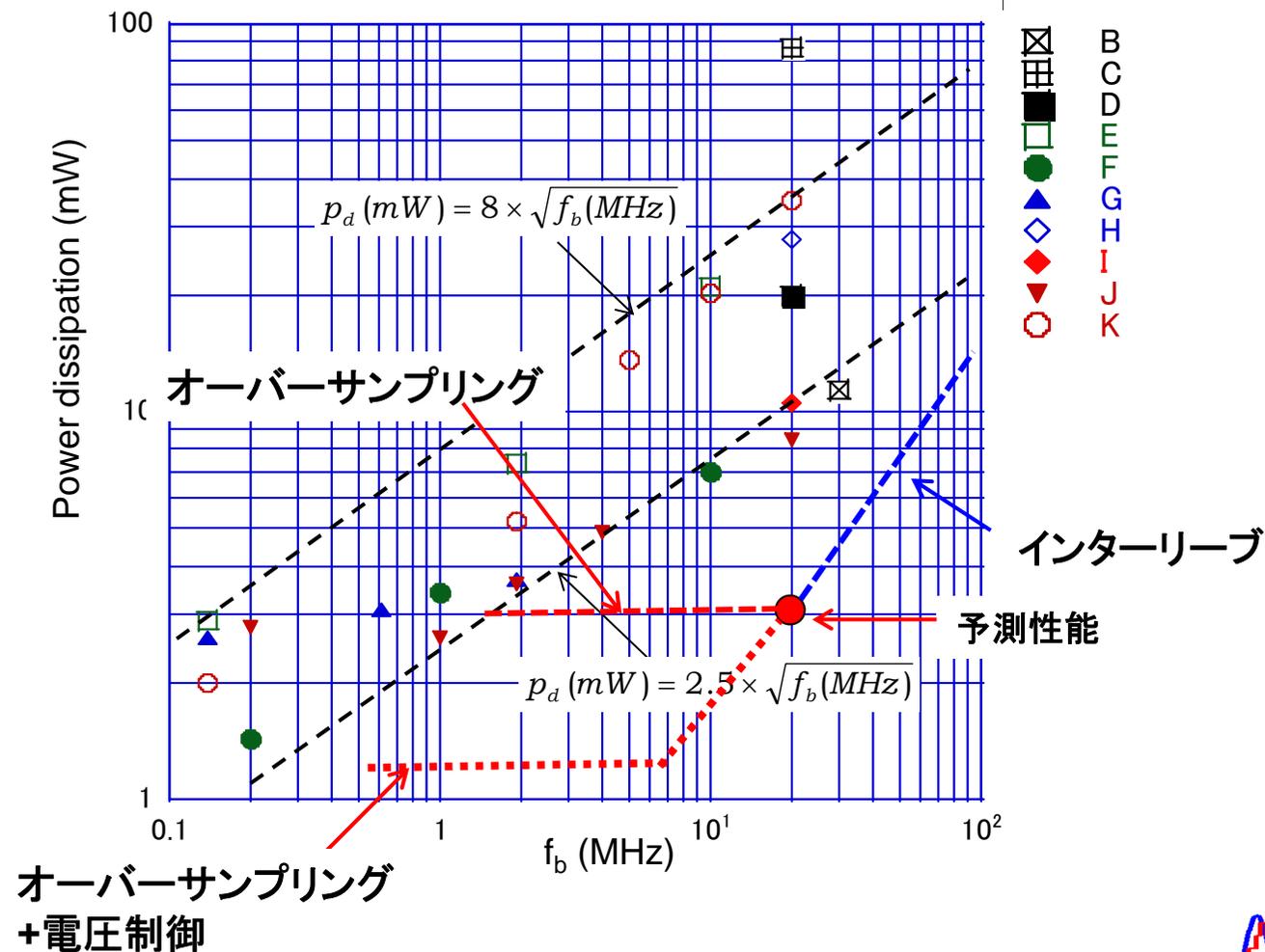


# SAR ADCのインパクト：消費電力

62

SAR ADCを用いてオーバーサンプリングもしくはインターリーブを行っても  
 $\Delta\Sigma$ 型ADCよりも低消費電力で動作させることができる。  
 電圧制御技術により更に低電力化が可能。

今後、通信用 $\Delta\Sigma$ ADC, パイプライン型ADCは必要か？



# SAR ADCの性能と面積

63

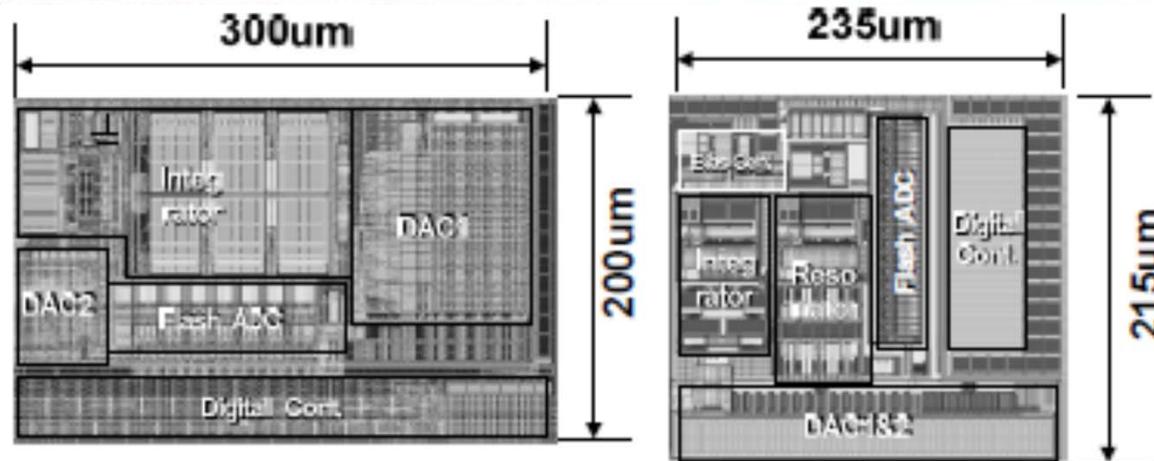
TOKYO TECH  
Pursuing Excellence

CTΔΣADCとして最も低いFoMと小さな面積のADCと比較  
それでもSAR ADCよりも大きい  $P_d=1mW$ が可能@1.0V

SAR ADC: 面積:  $0.03mm^2$  (65nm)  $P_d=1.5mW$ , SNDR=70dB

CTΔΣADC: 面積:  $0.05mm^2$  (40nm)  $P_d=2.6mW$ , SNDR=70dB

Conference	Technology	Area (mm <sup>2</sup> )	Power (mW)	SNDR (dB)	DR (dB)	BW (MHz)	Fs (MHz)	FOM (fJ/conv.)	FOM2
Modulator-B	40nm	0.051	2.57	70.0	70.6	10	300	50	166.5
Modulator-A	65nm	0.060	1.36	68.8	69.3	3	186	101	162.0
VLSI2011[4]	40nm	0.085	2.80	78.0	83.0	1.92	246	112	171.4
ISSCC2006[5]	130nm	1.2	20.0	74.0	76.0	20	640	122	166.0
ISSCC2011[6]	90nm	0.15	8.0	63.5	70.0	25	500	125	164.9
ISSCC2009[7]	65nm	0.084	4.52	79.1	80.0	2	128	153	166.5
CICC2010[2]	65nm	0.16	3.6	69.8	70.2	4	140	178	160.7



(a) Modulator-A

(b) Modulator-B

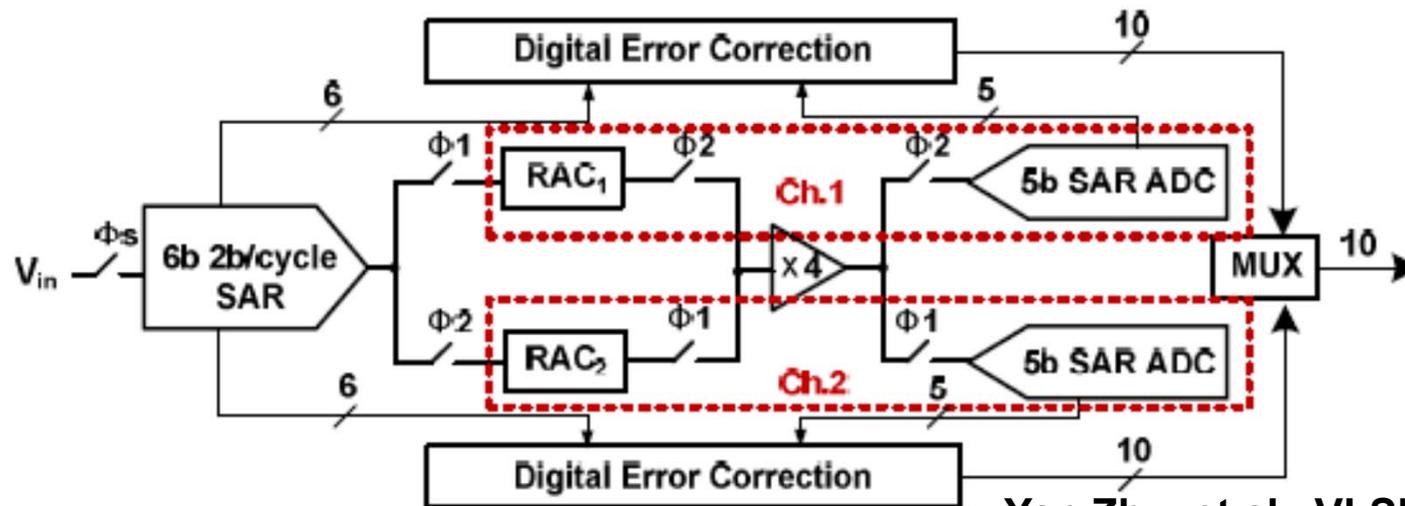
# SAR パイプライン型 ADC

64

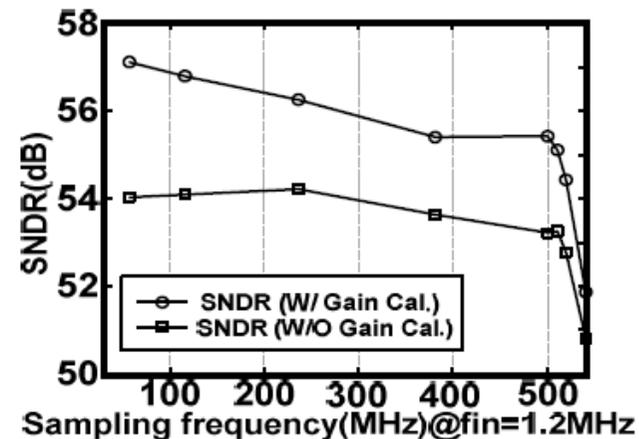
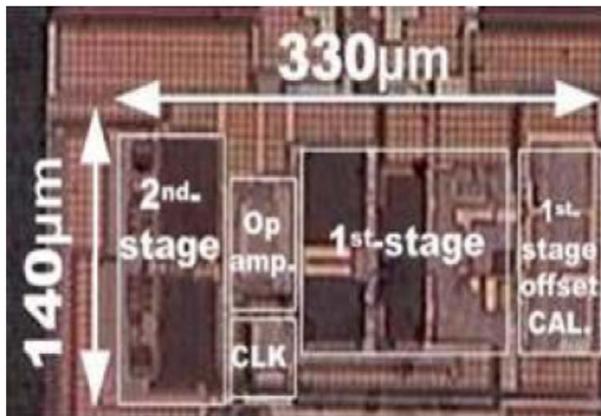
TOKYO TECH  
Pursuing Excellence

SARパイプライン型ADCも高速・高精度ADCとして魅力的であるが  
SARインターリーブと比較してどちらが優位かは未だ結論が出せない。

10bit, 500MSps, 8.2mW, FoM of 34fJ



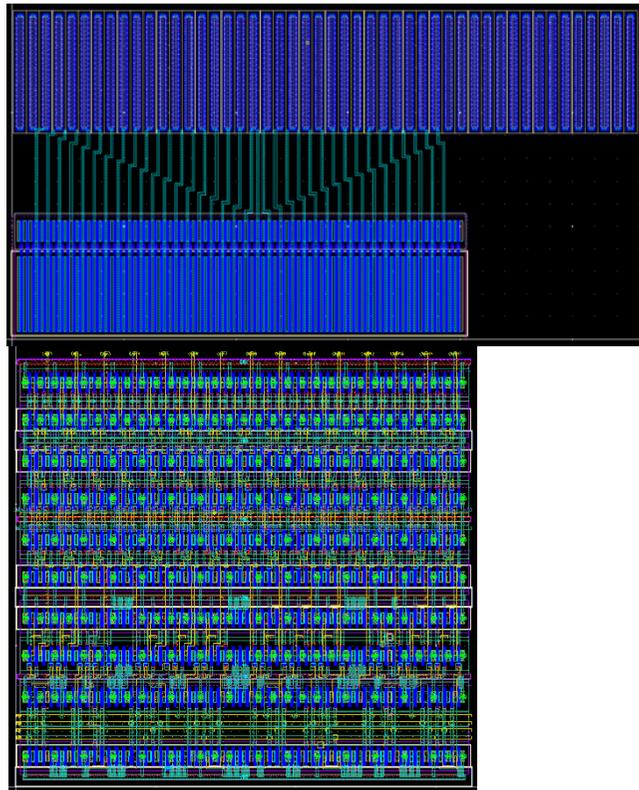
Yan Zhu, et al., VLSI Circuits, 2012



Macau univ.

- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
  - 微細化・低電圧化により設計難易度が上昇
  - 設計人材の減少(事業選択・集中, リストラ)
  - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
  - コア回路の種類をできるだけ絞る
  - 微細化・低電圧化に耐える回路のみを選抜
  - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
  - レイアウトを含め設計の大半を自動化する
  - テスト容易化設計も併せて行う

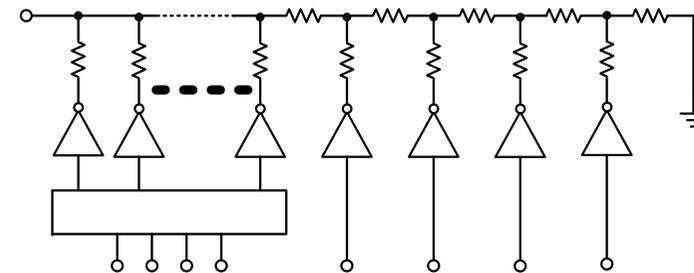
Skill言語を用いてレイアウトを自動生成したRDACおよびCDAC



最近のアナログ回路は規則性があるものが多い

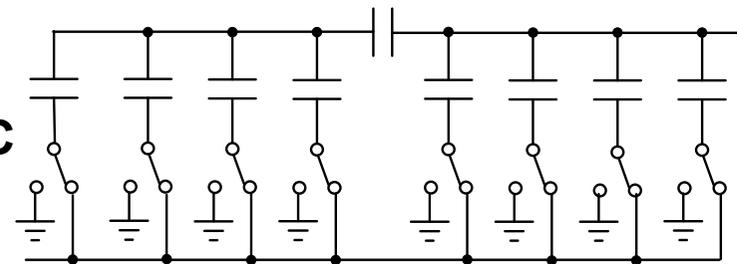
規則性のある回路は自動生成が容易

RDAC

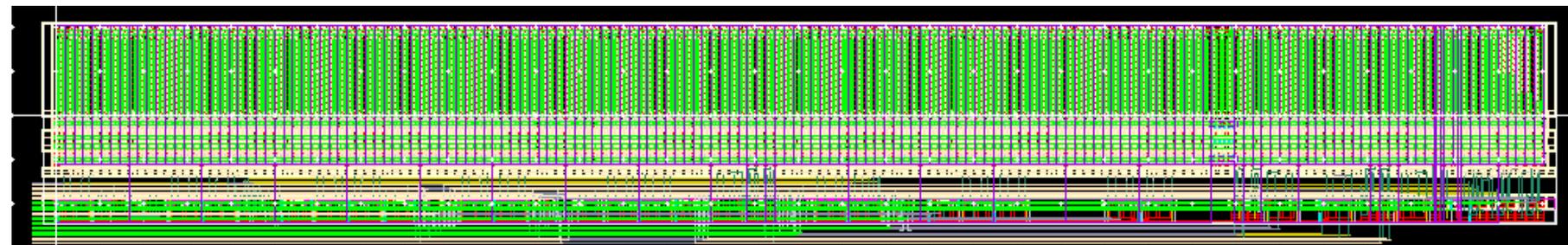


RDAC

CDAC

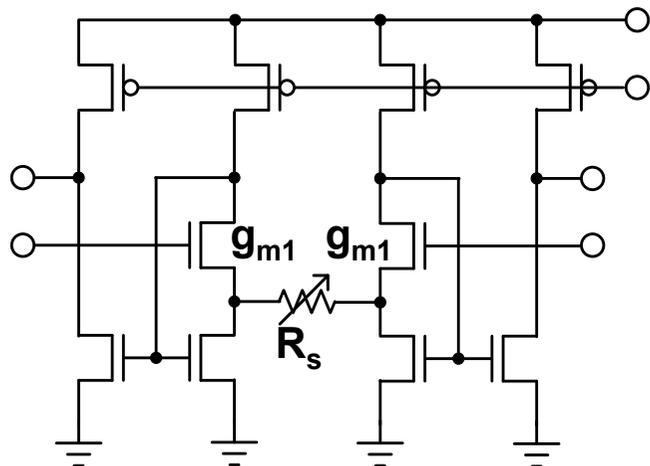


CDAC



# 帰還型 $g_m$ セルの可能性

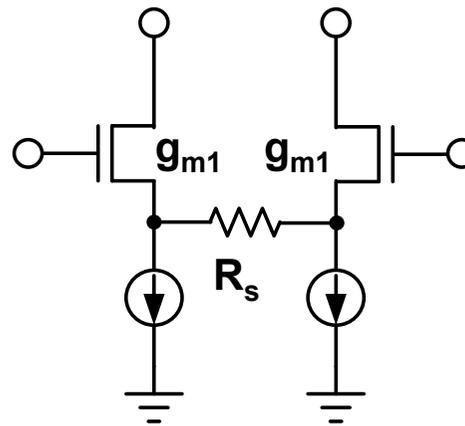
帰還型 $g_m$ セルは線形性が高く、低電圧化も可能である。  
フィルタ、VGAなど各種アナログフロントエンド回路が実現できる。



帰還型 $g_m$ セル

$$\frac{i_o}{v_{in}} \approx \frac{2}{R_s} \frac{1}{1 + \frac{1}{g_{m1} r_D}}$$

ドレイン抵抗 $r_D$ は十分高いので、 $g_m$ の非線形性の影響が小さい



従来の $g_m$ セル

$$\frac{i_o}{v_{in}} \approx \frac{2}{R_s} \frac{1}{1 + \frac{1}{g_{m1} R_s}}$$

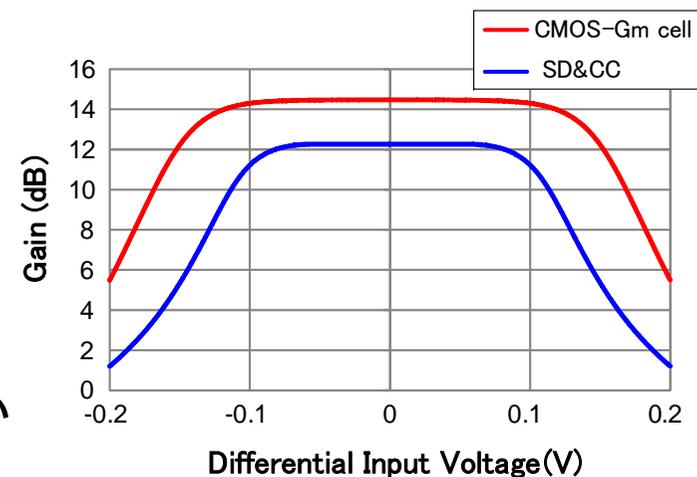
ソース間抵抗 $R_s$ は低いので、 $g_m$ の非線形性の影響が大きい

GBWは30GHz程度を確認

$$V_{DD \min} \approx V_T + 2V_{eff} \approx 0.6V$$

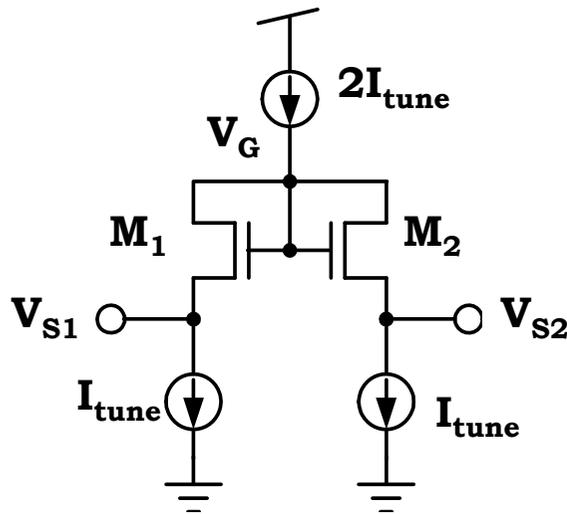
0.6V程度の低電圧動作が可能

良好な線形性と高い利得

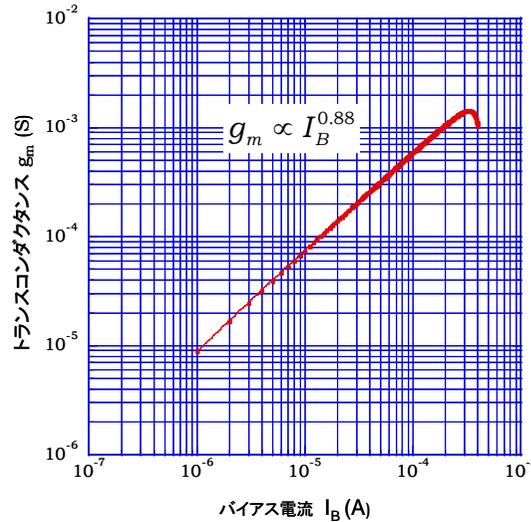


Tien-Yu Lo, Cheng-Sheng Kao, and Chung-Chih Hung, "A Gm-C Continuous-time Analog Filter for IEEE 802. 11 a/b/g/n Wireless LANs," ISSCS, vol.1, pp.41-44, Iasi, Romania, July 2007.

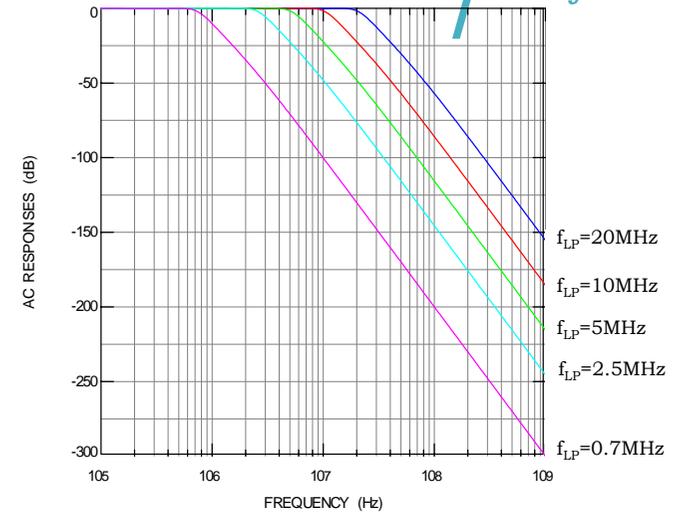
# 適用例：5次CTフィルタ



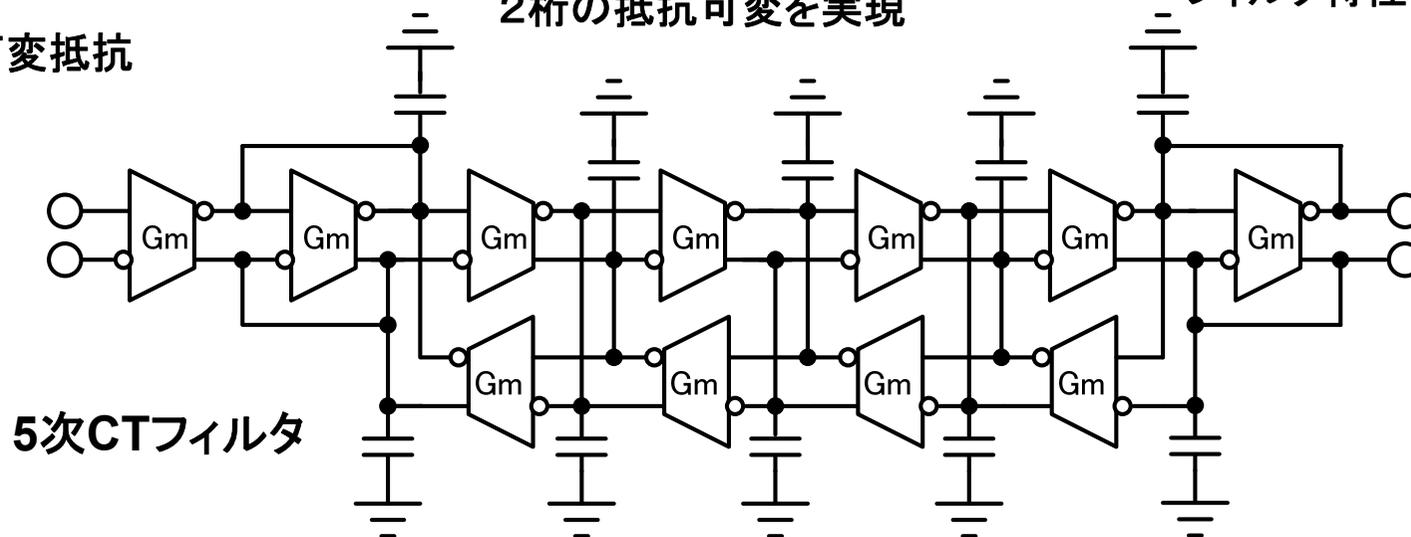
可変抵抗



2桁の抵抗可変を実現



フィルタ特性



5次CTフィルタ

浅田邦博, 松澤昭「アナログ・RFCMOS集積回路設計 応用編」 培風館

- ADCの性能向上が通信システムの性能向上の鍵。
- **フラッシュADC**は5~7ビットで数GSps程度の要求性能では最も合理的。  
60GHz**ミリ波BB**システムとして今後ともに**用いられる**。
- **パイプライン型ADC**はOpAmpの利得低下や電源電圧低下により設計が困難になった。
- 補間技術を用いた**補間パイプライン型ADC**を提案した。OpAmp を用いなくても12bit, 400Msps程度の性能は可能なものと思われる。
- 12bit **SAR ADC**を開発中。**12bit, 80MSps, 3mW, 0.03mm<sup>2</sup>**のめどがつつある。**0.7V**程度の低電圧動作も可能。
- SAR ADCは**ノイズモデル**や入力端・参照電圧端などの**実装周りの回路の過渡特性**が課題。
- **SAR ADC**に**オーバーサンプリング**や**インターリーブ技術**を用いると、無線通信に必要なほとんどの領域をカバーできる。
- 今後のアナログ・ADC回路開発は**微細化**, **低電圧化**に耐え, **最少面積**, **最少消費電力**の回路コアを厳選し, **少ないコアの組み合わせ**と, レイアウトまでの**設計自動化**で各種要求に迅速に対応できることが大切。
- 最終的には**プログラマブルアナログ回路**を目指す。