

光・無線通信の超高速化に向けた

高周波アナログ・デジタル集積回路技術

松澤 昭

東京工業大学
大学院理工学研究科

2013/3/12

- ・ 通信・記録システム技術の発展と集積回路技術
- ・ 60GHz CMOS トランシーバの開発
- ・ 60GHz CMOS 高周波回路設計のポイント
- ・ 超高速・低電力ADCの開発

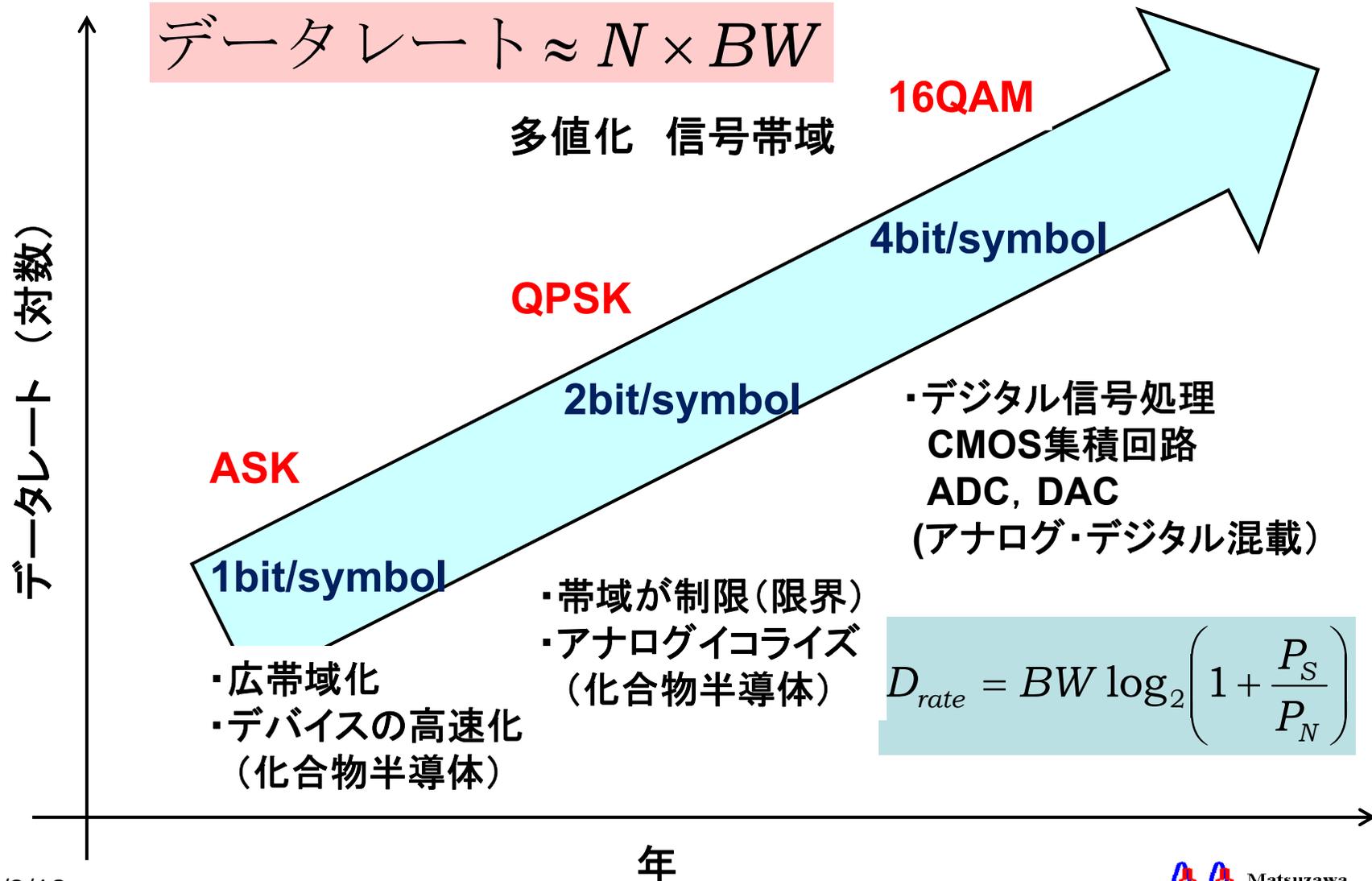
通信・記録システム技術の発展と 集積回路技術

通信・記録システムの発展

3

TOKYO TECH
Pursuing Excellence

通信・記録システムはデバイスの高速化・広帯域化が進んだ後多値化に向かい, ADC+デジタル信号処理技術が必要となる。

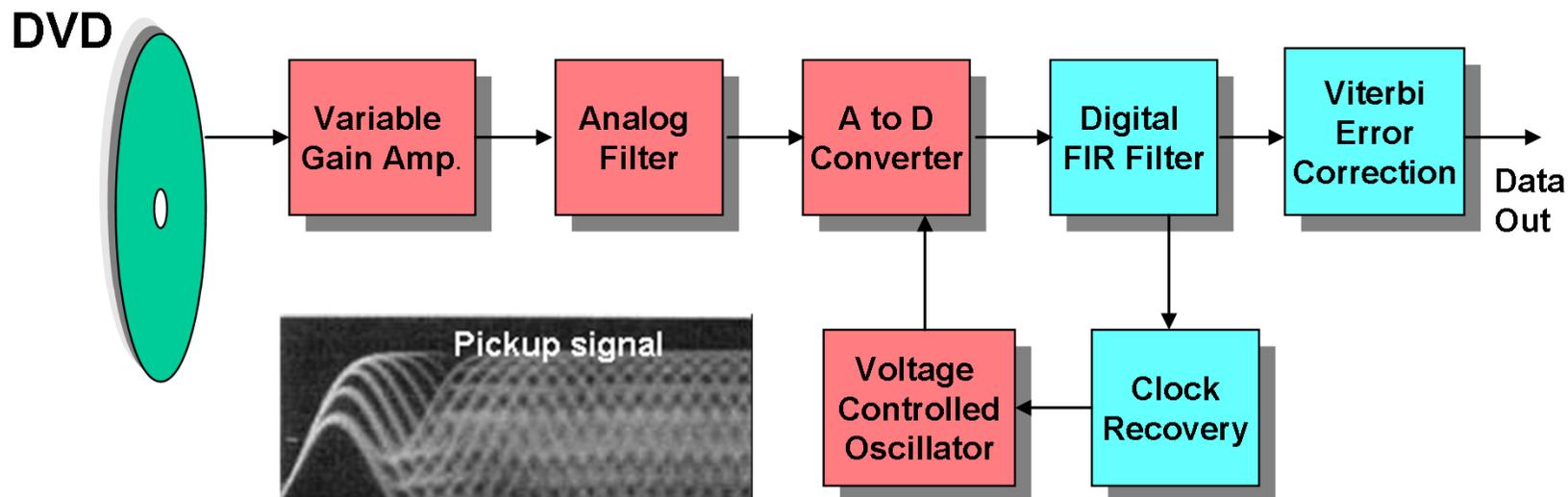


記録システムでの開発例

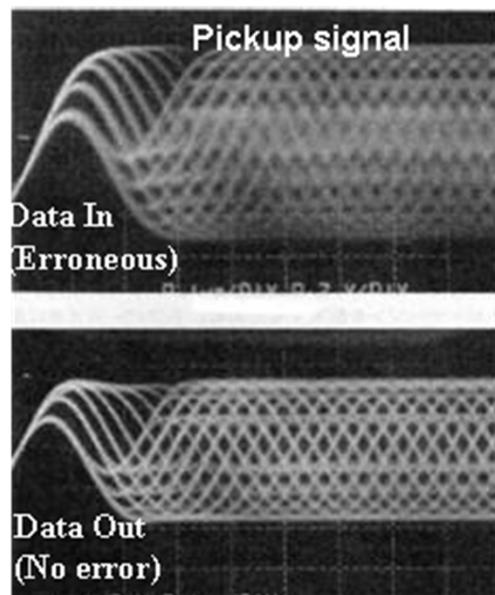
4

TOKYO TECH
Pursuing Excellence

DVDの信号処理にADCを含むアナログフロントエンドとデジタル信号処理の導入によりDVDの読み取り性能を飛躍的に向上させた。



デジタル
多値記録



DVDレコーダの例: デジタルリードチャンネル



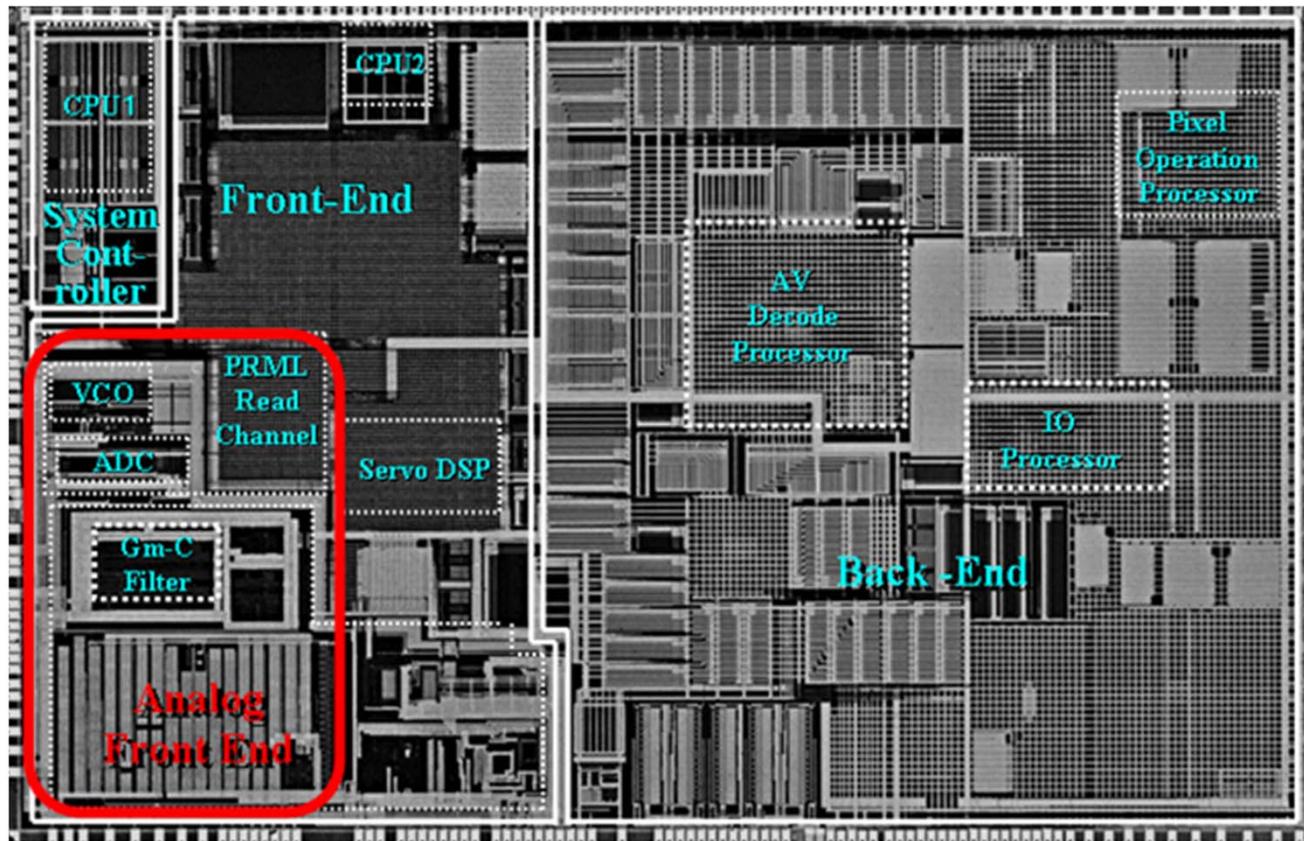
アナログ・デジタル混載SoC

5

TOKYO TECH
Pursuing Excellence

高性能アナログ回路やADCを含むDVDの全機能を世界で初めてワンチップに集積。アナログ・デジタル混載SoC時代の幕開けとなった。

アナログ・デジタル混載SoC技術により**高性能化と低コスト化を同時に実現**できる。



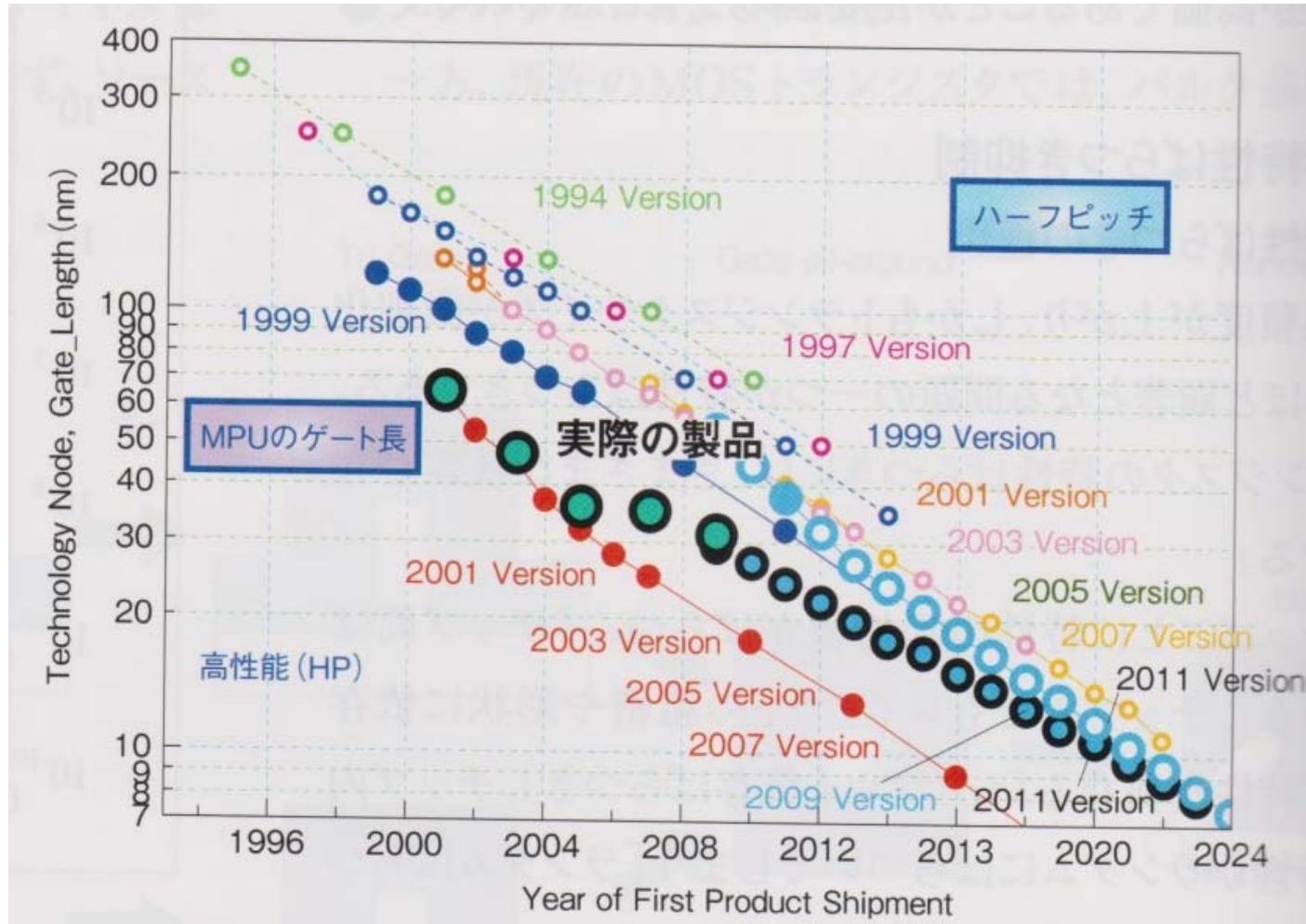
Okamoto, Matsuzawa,
et al., ISSCC 2003

このSoCシリーズは年間
1億個の生産量に達する

0.13um CMOS

微細化の進展

現在32nm CMOSが量産中, 7nm程度までは計画されている



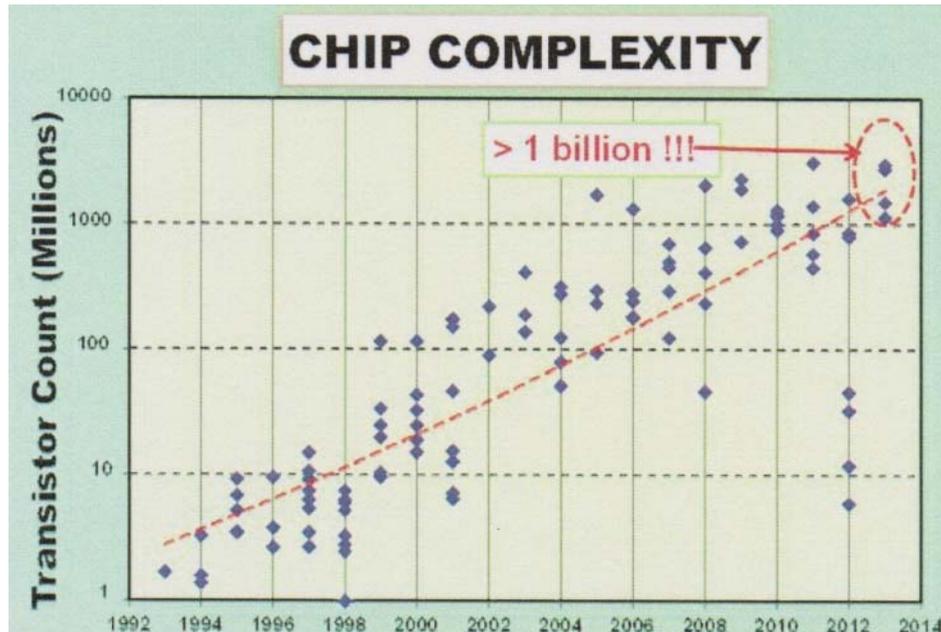
JEITA, "IC Guide Book 2より

性能の推移

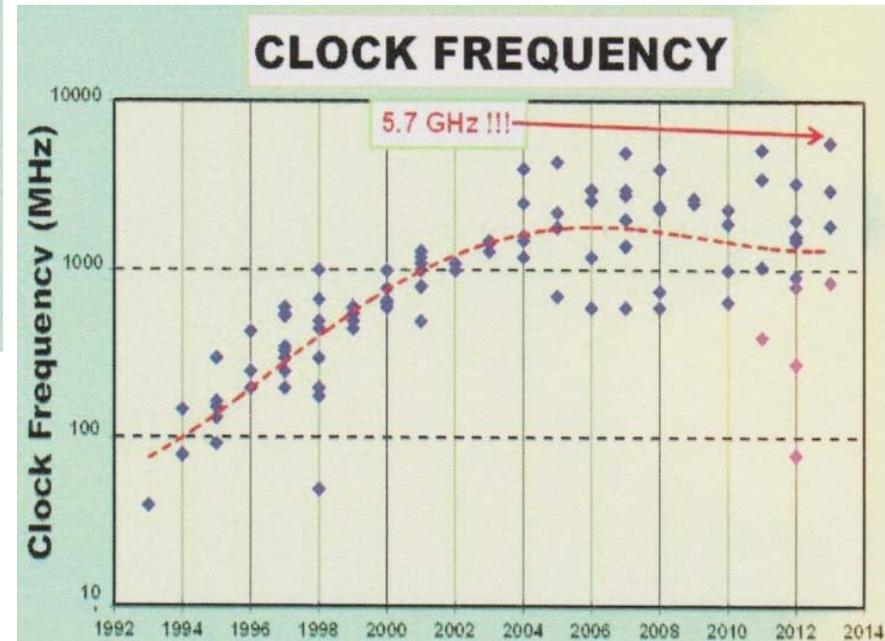
7

TOKYO TECH
Pursuing Excellence

トランジスタ数は最大数10億トランジスタ
で今後も増加する



クロック周波数は数GHzで飽和
コア数を増やすことで高速処理の方向



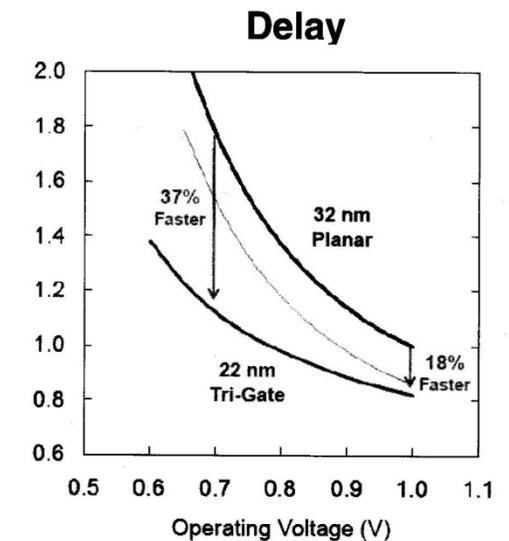
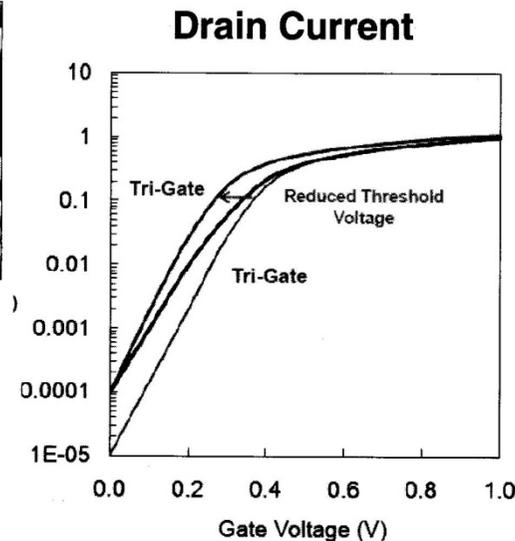
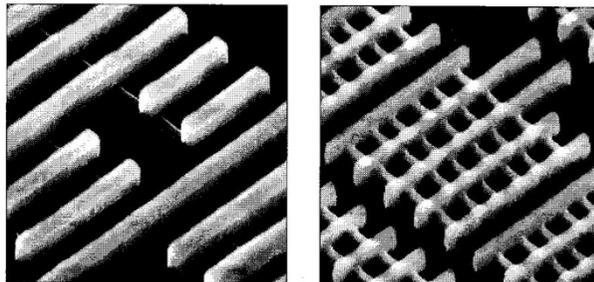
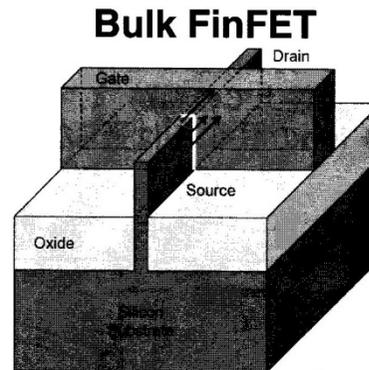
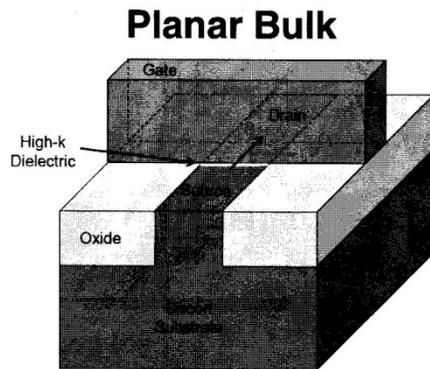
ISSCC 2013より

CMOSデバイスの大きな革新

8

TOKYO TECH
Pursuing Excellence

従来のバルクMOSFETから立体構造を用いたFinFETに大きく構造転換
リーク電流が大きく低減, もしくは低電圧でも高速動作が可能になった。



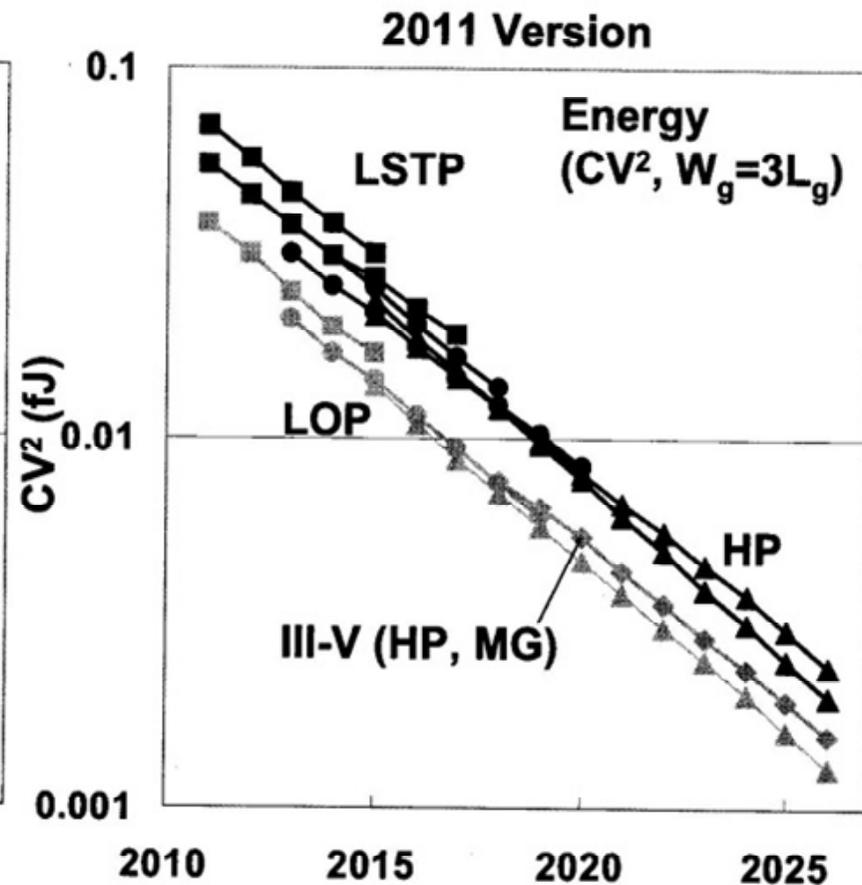
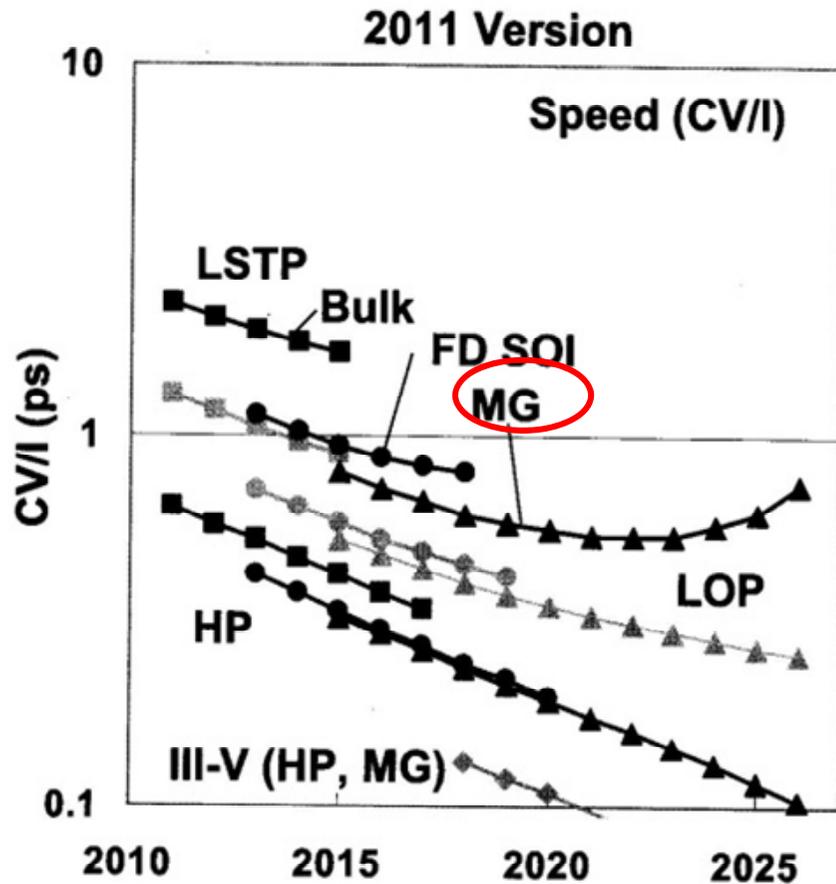
原図はインテル発表のもの

ゲート遅延時間と消費電力推移

FinFETなどのデバイスの革新により今後も消費電力は低減可能と予測
遅延時間はそれほどの改善は期待できないかもしれない

ゲート遅延時間

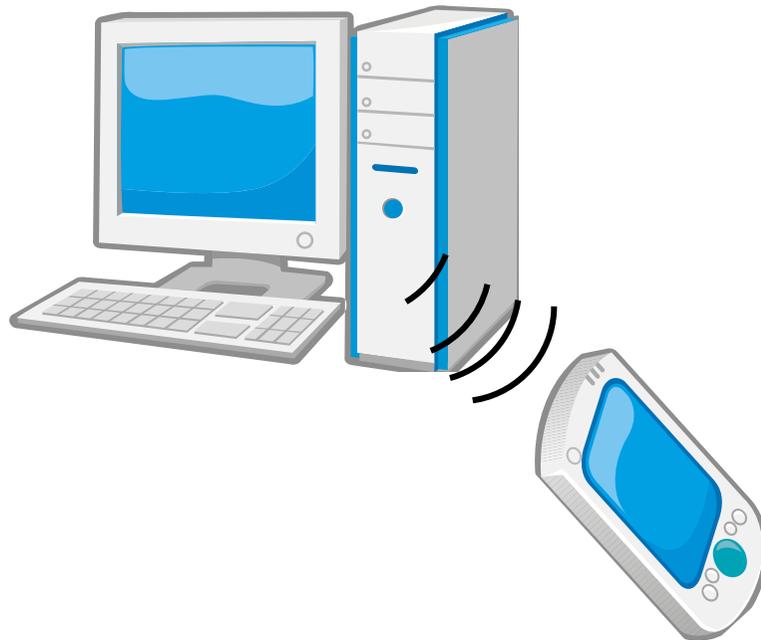
消費電力



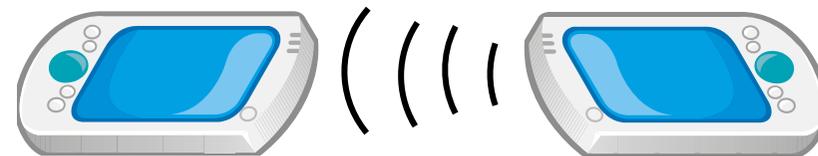
STARC アドバンス講座 低消費電力化技術セミナー (東大:平本教授)2012.03.13より

60GHz CMOS トランシーバの開発

ギガビット機器間データ伝送の実現 瞬時のデータ転送を狙い、小型、低電力



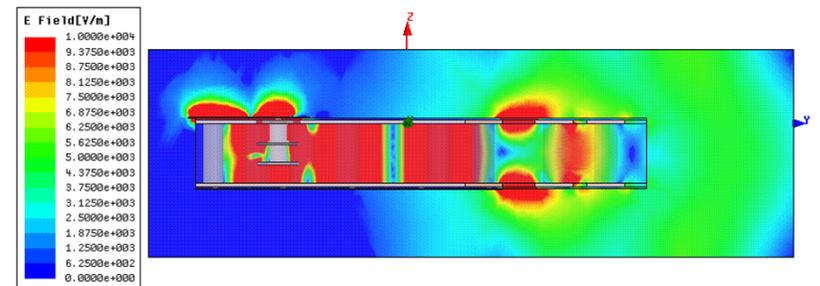
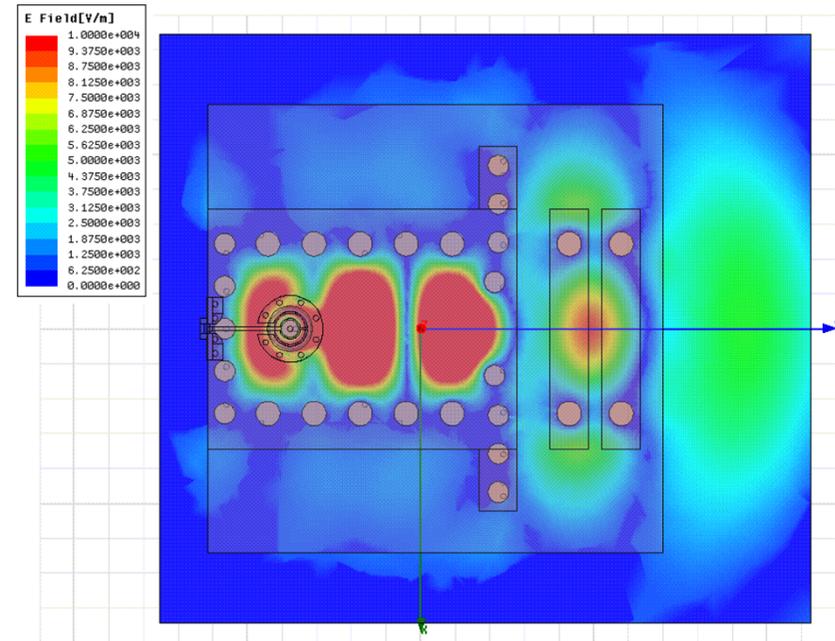
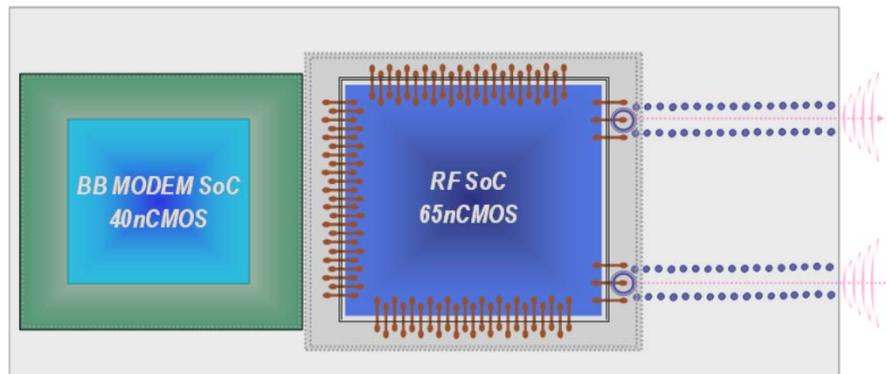
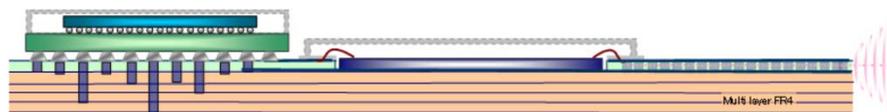
Kiosk download



Peer-to-peer

アンテナ内蔵基板にRFとベースバンドLSIが実装される。

低コスト



背景：無線通信量の急増

スマホの通信量は従来携帯の20倍程度に増加する

産新 月報

2012年(平成24年)1月7日(土曜日)

©日本経

スマートフォン通信急増

携帯電話大手が2012年度の設備投資を拡大する。NTTドコモは当初計画に300億円を上積みし、ソフトバンクは前年度比約5割増やす見通し。KDDI(au)を加えた大手3社の携帯関連事業向けの合計は1兆6000億円超と、3年連続で1割前後増える。スマートフォン(高性能携帯電話)の普及に伴う通信量の急増で回線不足への懸念が強まっており、高速基地局や基幹通信網の増強を急ぐ。(スマートフォン)の普及は3面(きょう)のことば「参照」

民間投資を携帯向けが下支え



12年度1割増

ドコモ 基地局を整備
ソフトバンク 5割上積みへ

通信業界は電力業界と並ぶ民間設備投資のけん引役で、設備投資全体の1割弱を占める。10年度の設備投資は2兆4000億円。携帯3社の投資が約6割を占め、今後も拡大が見込まれる。企業の生産拠点の海外移転加速に加え、10年度と同じく2兆4000億円の電力業界の設備投資は先行きに不透明感が強まっている。ほとんどを国内に投じる携帯向け投資の拡大基調は民間設備投資を下支えしそうだ。ドコモの11年度の設備投資は7280億円と10年度比で約600億円増える見込み。12年度は10年度以前の水準に減らす計画だったが、通信量の

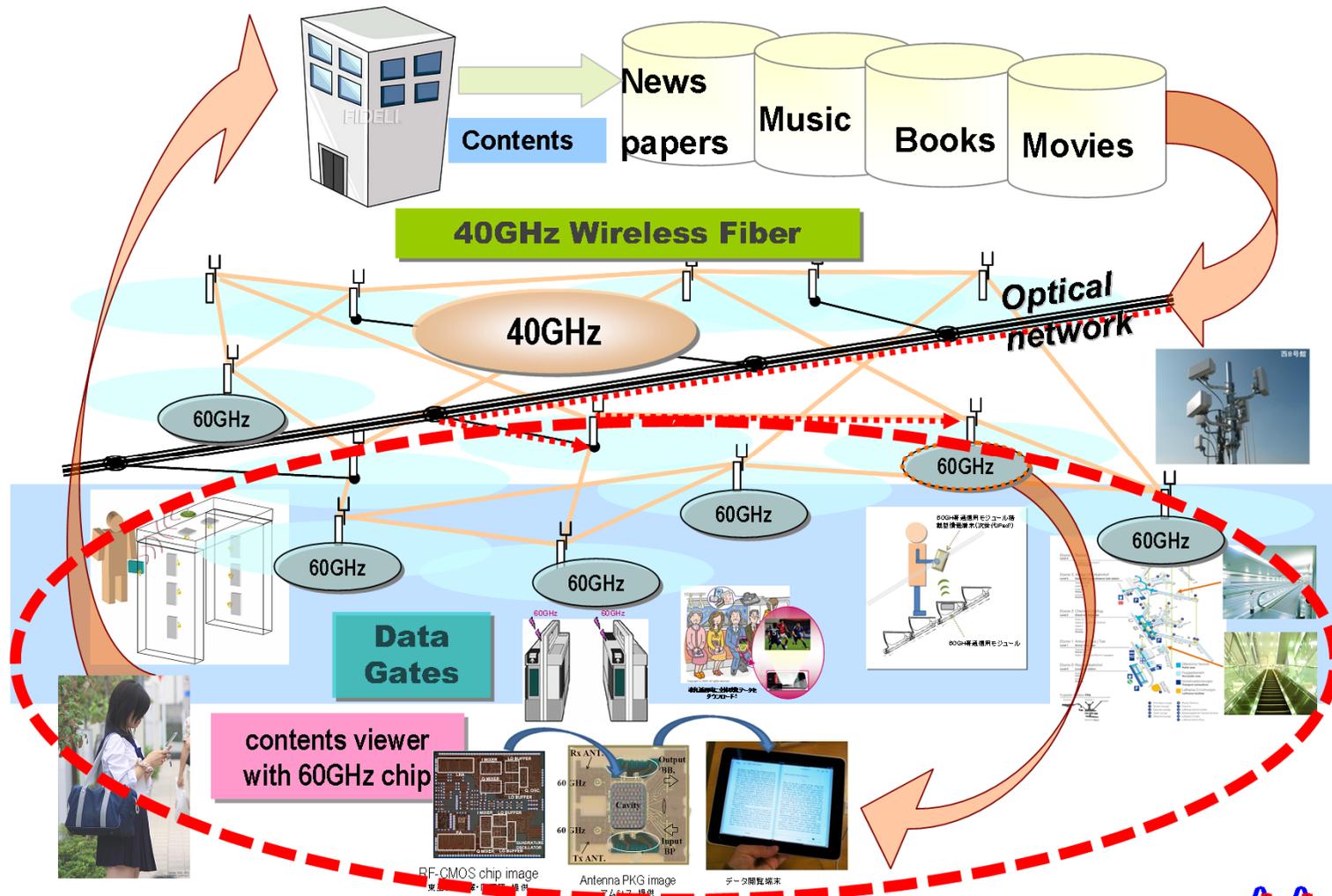
携帯3社 1.6兆円投資

にあったが11年度に下げ止まり、12年度は10年度比4%増の3400億円を投じる。米アップルのiPhone(アイフォン)発売で増えたデータ通信需要に対応する。ソフトバンクグループの12年度の携帯関連の設備投資は6000億円規模と、11年度比5割程度増える見通し。既存の携帯基地局の増設や、2月

に本格的に開始する次世代PHS技術を活用した高速無線通信サービス向けの投資が膨らむ。スマホはパソコンと同じように、ネット経由で画像や動画を見たり、ゲームを楽しんだりできるが、大量のデータを扱う結果、通信量は従来型携帯の10〜20倍になる。利用者の急増で11年12月にドコモのスマホでメールが誤表示されるなどの障害も起きた。MM総研によると、国内の携帯電話契約に占めるスマホ比率は10年度末の8・8%から15年度末には57・1%まで拡大する見通し。

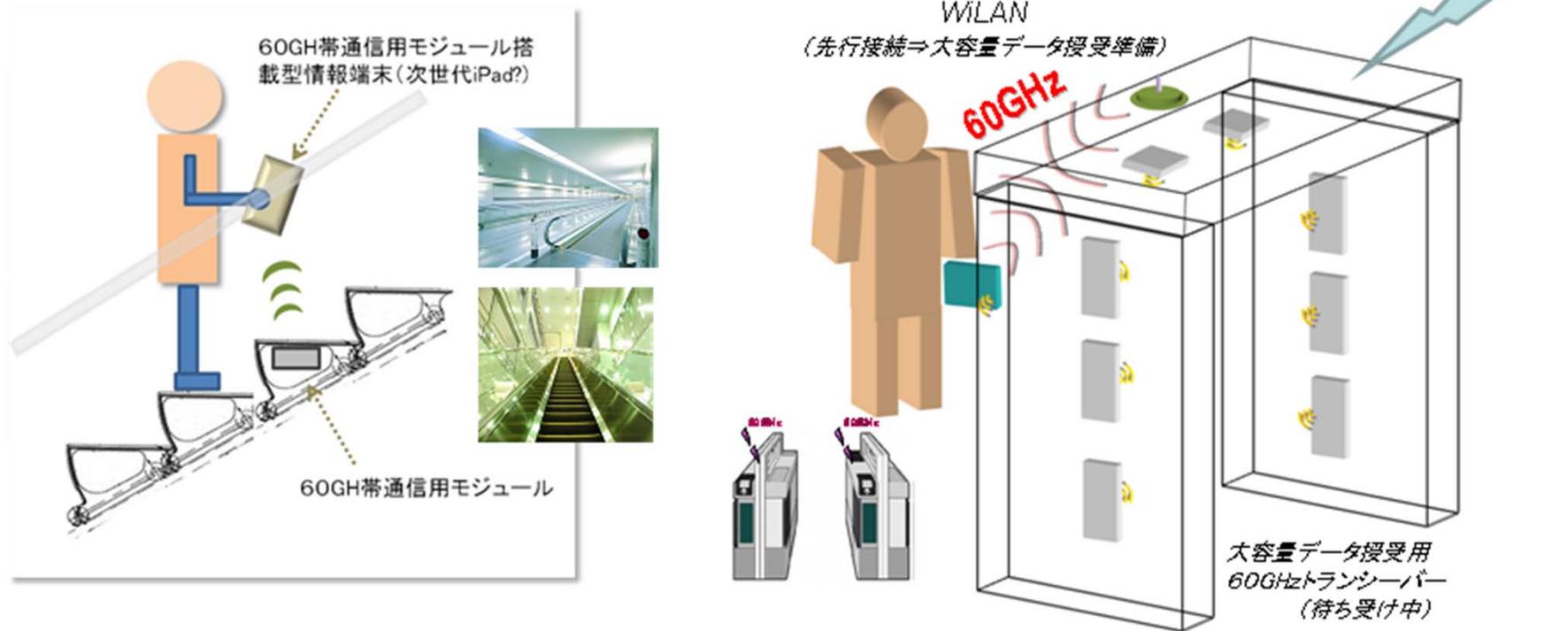
ミリ波ネットワークの将来イメージ / 14

ミリ波は機器間でのデータ転送に使用されるだけでなく、WiFi, WiMaxの基地局間同士を接続するとともに「ミリ波ゲート」を通過する間に必要なデータを転送できる



ミリ波は直進性が高いため、デバイスを対向させないと通信できない。
しかし、データ伝送が高速なため、**瞬時のデータ転送**が可能である。
そこで、「ゲート」を設け、そこを通過するときデータ転送を行ってはどうか？

GATES (Gigabit Access Transponder Equipment)



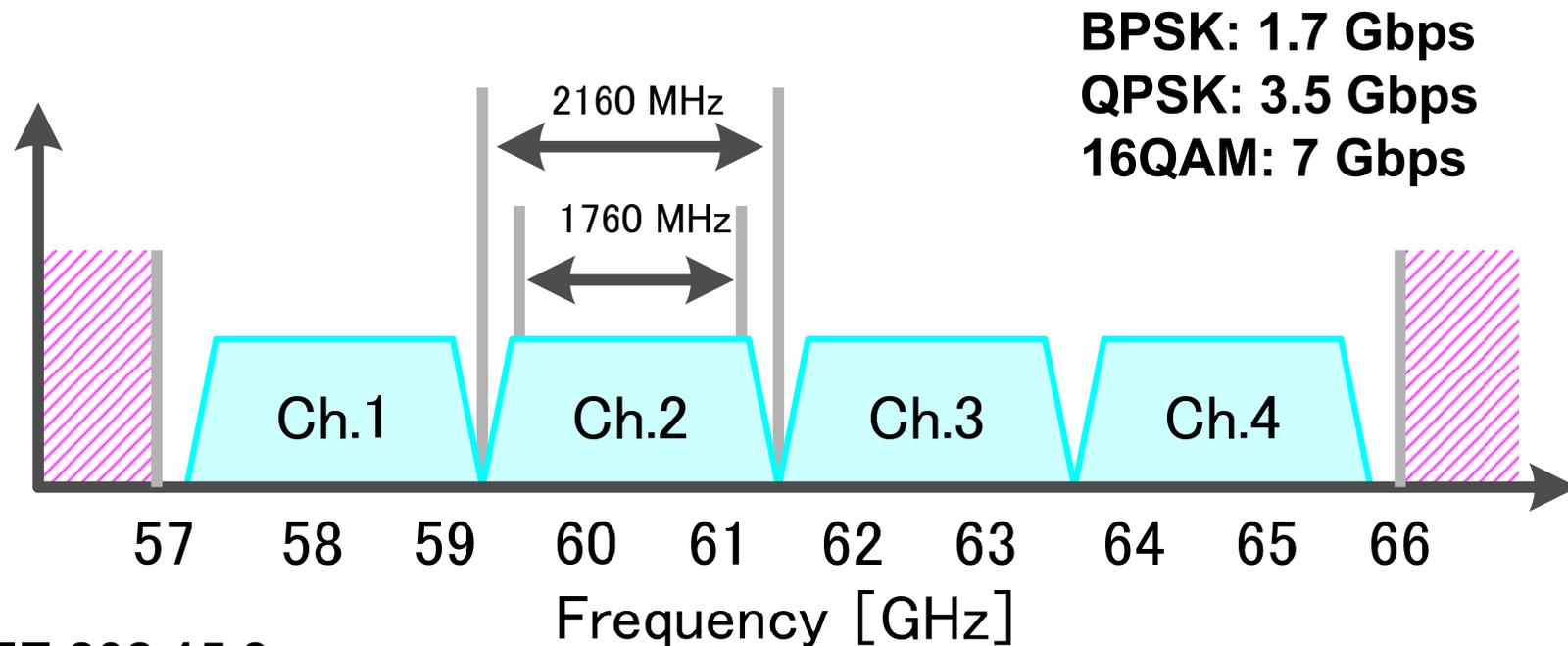
60GHz帯の周波数プラン

16

TOKYO TECH
Pursuing Excellence

帯域約1.8GHz, 4チャンネル

- ・チャンネル内の周波数特性の均一化
- ・57GHz～66GHzまでの周波数帯域での特性均一化



IEEE 802.15.3c

IEEE 802.11ad

802.15.3c-2009, IEEE Std., Oct. 2009. [Online]. Available

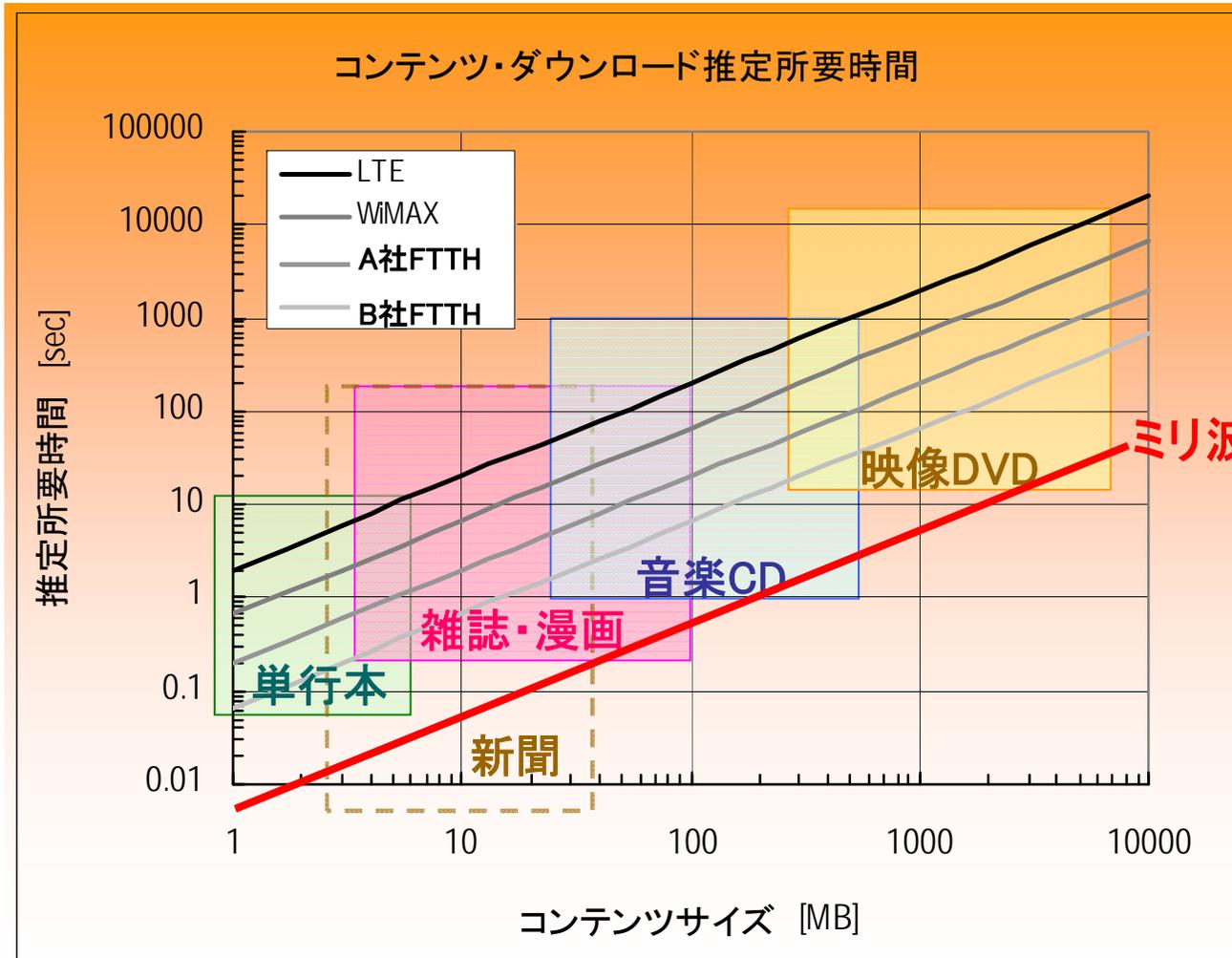
<http://standards.ieee.org/getieee802/download/802.15.3c-2009.pdf>

各種コンテンツの転送に要する時間

17

TOKYO TECH
Pursuing Excellence

ミリ波を用いれば無線でも約10秒でDVDのコンテンツが転送可能



2011年1月現在の
実測データからみた
平均的実効伝送レート

WiMAX	12Mbps
LTE	4Mbps
A社FTTH	40Mbps
B社FTTH	120Mbps

ミリ波 3~6Gbps

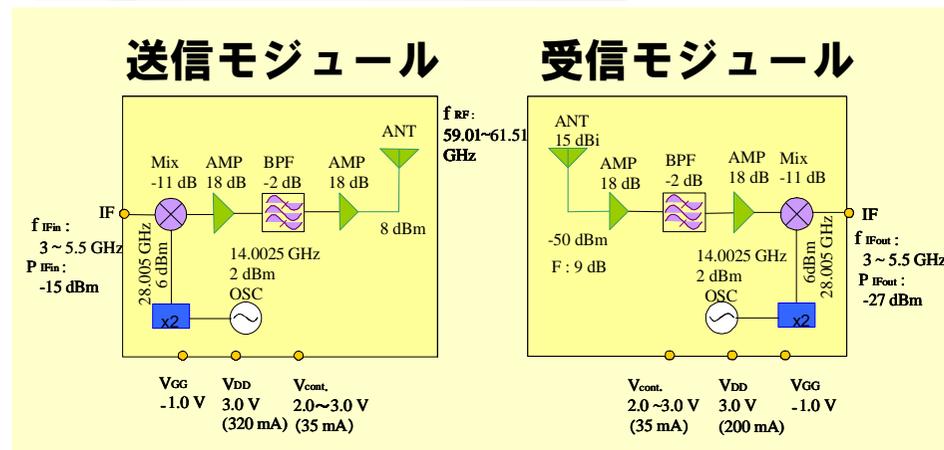
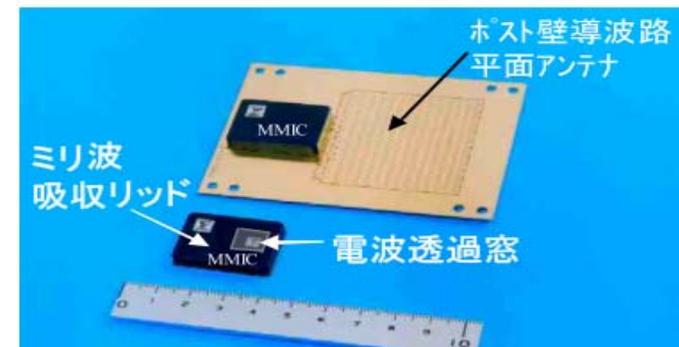
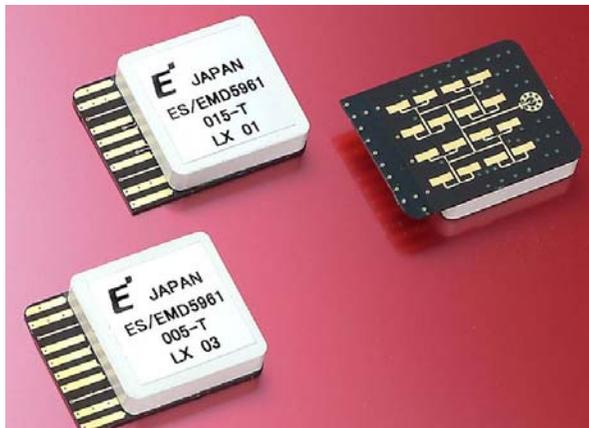
従来のミリ波システム

18

TOKYO TECH
Pursuing Excellence

2006年にはGaAs技術を用いて60GHzのモジュールが完成していた

しかしながら、更なるコストダウンが必要だった他、
ベースバンドチップが無く、データ伝送速度は50Mbps程度であった。
単体デバイスがいくら高速でも、信号処理技術が伴わないとだめ。



2013/3/12

多値QAMの採用と広帯域化

$$\text{データレート} \approx N \times BW$$

これまでの実績	QPSK (N=2), BW=1.7GHz → DR=3.4Gbps
	16QAM (N=4), BW=1.7GHz → DR=6.8Gbps
	16QAM (N=4), BW=4.0GHz → DR=16Gbps
今後の計画	64QAM (N=6), BW=4.0GHz → DR=24Gbps
	64QAM (N=6), BW=8.0GHz → DR=48Gbps

技術課題と対策

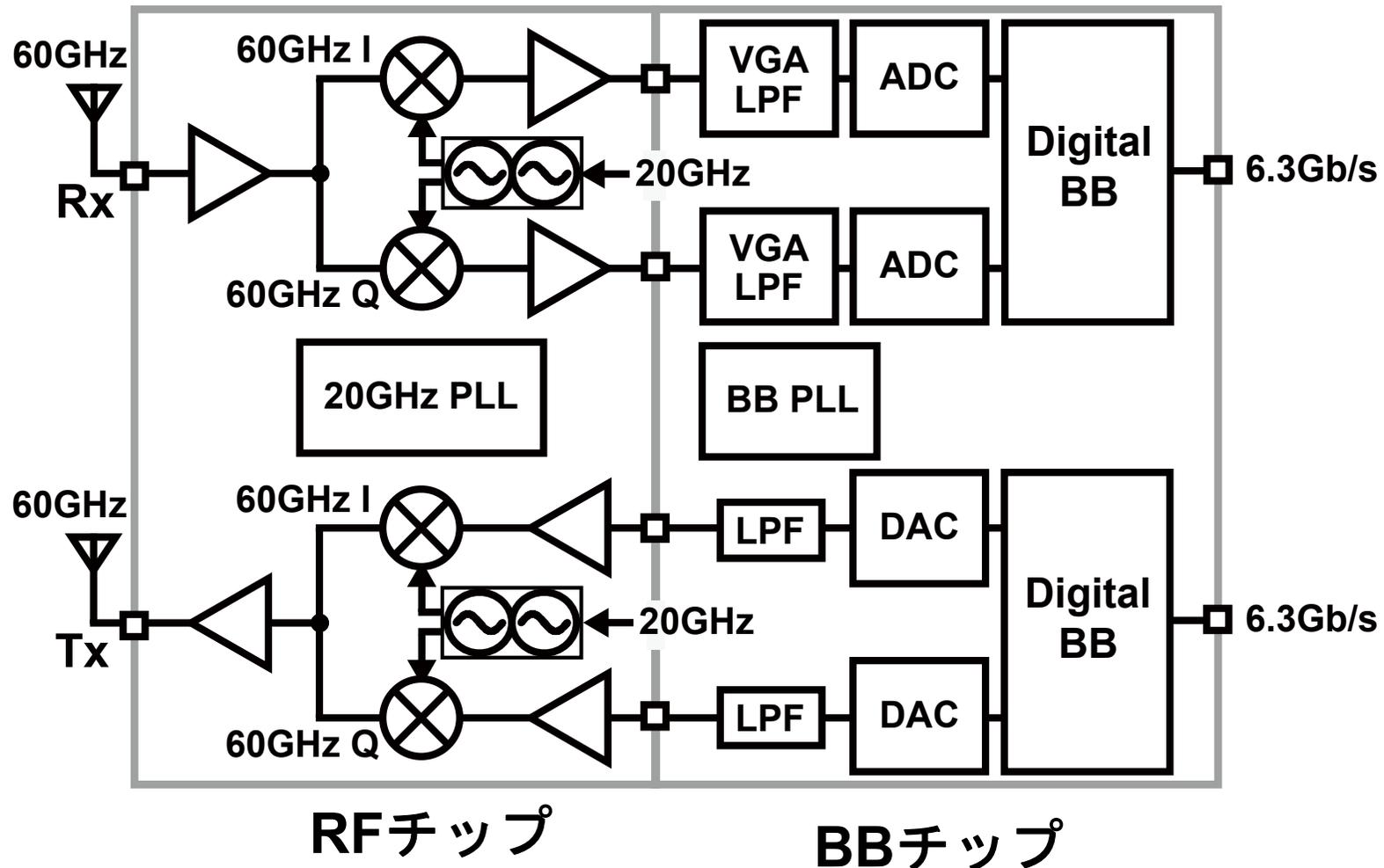
広帯域化: RF回路とBB回路の広帯域化, ゲインフラット化, ADCの高速化
高SNR: アンテナ利得の向上, フロアノイズの減少, ADC分解能の向上
低位相ノイズ: インジェクションロック技術の向上, インダクタのQの向上

60GHz CMOS トランシーバー

20

TOKYO TECH
Pursuing Excellence

- ダイレクトコンバージョン型による小型・低消費電力化
- 低消費電力ADC, DAC



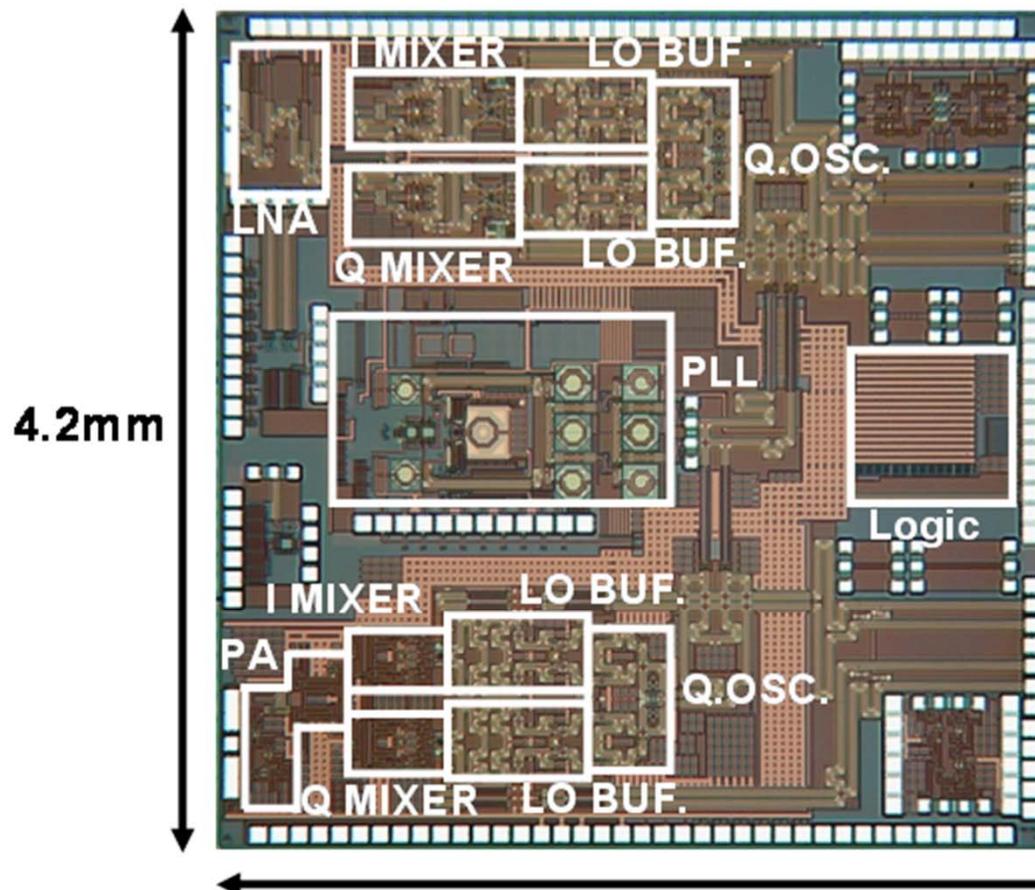
チップ写真

21

TOKYO TECH
Pursuing Excellence

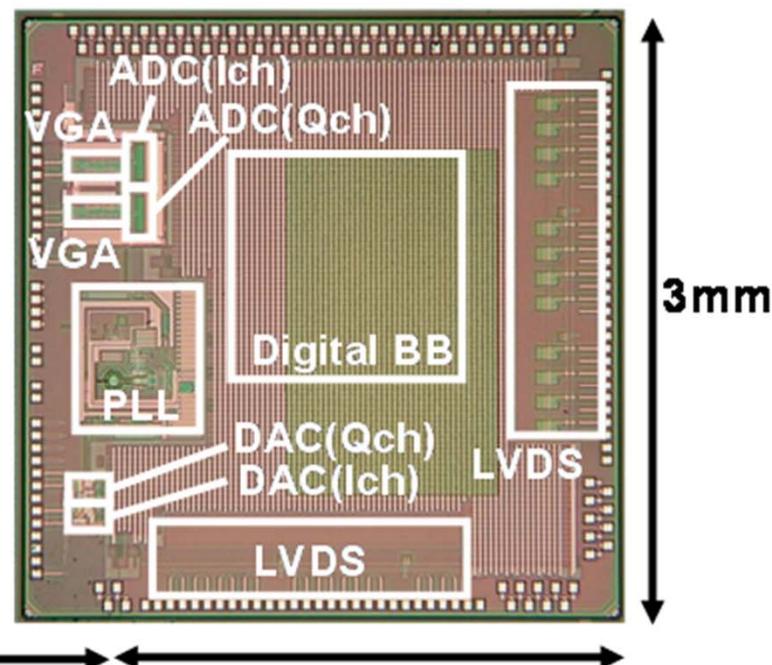
RFチップとベースバンドチップのVGA, ADC, DAC回路を開発

RFチップ



K. Okada and A. Matsuzawa, et al.,
ISSCC 2012.

BBチップ

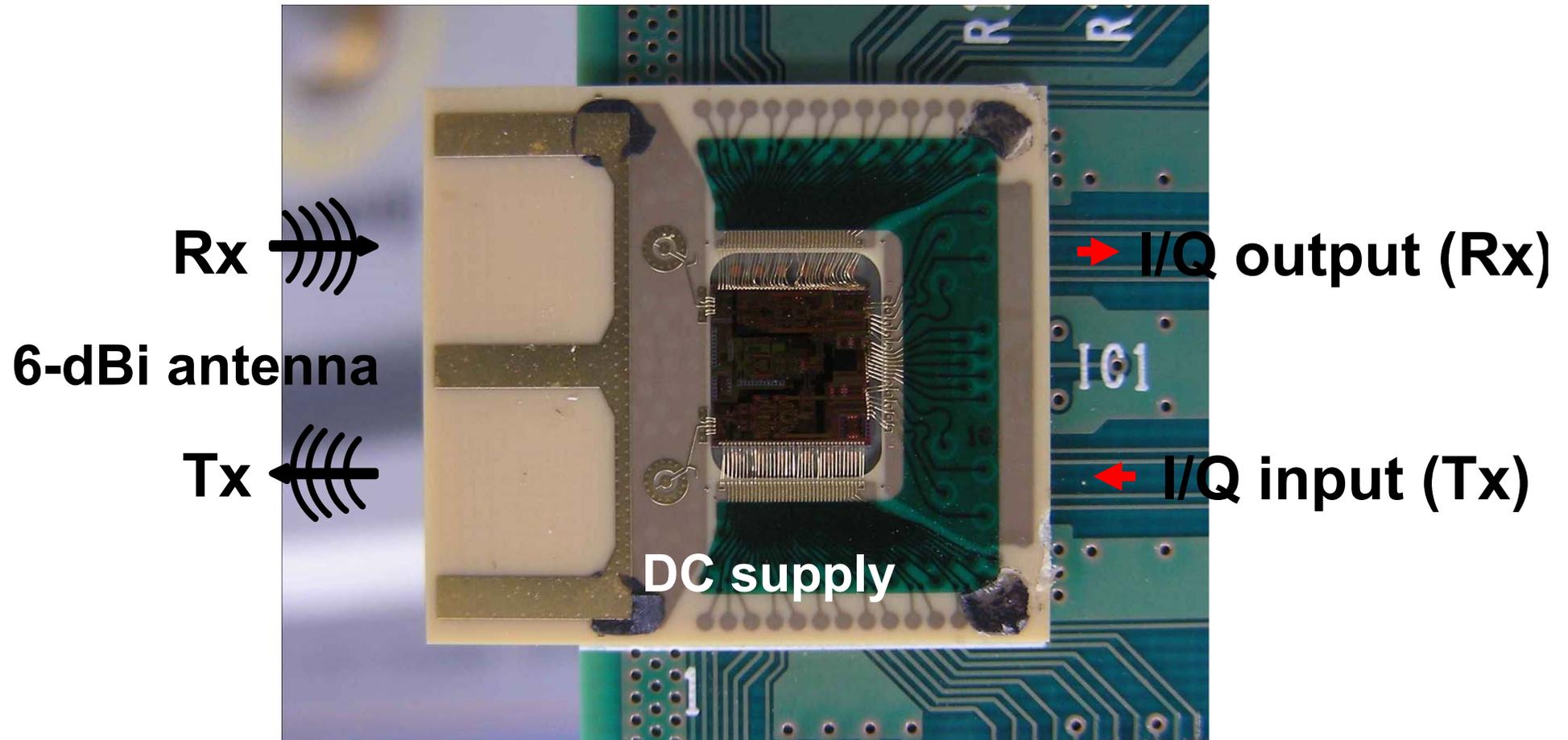


Tokyo Tech

SONY

65nm CMOS

40nm CMOS



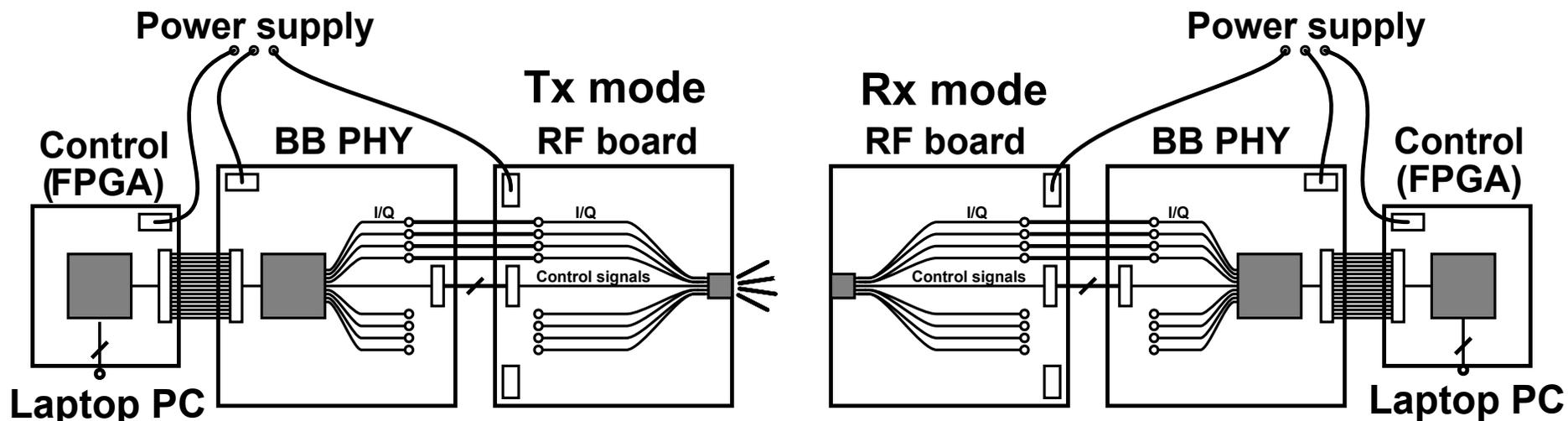
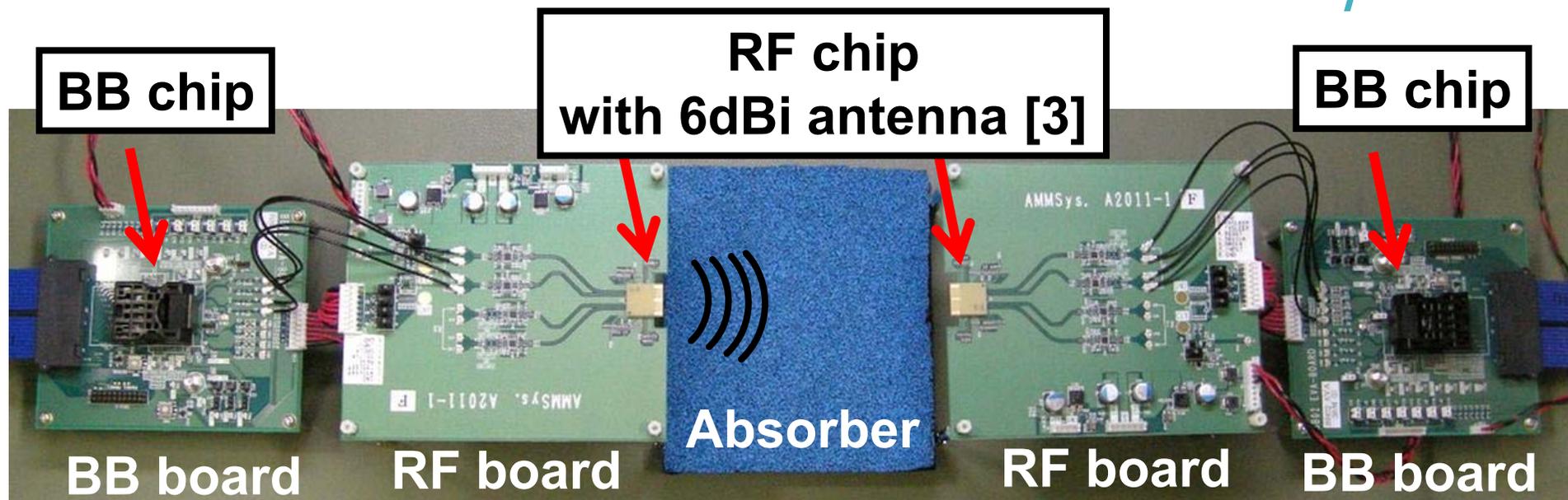
16.3mm x 14.4mm

[3] R. Suga, et al., *EuMC* 2011

チップ性能測定系

23

TOKYO TECH
Pursuing Excellence

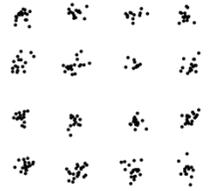
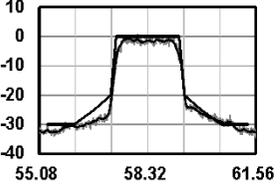
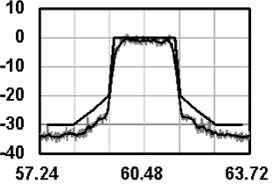
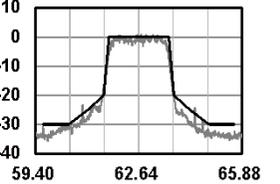
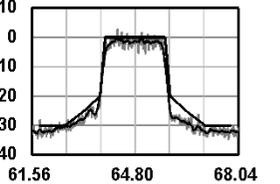
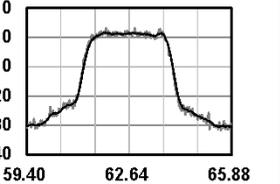


RF貫通試験 (16QAM)

24

TOKYO TECH
Pursuing Excellence

16QAMでもきれいなコンステレーションが得られた

Channel/ Carrier freq.	ch.1 58.32GHz	ch.2 60.48GHz	ch.3 62.64GHz	ch.4 64.80GHz	ch.1-ch.4 Max rate
Modulation	16QAM				
Constellation					
Spectrum					
Back-off	4.4dB	4.6dB	5.0dB	5.7dB	5.0dB
Data rate*	7.0Gb/s	7.0Gb/s	7.0Gb/s	7.0Gb/s	10.0Gb/s (ch.3)
EVM	-23.0dB	-23.0dB	-23.3dB	-22.8dB	-23.0dB (ch.3)
Distance**	0.3m	0.5m	0.5m	0.3m	>0.01m (ch.3)

*The roll-off factor is 0.25. The bandwidth is 2.16GHz except for Max rate.

**Maximum distance within a BER of 10⁻³. The 6-dBi antenna in the package is used.

RF 性能のまとめ

25

TOKYO TECH
Pursuing Excellence

Tx	
CG	18dB
P _{1dB}	9.5dBm
P _{sat}	5.6dBm

Rx	
CG	23dB (high-gain mode) 9dB (low-gain mode)
NF	< 4.9dB (high-gain mode)
IIP3	-14dBm (low-gain mode)

LO	
Injection PLL	19.44, 20.16, 20.88, 21.60GHz
Ref. spur	<-58dBc @ 20.16GHz
Locking range	1.4GHz
Quadrature ILO	58.0-64.7GHz (free-run)
Phase noise@1MHz-offset	< -95dBc/Hz (every channel)

性能比較(RF+BB)

26

TOKYO TECH
Pursuing Excellence

世界初の4チャンネル全ての送受が可能なRF+BBチップ
16QAMを用いて6.3Gbpsの超高速伝送を低電力で実現

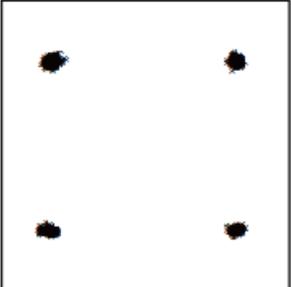
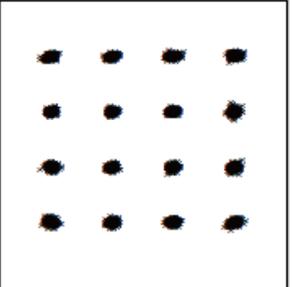
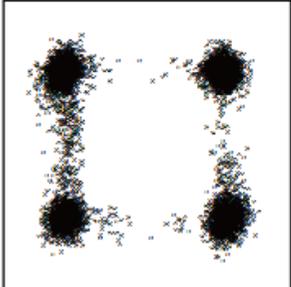
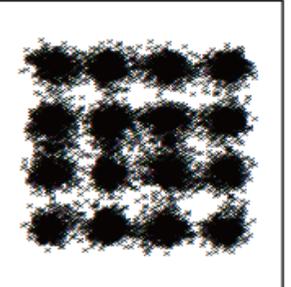
	Integration	Data rate (16QAM)	Ch.	P _{DC} (Tx/Rx)
CEA-LETI [5]	RF (Hetero)	3.8Gb/s	-	1,357mW / 454mW
SiBeam [6]	RF (Hetero)	3.8Gb/s	Ch.1-2	1,820mW / 1,250mW
Tokyo Tech (This work)	RF (Direct) +analog BB +digital BB	RF+BB: 6.3Gb/s	Ch.1-4	RF:319mW / 223mW BB:196mW / 398mW

[1] K. Okada, *et al.*, ISSCC 2011 [4] H. Asada, *et al.*, A-SSCC 2011 [5] A. Siligaris, *et al.*, ISSCC 2011 [6] S. Emami, *et al.*, ISSCC 2011 [12] C. Marcu, *et al.*, ISSCC 2009

2013/03/25

世界最高のデータレートを目指して / 27

世界最高のデータレート(16Gbps)を実現。

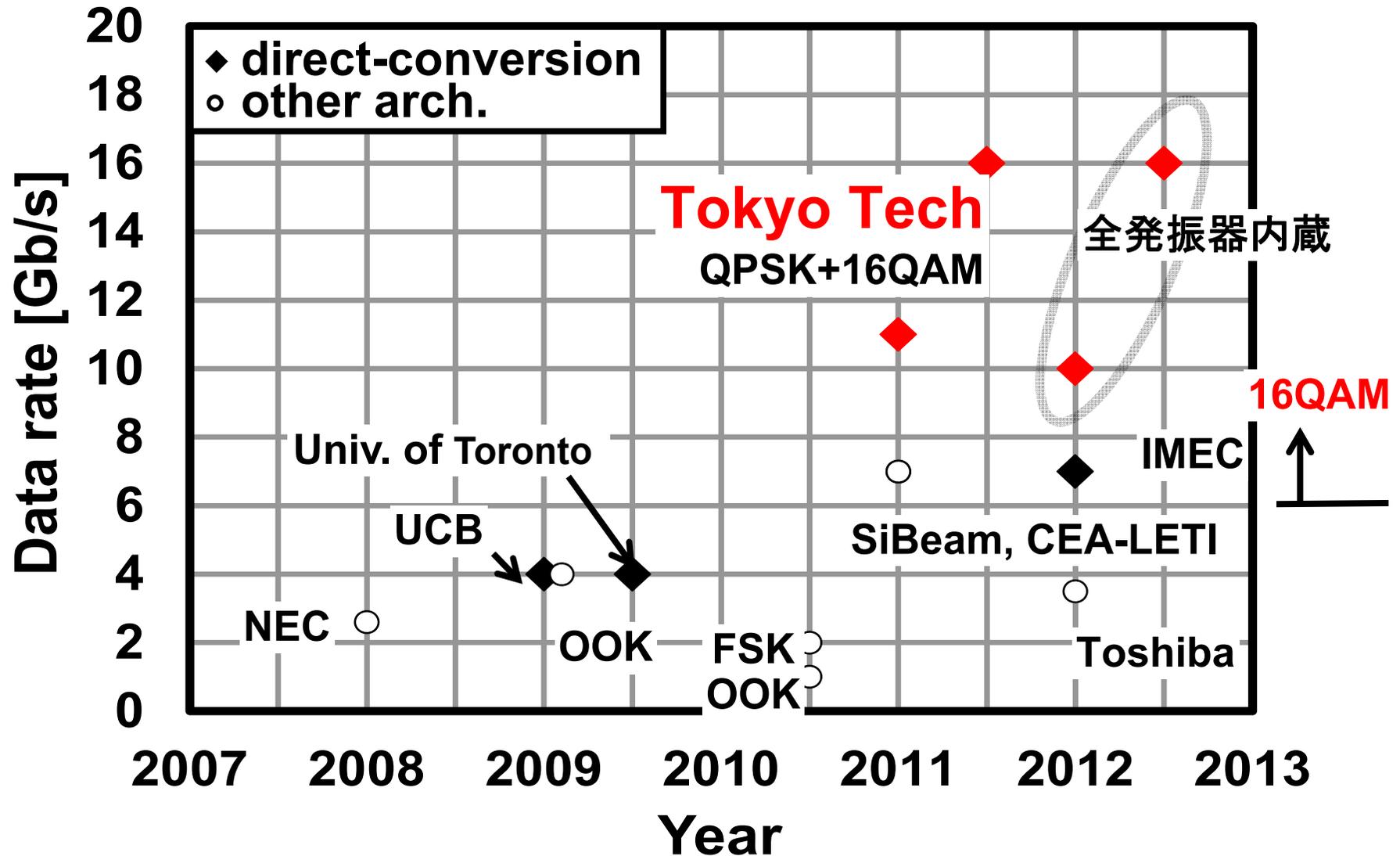
Constellation	 9506 points	 19912 points	 13502 points	 42024 points
Modulation	QPSK	16QAM	QPSK	16QAM
Symbol rate	1.76GS/s	1.76GS/s	5.0GS/s	4.0GS/s
Data rate	3.52Gb/s	7.04Gb/s	10.0Gb/s	16.0Gb/s
EVM (withDFE)	-30.5dB	-28.2dB	-15.2dB	-16.1dB

60GHzフロントエンド性能比較

28

TOKYO TECH
Pursuing Excellence

世界最高速のデータレートを達成



60GHz CMOS RF回路設計のポイント

CMOSの微細化とRF回路性能

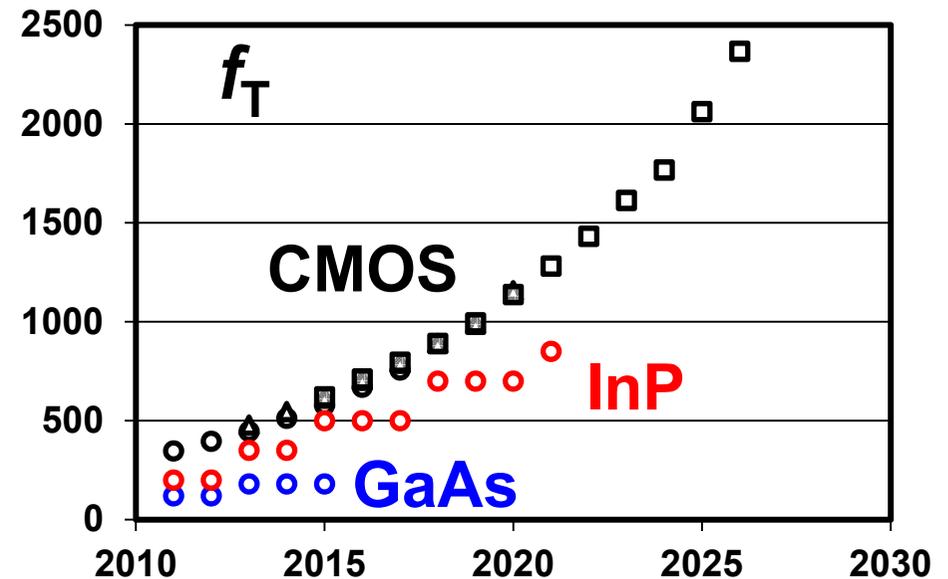
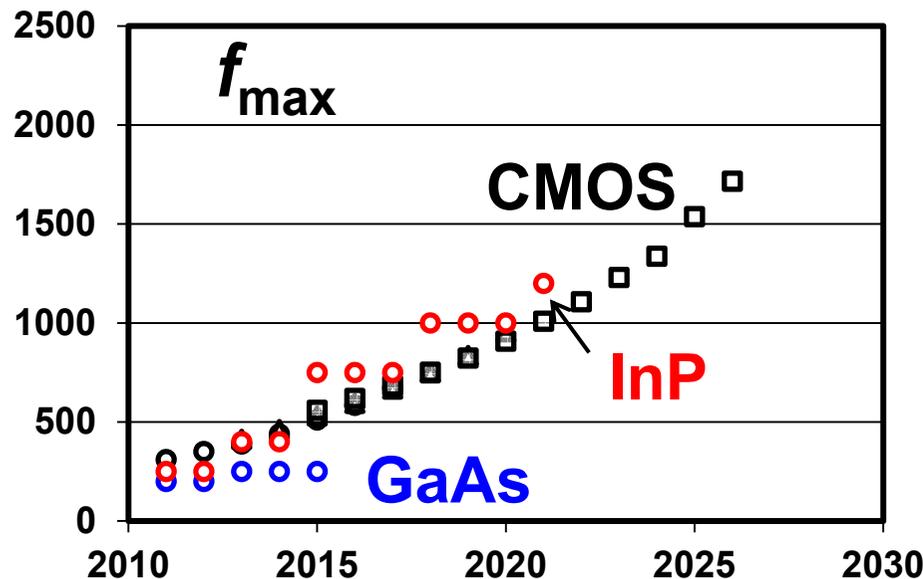
RF回路の基本性能(利得, ノイズ)は最終的にはデバイスの f_T, f_{max} で決まる
微細化によりCMOSの f_T, f_{max} は今後も向上する

NF<4dB at 60GHz はCMOSで達成している

$$f_T \propto \frac{1}{L_{gate}}$$

$$G_{max} \approx \frac{f_{max}}{f_c}$$

$$NF_{min} \approx 1 + \left(\frac{f_c}{f_T} \right) \sqrt{1.3g_m(R_g + R_s)}$$



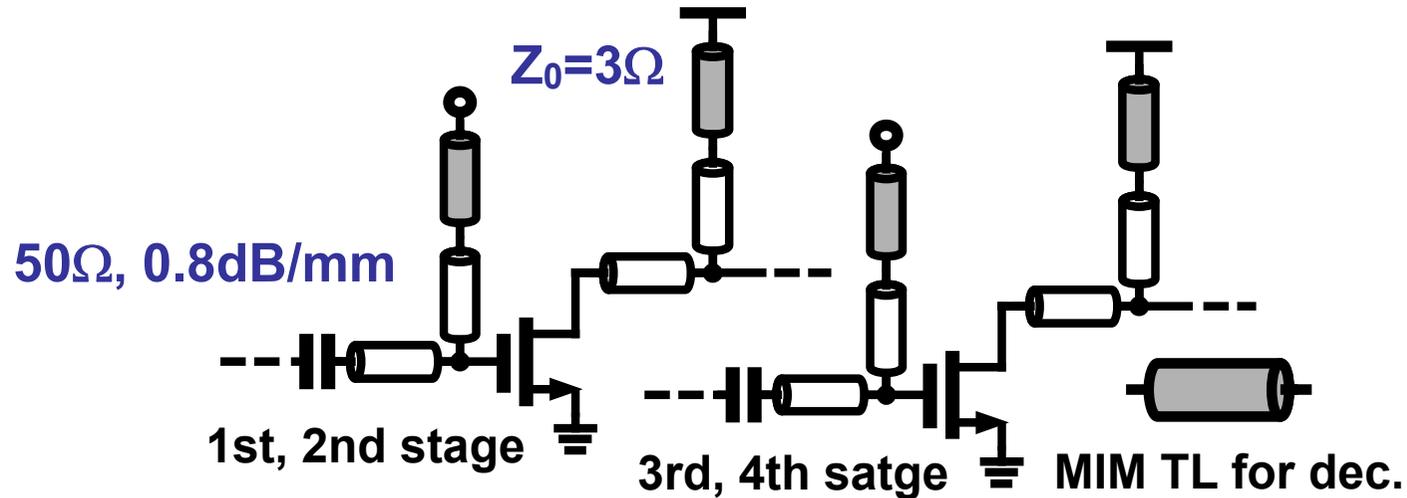
○ Bulk CMOS

△ Ultra-Thin-Body Fully-Depleted (UTB FD) SOI

□ Multi-Gate MOSFETs

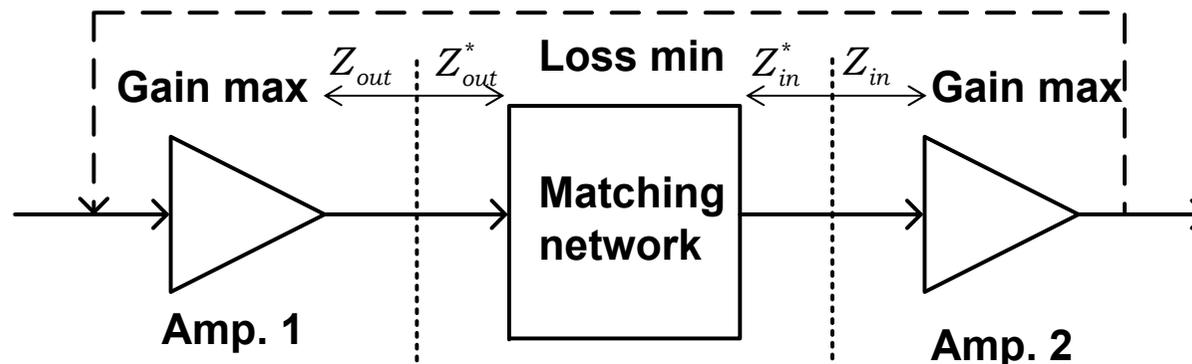
ITRS RFAMS 2011.

増幅器設計は，サイズ設定，バイアス設定，インピーダンスマッチング
デカップリング設計につきる



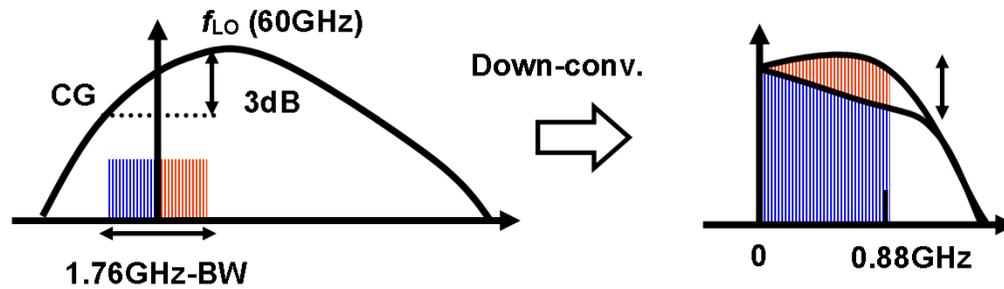
フィードバックパスが生じると数GHzで発振が起こる

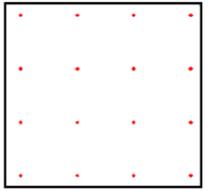
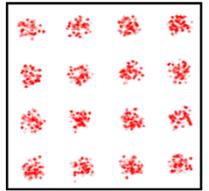
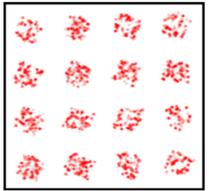
Feedback pass

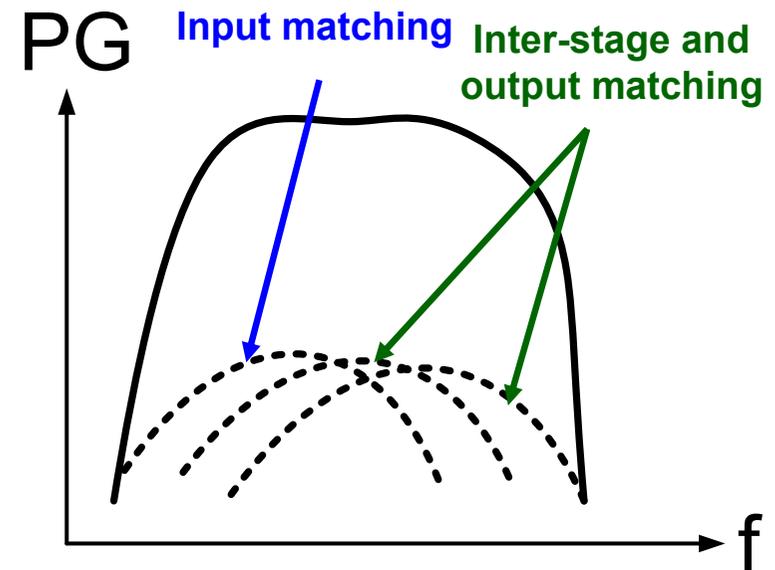


ゲインフラットネス

信号帯域内の周波数特性の偏差があると16QAM信号にISIを生じ、ビット誤り率が低下する。→整合回路を調整して周波数偏差を抑える。

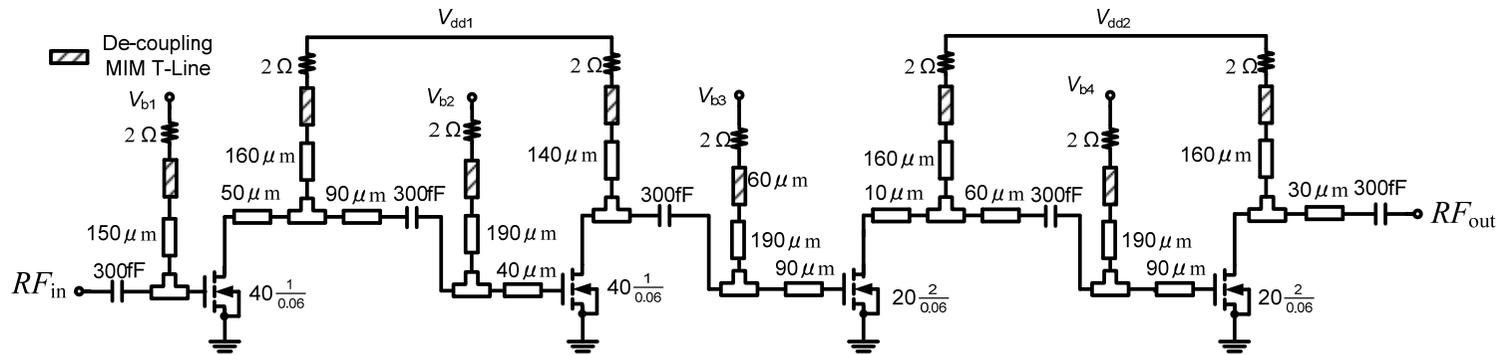


Gain Flatness	0dB	2dB	3dB
BER	~0	1.3e-5	3e-3
Constellation			



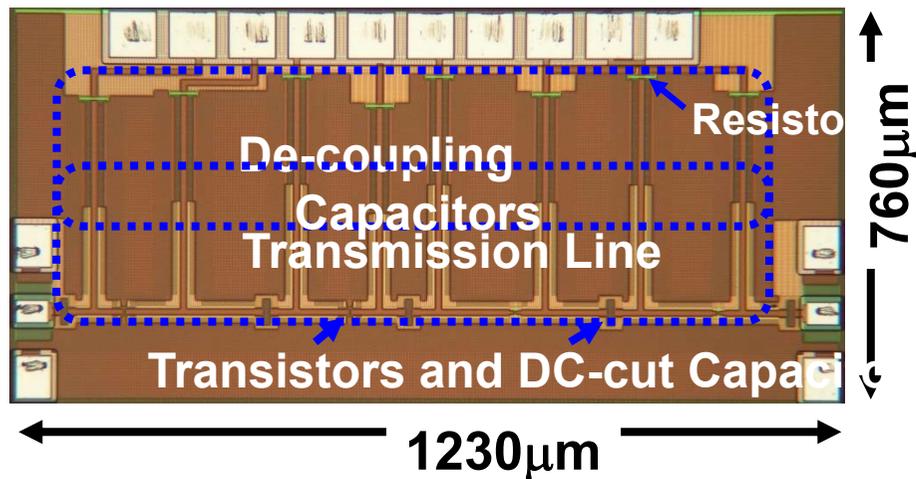
60GHz帯LNA

4dBのNF, 17GHzの広帯域増幅を60GHzで達成

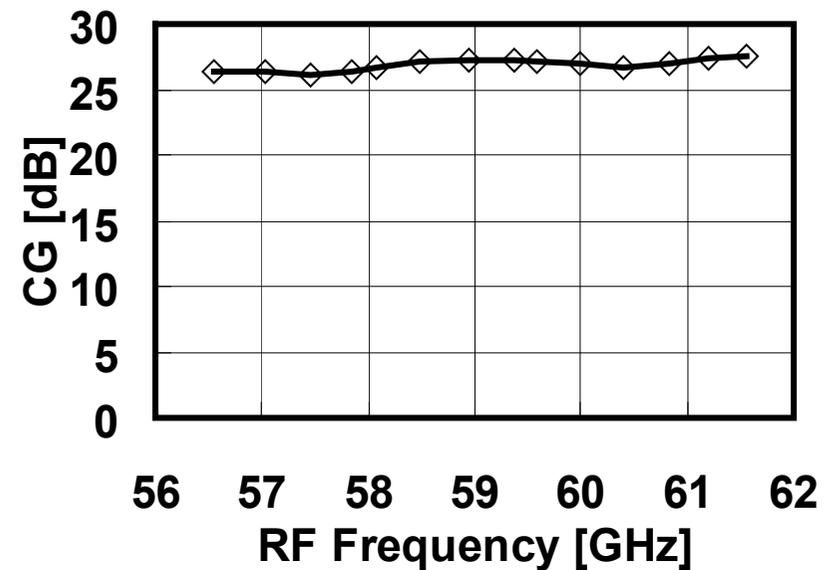


4段増幅器(ノンカスコード)

利得の周波数特性



レイアウト

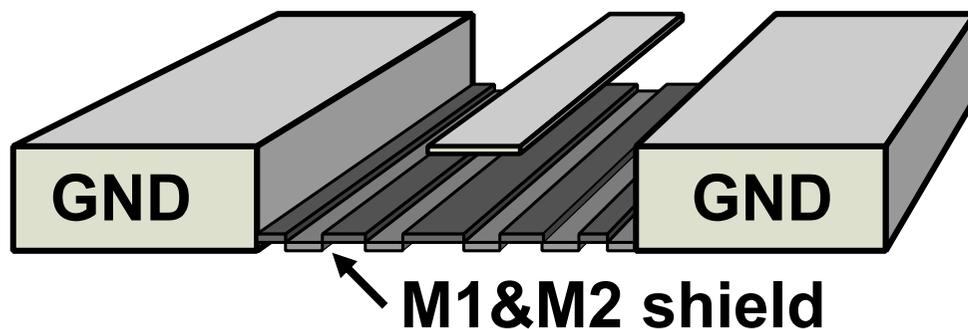
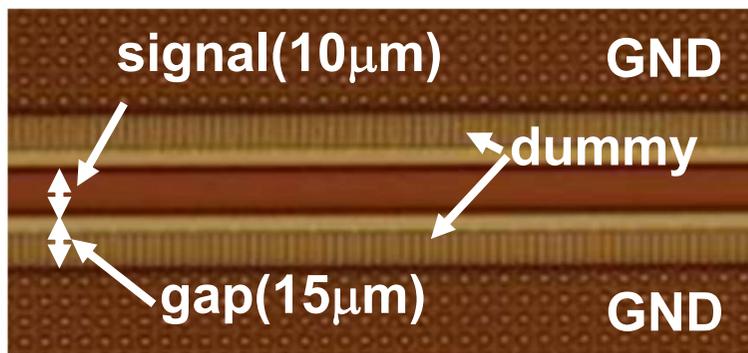


トランスミッションライン技術をベースにした、インピーダンス整合回路、トランス、バルン、デカップリング容量を開発した

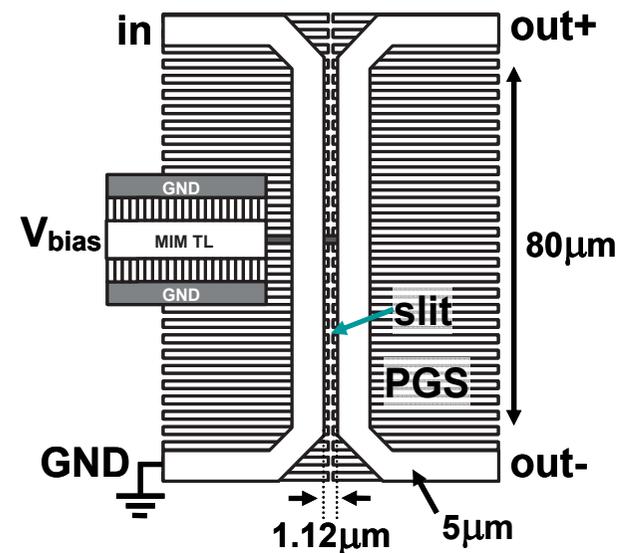
Transmission line

0.8dB/mm

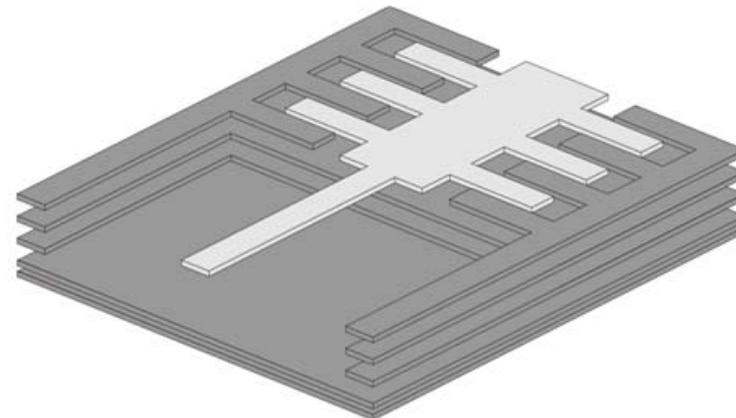
Manually-placed dummy metal



Transformer



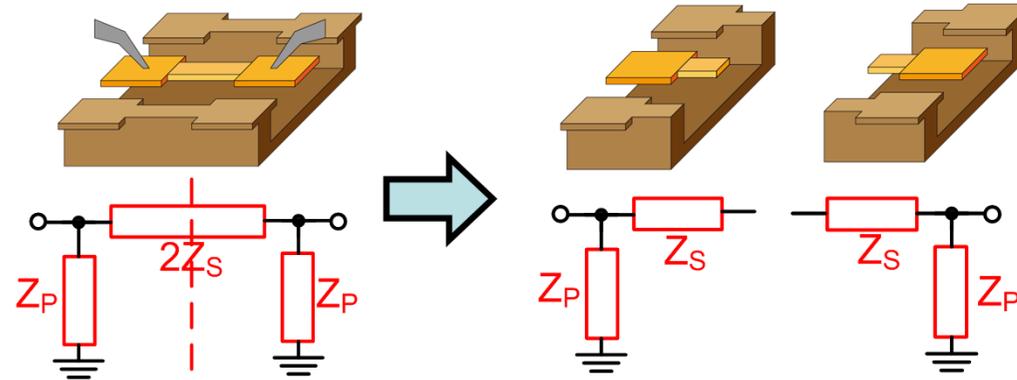
Decoupling capacitor



モデリング (デエンベッディング) 技術 / 35

スルーオンリー法

パッドと付きだし部分を測定
プローブ間干渉により不正確



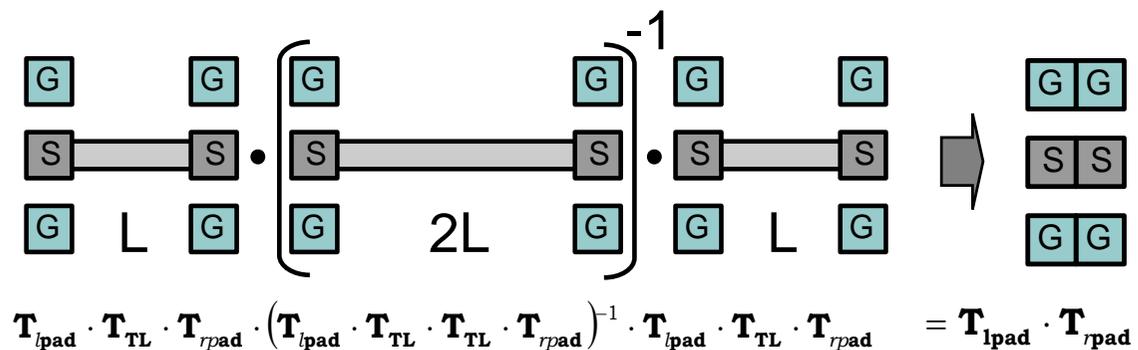
Thru (short line) structure

Pad model

L-2L 法

L (200um)と2L (400um)の伝送線路で測定

パッドのみの等価回路を
導出

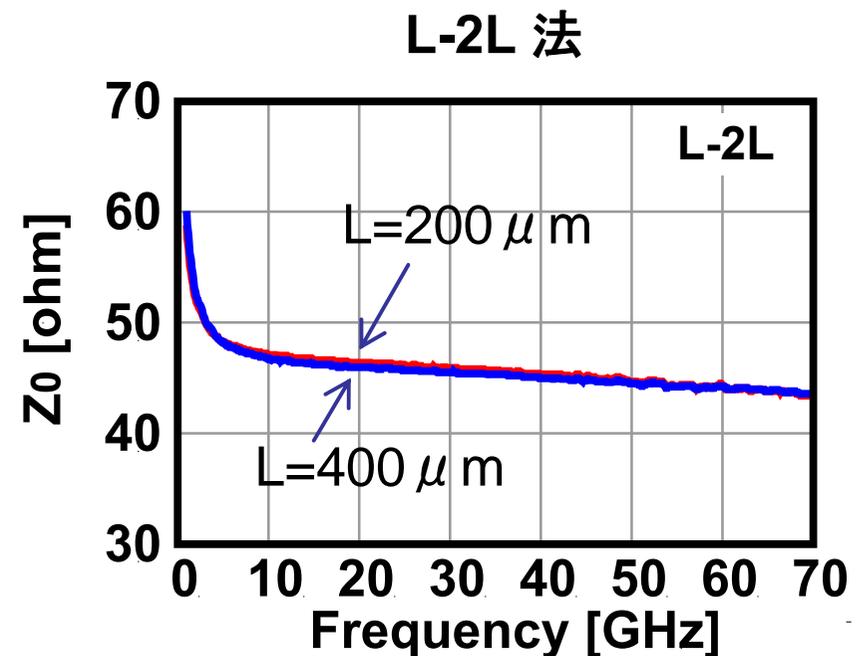
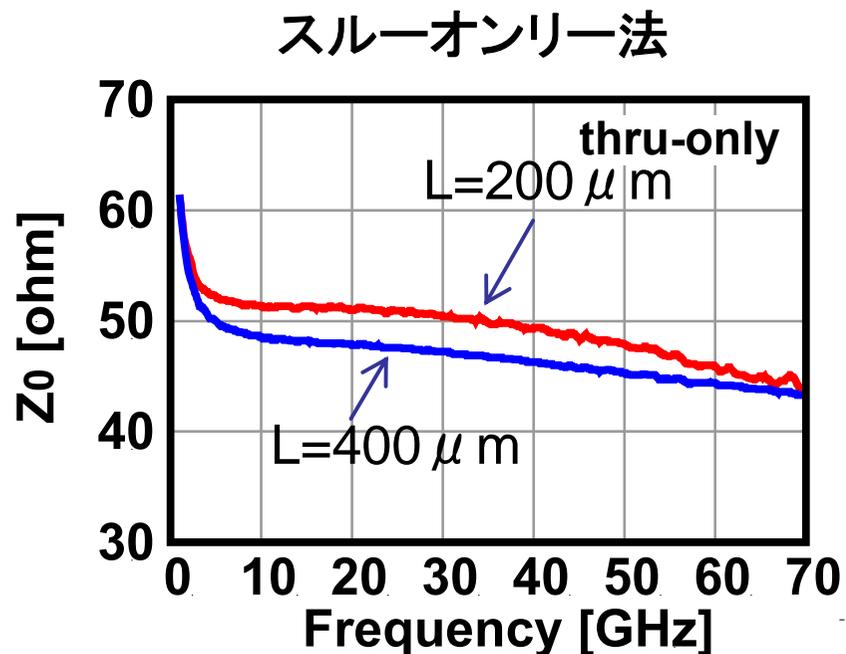


A. M. Mangan, et al., IEEE Trans. on Electron Devices, vol. 53, no. 2, pp.235-241, Feb. 2006

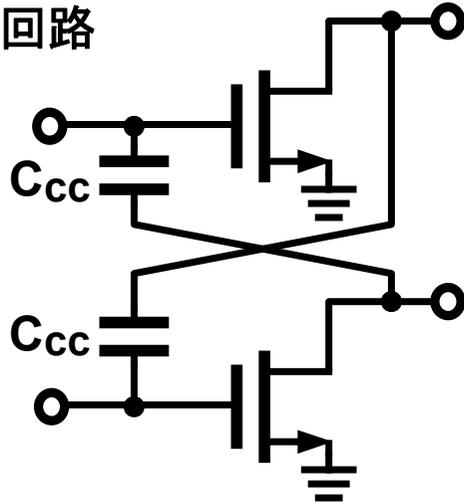
N. Takayama, et al., IEEE Asia-Pacific Microwave Conference (APMC), Singapore, Dec. 2009.

モデリング（デエンベッディング）技術 / 36

伝送線路の特性インピーダンスを2つの方法で評価
スルーオンリー法では本来線路長に依らない特性インピーダンスが
線路長により異なっている。L-2L法では一致している。→ L-2L法が精度が高い



差動回路

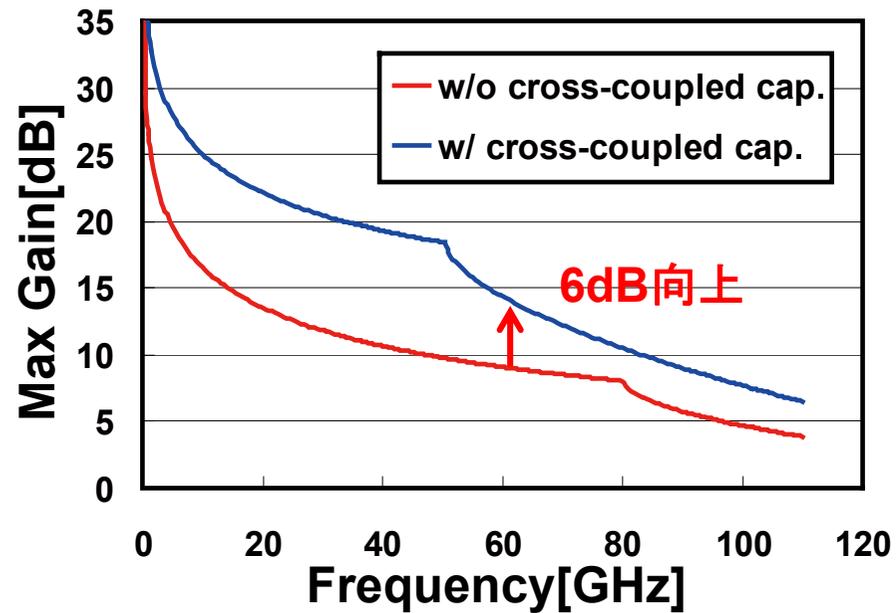
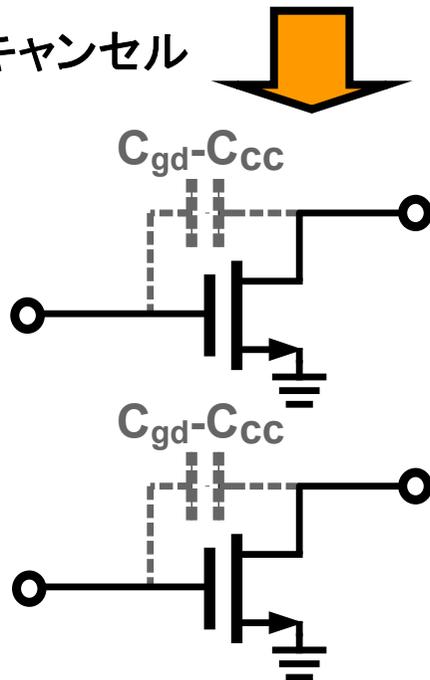


差動回路ではクロスカップル容量により帰還容量を低減できる
これにより60GHzで6dBもの利得アップができる

$$f_{\max} = \frac{f_T}{2\sqrt{R_g g_m C_{gd} / (C_{gs} + C_{gd}) + (R_g + r_{ch} + R_s) g_{ds}}}$$

この項が低減する

容量キャンセル



Y. Natsukari, et al., VLSI, June 2009.

W. L. Chan, et al., ISSCC., Feb. 2009.

必要な直交発振器の位相ノイズ

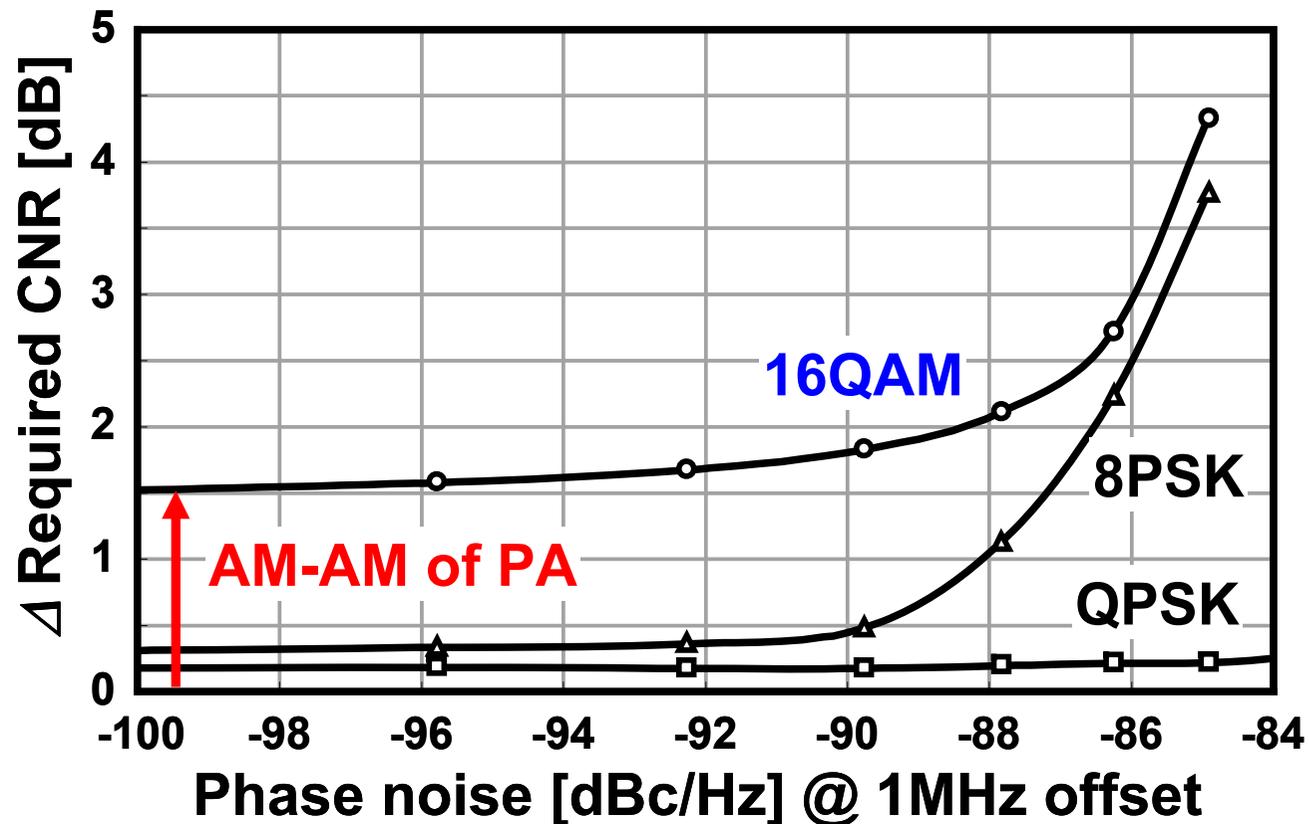
38

TOKYO TECH
Pursuing Excellence

16QAMを実現するには-90dBc/Hz@1MHz以下の位相ノイズが必要

それまでの60GHz帯直交発振器は -76dBc/Hz@1MHz程度

K. Scheir, et al., ISSCC, pp. 494-495, Feb. 2009.

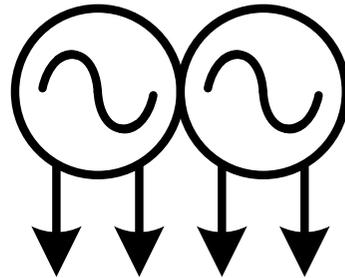


60GHz帯 直交VCO : 方式比較

39

TOKYO TECH
Pursuing Excellence

•直接発振

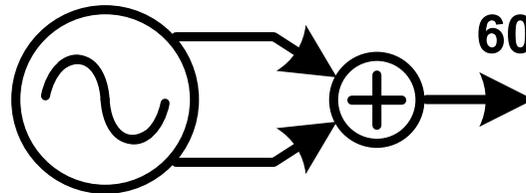


60GHz osc.

- ☹️ Q値が低く、低雑音と広帯域の両立が困難

•Push-push

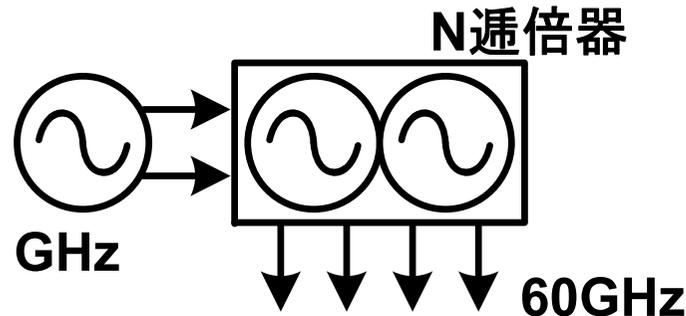
30GHz osc.



60GHz

- 😊 低雑音・広帯域をある程度両立し易い
- ☹️ 出力電力が低い
- ☹️ 直交位相出力でない

•逓倍器



60/N GHz
OSC.

60GHz

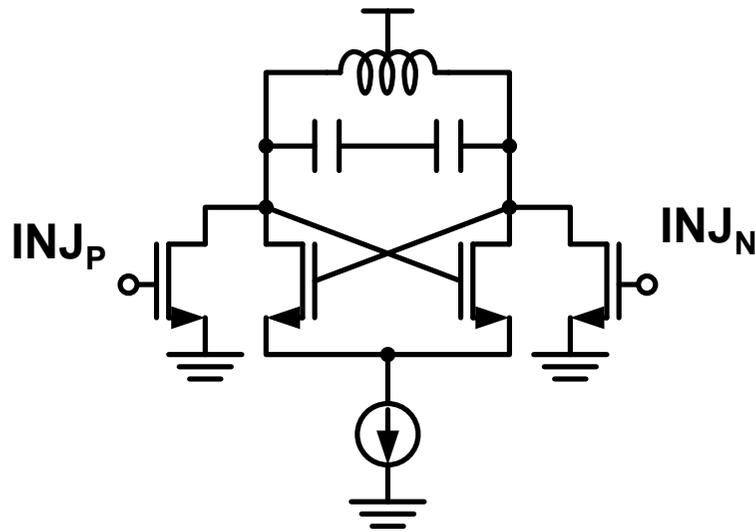
- 😊 低雑音・広帯域を両立し易い
- 😊 直交位相出力
- ☹️ 逓倍器のロックレンジが限られる

注入同期の原理

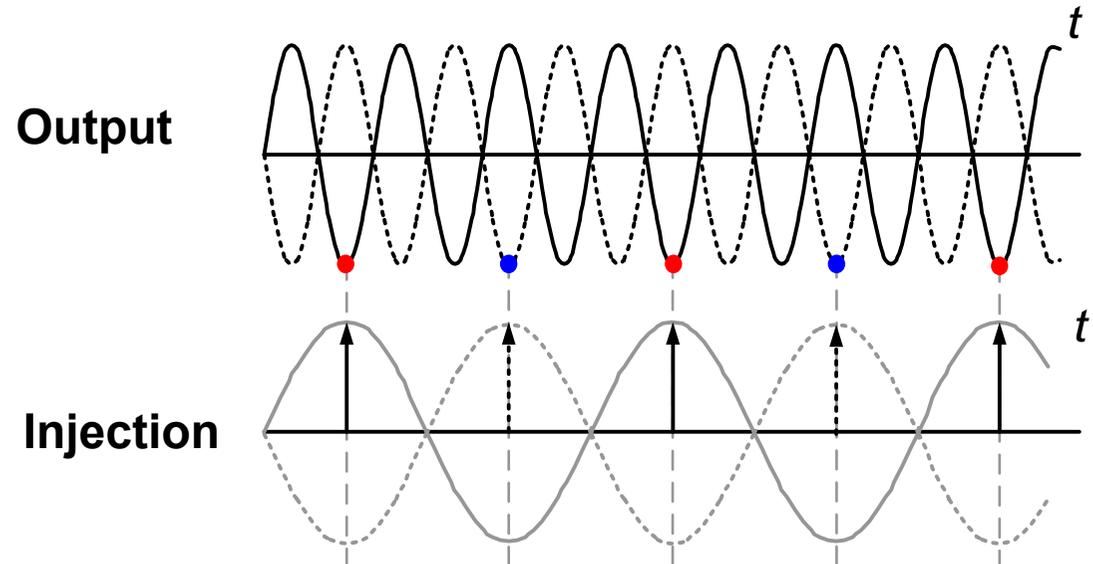
40

TOKYO TECH
Pursuing Excellence

注入同期により高い周波数の発振器の位相を、より低い発振器で制御することができる。



parallel injection



注入信号に位相が同期することで周波数が変化

- 位相雑音(ジッタ)は注入信号に依存
- 周期が短くなる分、相対的にジッタが大きくなる

逡倍器の位相雑音 $PN_{ILO} = PN_{INJ} + 20 \log(N)$ N :逡倍数

ロックレンジ

$$\Delta\omega_L = \frac{\omega_o}{Q} \cdot \frac{I_{inj}}{I_{OSC}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{OSC}^2}}}$$

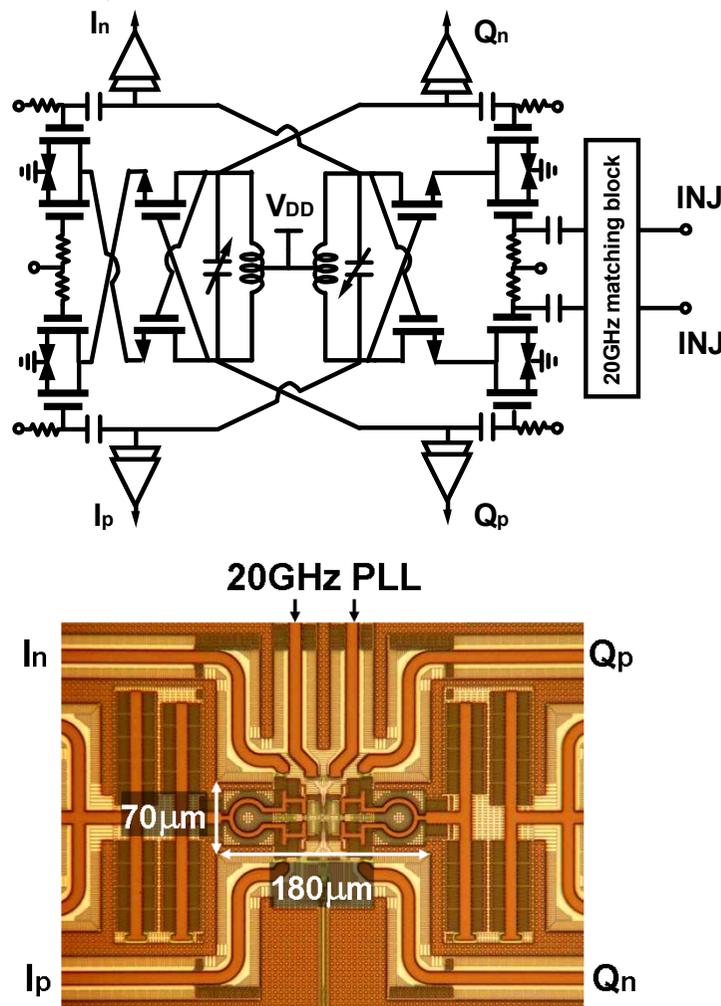
$N=3$ のとき 9.5dB

低位相ノイズ直交VCO

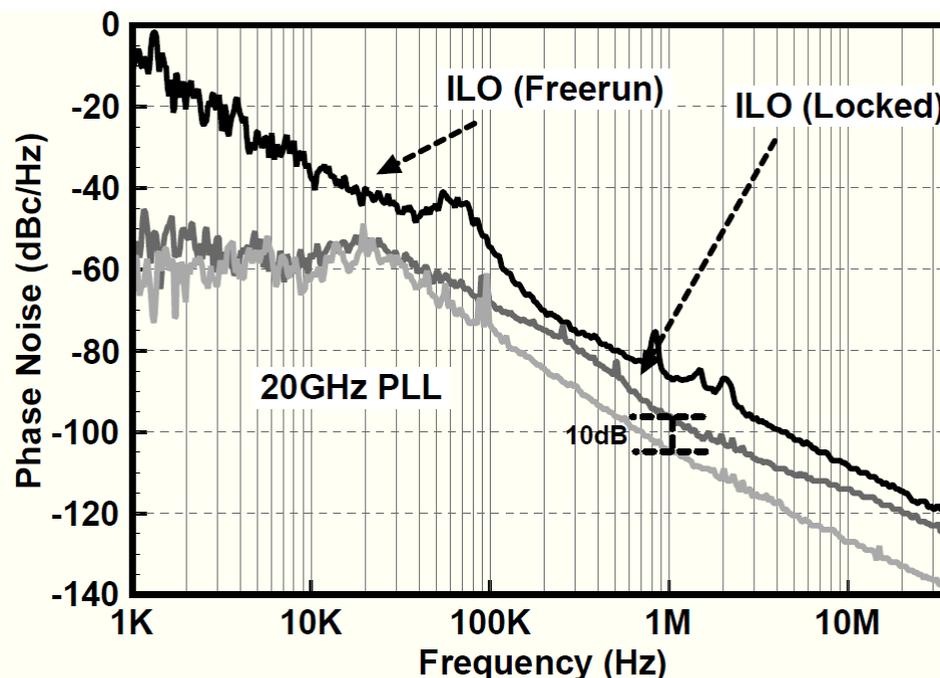
41

TOKYO TECH
Pursuing Excellence

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで
-96dBc/Hz@1MHzの良好な低位相ノイズを実現。
ダイレクトコンバージョンや16QAMが可能となった。



それまでの60GHz 直交VCOの位相ノイズは
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, et al., in A-SSCC Dig. Tech. Papers, pp. 101–102, Nov. 2010.

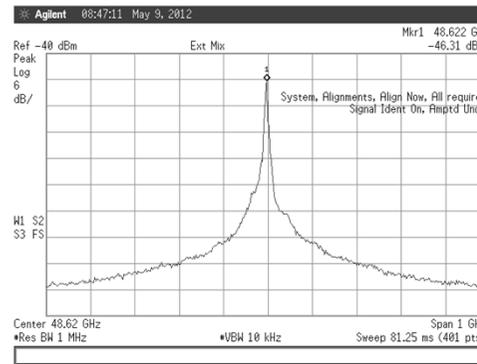
インジェクションロックを用いた150GHz分周器 / 42

NMOS 3段のインバータ発振器に, 150MHzの信号をインジェクションすることで 50GHzの信号を出力し, 3分周を実現

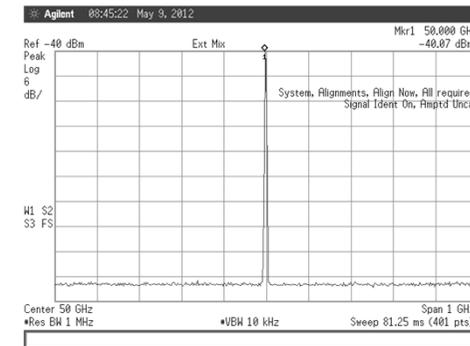
Technology	40nm 1P8M CMOS
Operating frequency	133.3GHz – 151.3GHz
Phase noise	-135.6dBc/Hz @1MHz offset
Power dissipation	12mW @V _{DD} =1.6V
Circuit size	8.8 × 5.3μm ²

パルスの分周 → 発振周波数の制御

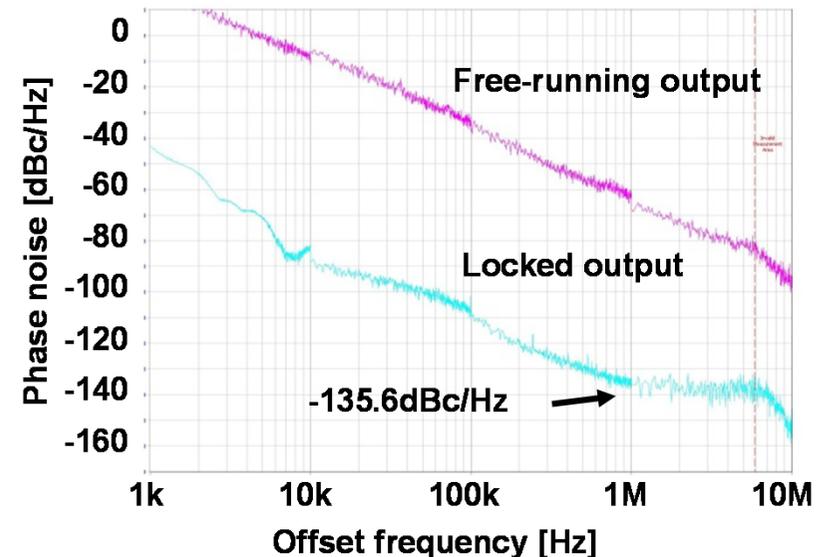
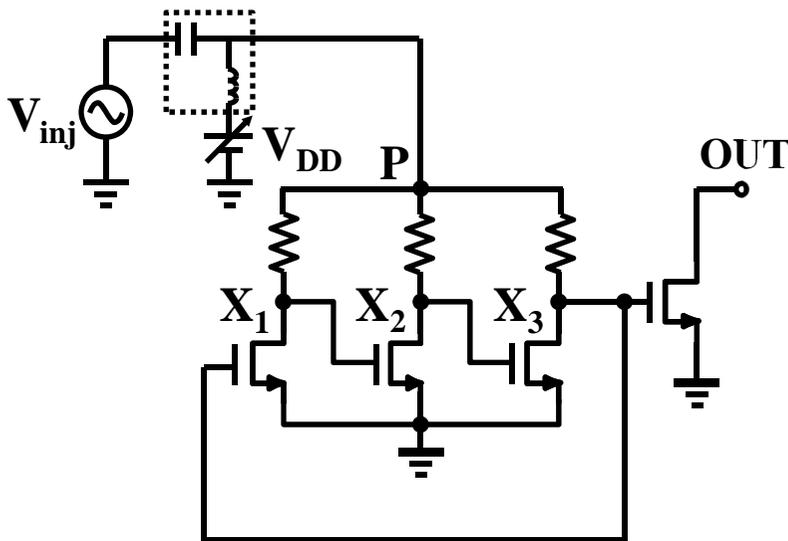
Free-running



Locked



BiasT



M. Fujishima, et al., SSDM 2012

400GHzを超えるCMOS 発振器

43

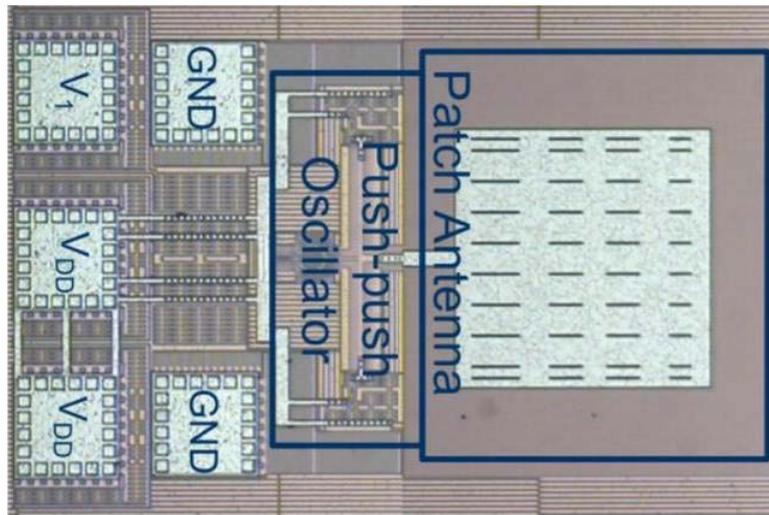
TOKYO TECH
Pursuing Excellence

高調波を使用できるので f_{\max} を超える発振が可能である。

410 GHz

E. Seok, *et al.*, ISSCC 2008.

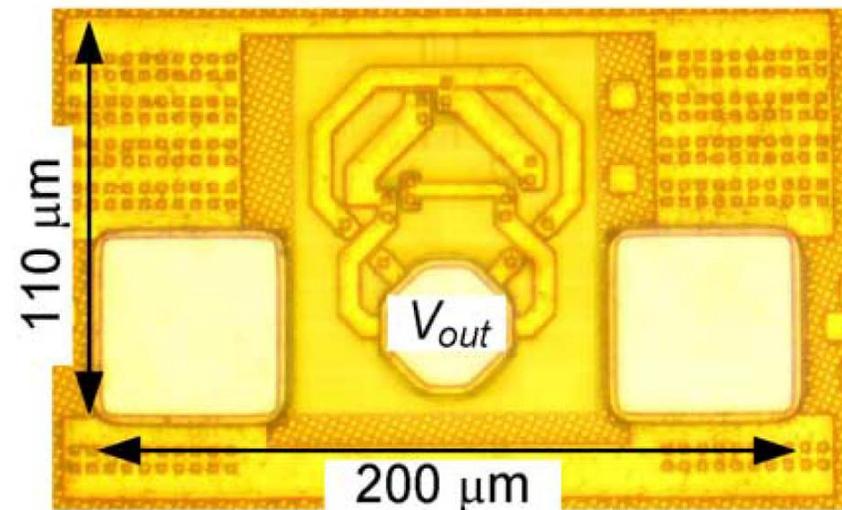
45nm CMOS Push-push Oscillator
205GHz oscillation with 410GHz
harmonic output. 11mA @ 1.5V



486 GHz

O. Momeni, *et al.*, JSSC 2011.

65nm CMOS 486GHz
using Triple-Push oscillation
-7.9dBm from 61mW Pd.

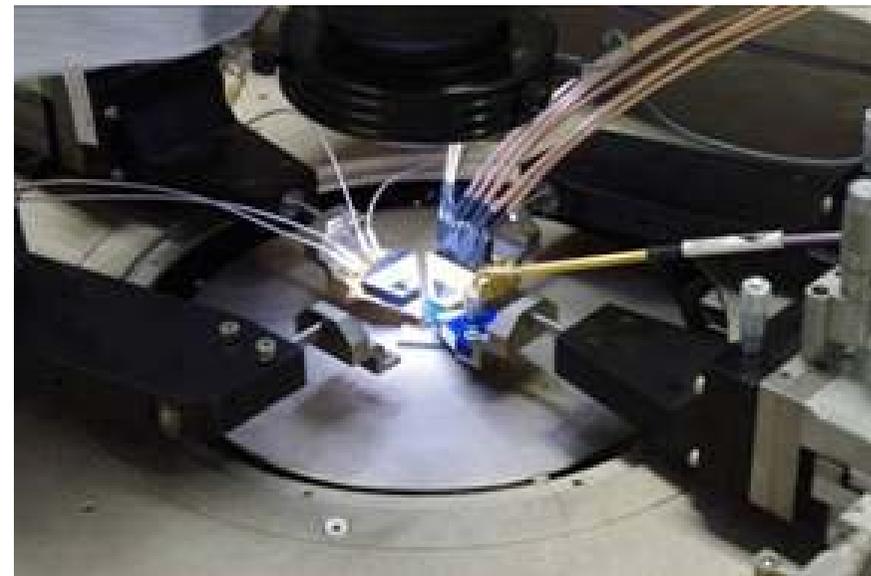


研究室の高周波特性評価装置

44

TOKYO TECH
Pursuing Excellence

110GHzまでの最新の高周波評価装置が揃っている

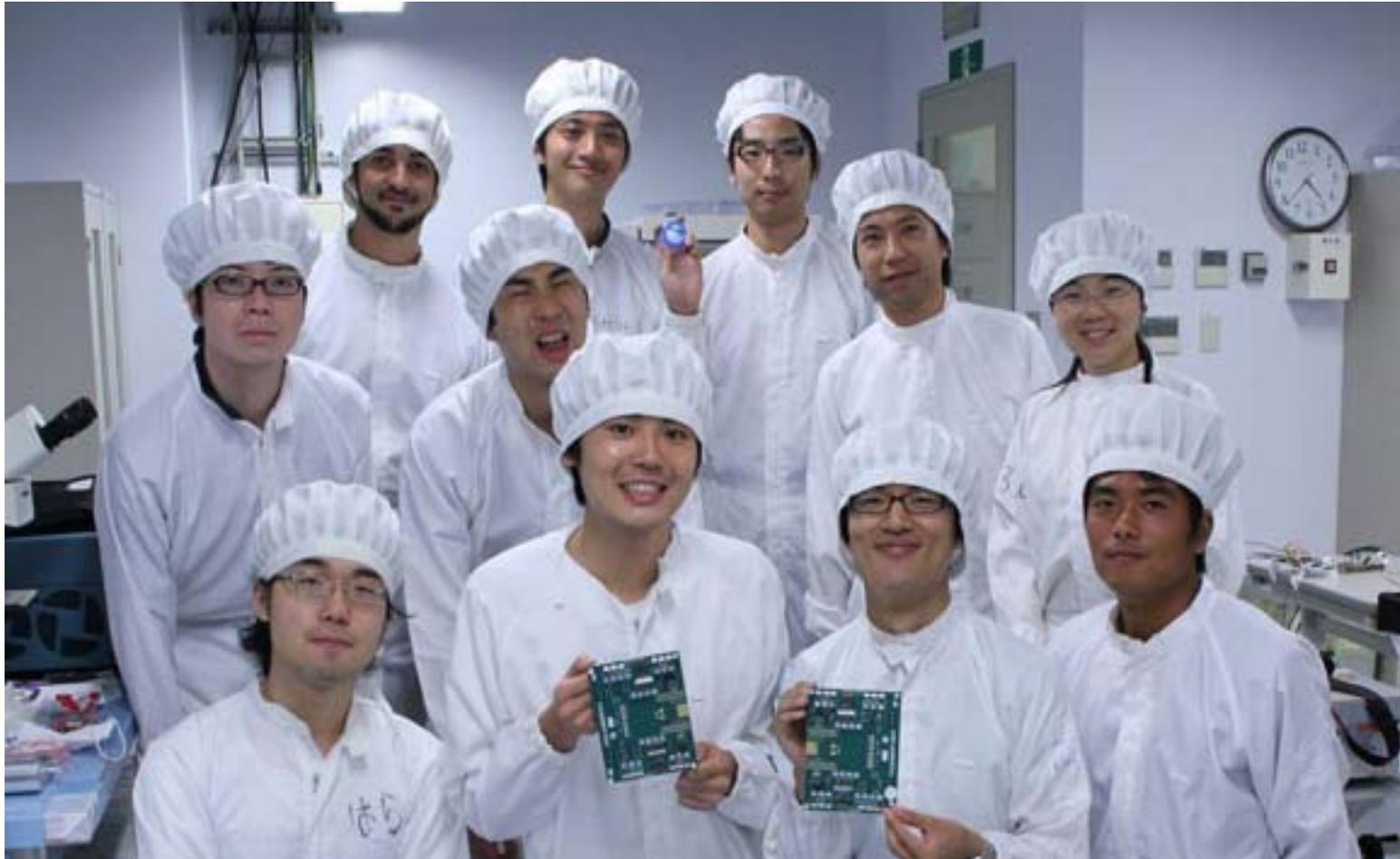


トランシーバー開発メンバー

45

TOKYO TECH
Pursuing Excellence

修士学生が中心の開発メンバー



2011年1月

超高速・低電力ADC

ミリ波ベースバンド用

伝送回路のデータレートはADCの分解能 N と変換周波数 f_s の積に比例する

$$D_{rate} \approx N \cdot f_s$$

N : 分解能
 f_s : 標本化周波数

ノイズがADCの量子化ノイズで決まると仮定した場合

シャノンの定理

$$C = BW \log_2 \left(1 + \frac{P_S}{P_N} \right)$$

ADCのBWとSNR

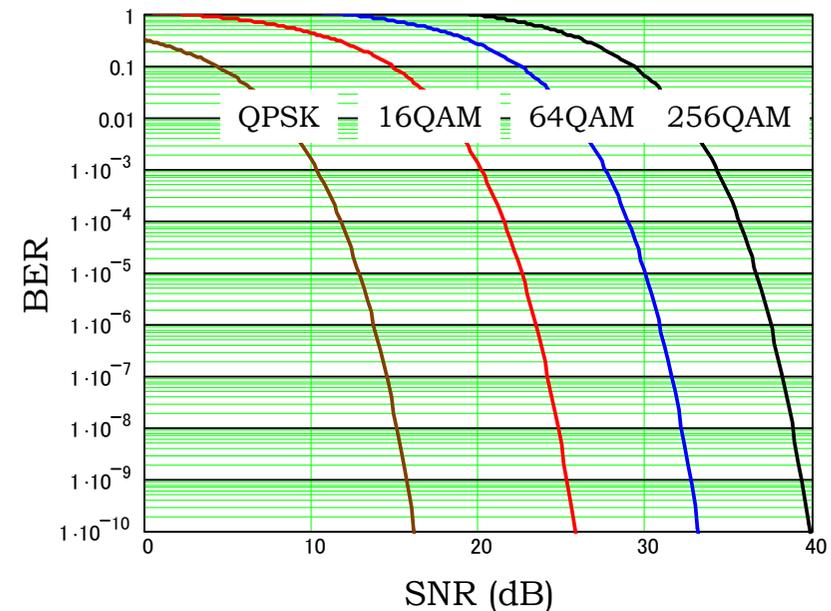
$$BW < \frac{f_s}{2} \quad \left. \frac{P_S}{P_N} \right|_{ADC} = 1.5 \cdot 2^{2N}$$

したがって

$$C \approx N f_s$$

f_s : 標本化周波数
 N : 分解能

多値変調の実現には高いSNRが必要



実際例: 38GHz 1Gbps 固定無線

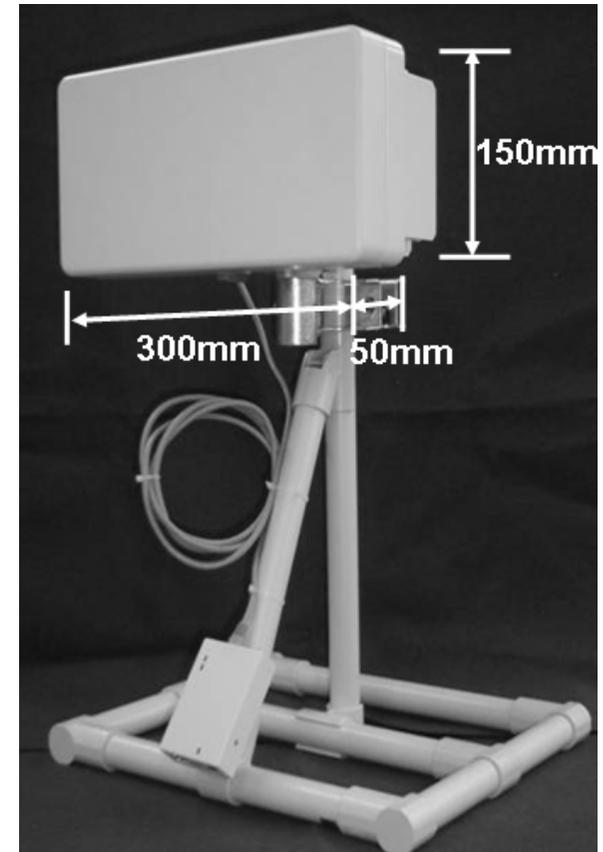
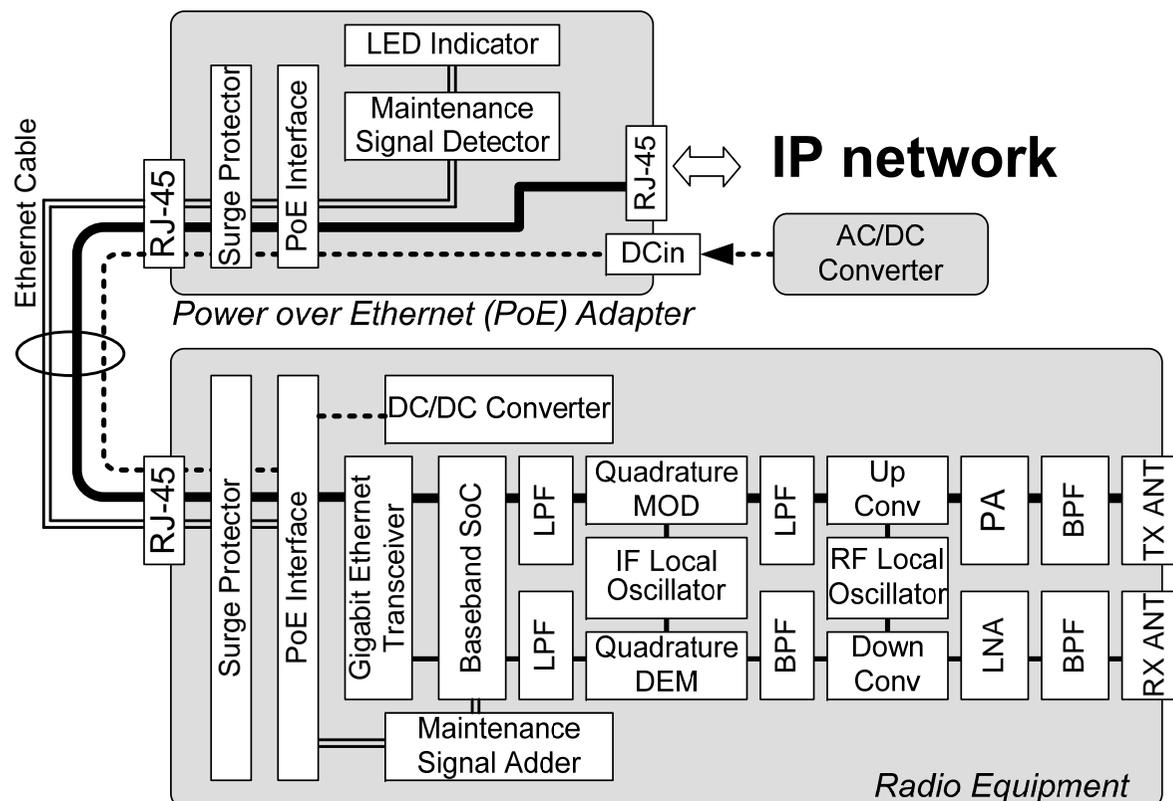
48

TOKYO TECH
Pursuing Excellence

38GHz 1Gbps 固定無線システムを共同開発した

Compatible with Gbit Ethernet
Hole system is integrated with planar antenna

日本無線との共同開発

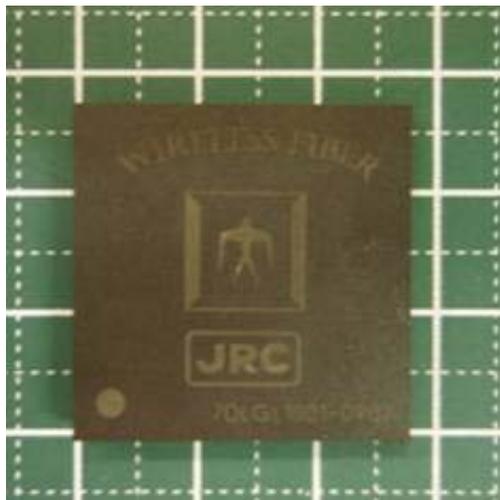
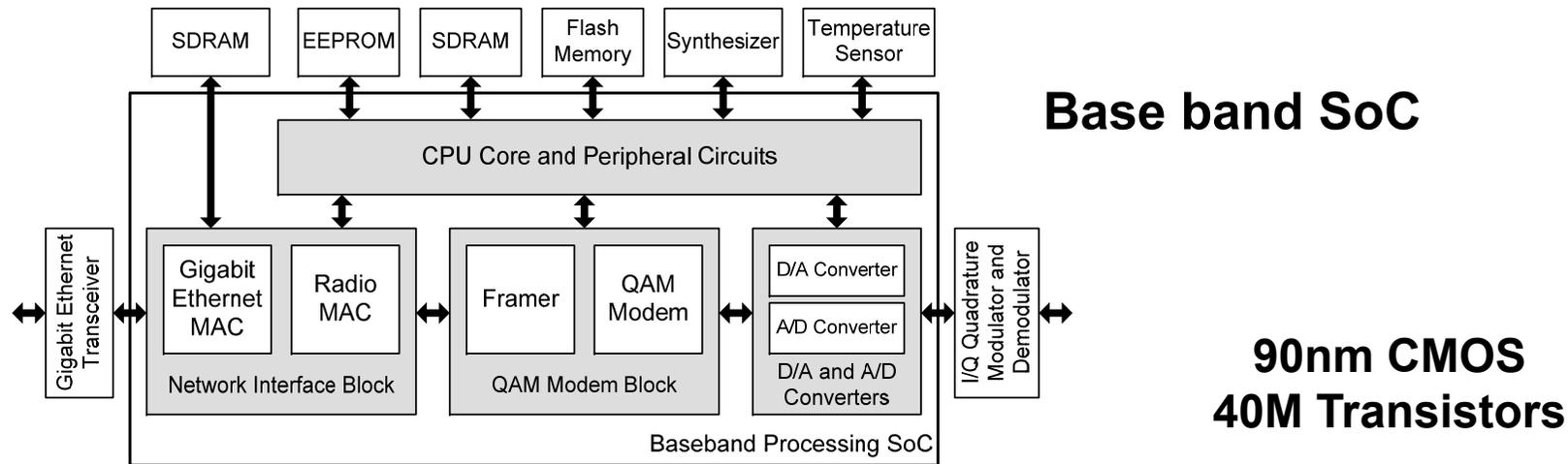


アナログ・デジタル混載 BB SoC

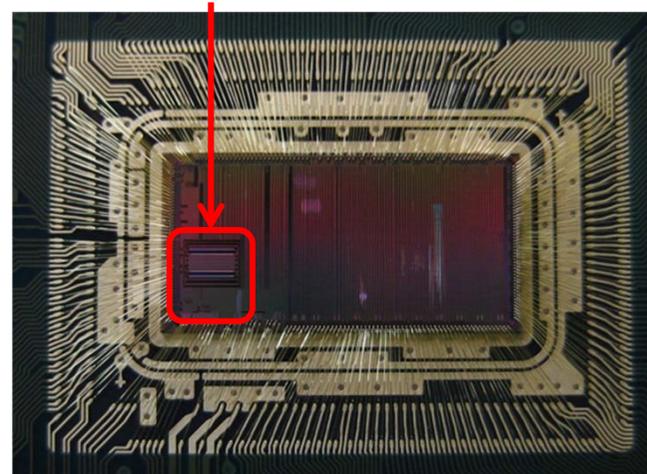
49

TOKYO TECH
Pursuing Excellence

アナログ・デジタル混載ベースバンドSoCを開発した。
64QAM (1Gbps) を用い信号帯域は260MHz.



当研究室で開発したADC & DAC



ADC 性能とビット誤り率

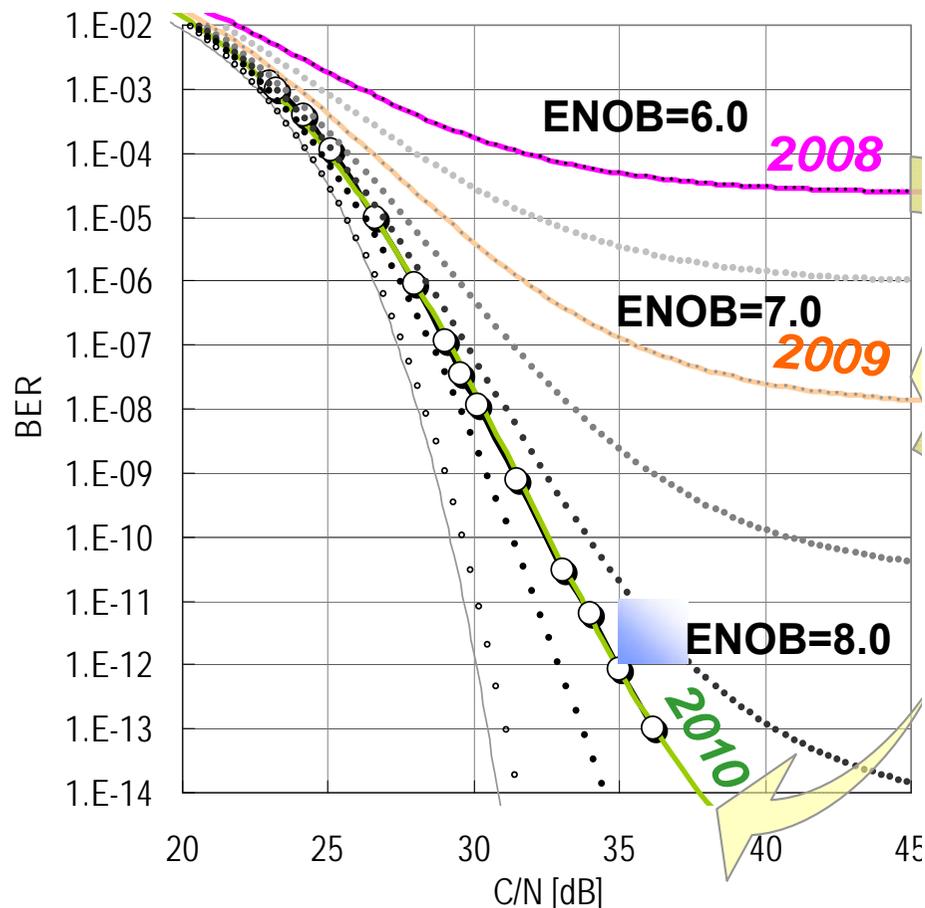
50

TOKYO TECH
Pursuing Excellence

64QAMで十分低いビット誤り率を達成するためには
有効分解能の高いADCは不可欠

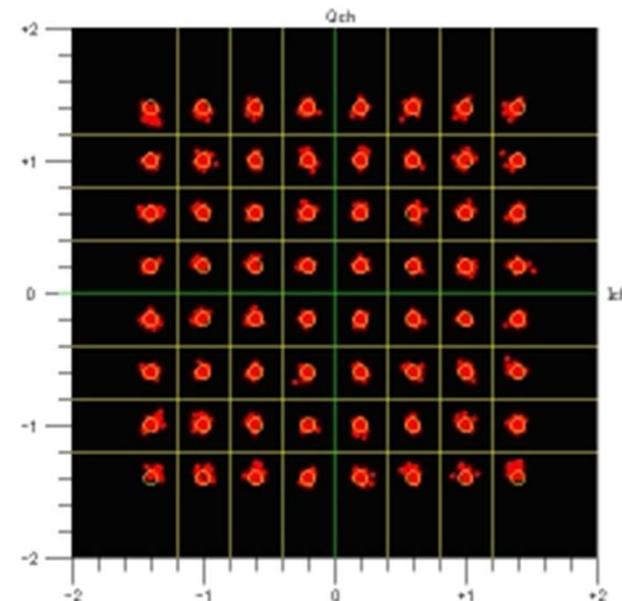
BW=260MHz

C/N vs 64QAM_BER on B-B pair



ENOB: ADCの有効分解能

64QAM



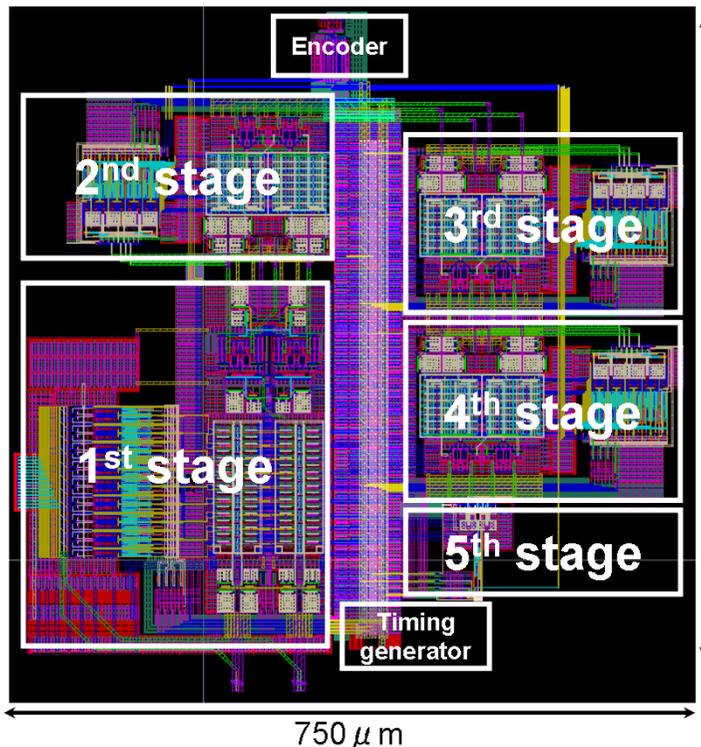
新方式の ADC

51

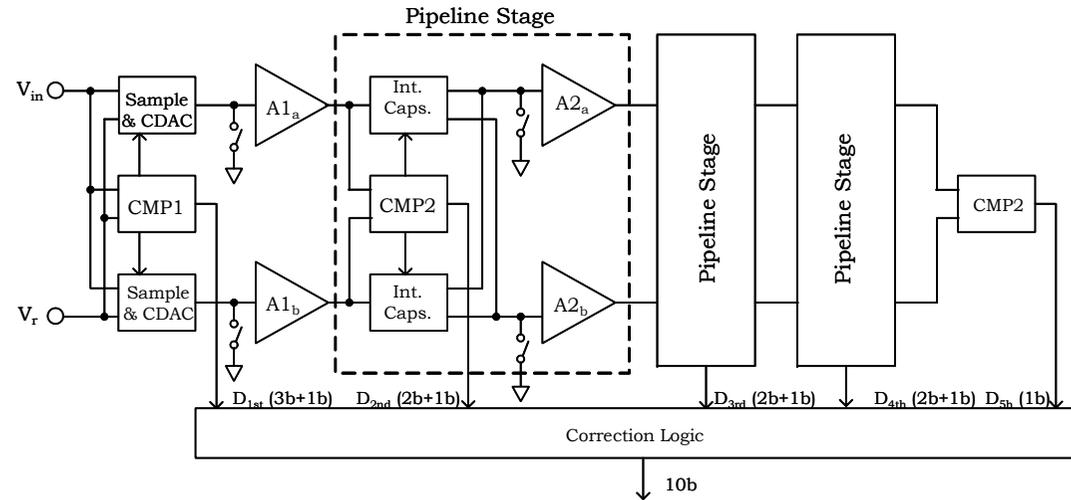
超高速多値伝送に最適の新変換方式の10bit ADCを開発

10b, 320MSps, 30mW ADC

- No interleaving
- No double sampling
- No OpAmp
- No calibration



補間パイプライン型ADC



	This Work	[1]	[2]	[3]	[4]	[5]
Resolution (bit)	10	10	10	11	10	11
F_{sample} (MHz)	450	500	205	800	1350	1000
V_{DD} (V)	0.8/1.2	1.2	1.0	1.3/1.5	1.2/1.6	1.2/2.5
Power (mW)	40	55	61	350	175	250
ENOB (bit)	8.7	8.5	8.7	8.7	8.0	8.3
FoM (pJ/conv.step)	0.2	0.31	0.65	1.07	0.6	0.77
Technology (nm)	90	90	90	90	130	130
Active Area (mm ²)	0.49	0.5	1	1.4	1.6	3.5

M. Miyahara, A. Matsuzawa, VLSI-CS, 2011.

60GHz帯用ベースバンド SoC

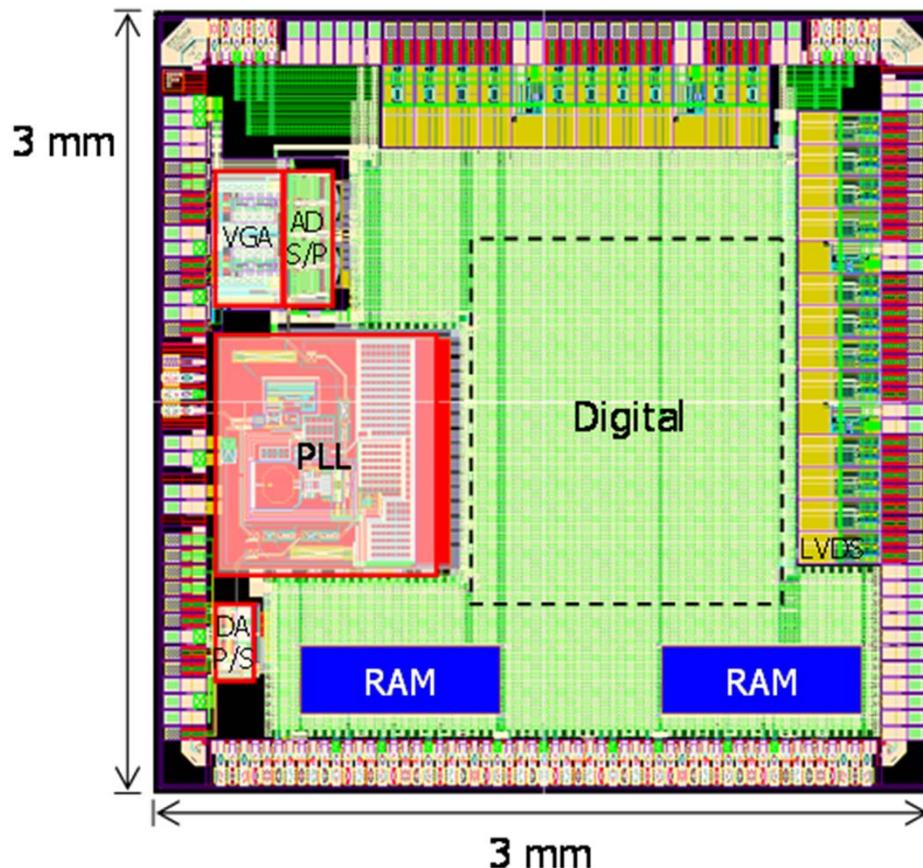
52

TOKYO TECH
Pursuing Excellence

ベースバンドチップはADC, DAC, VGA,とPLLが集積されおり,
40nmCMOSで試作した。(Sonyとの共同開発)

RX: 300mW, TX: 110mW

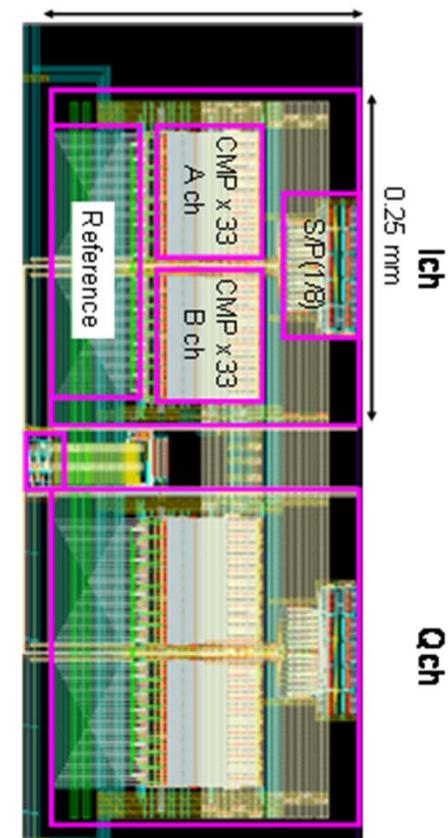
40nm CMOS technology



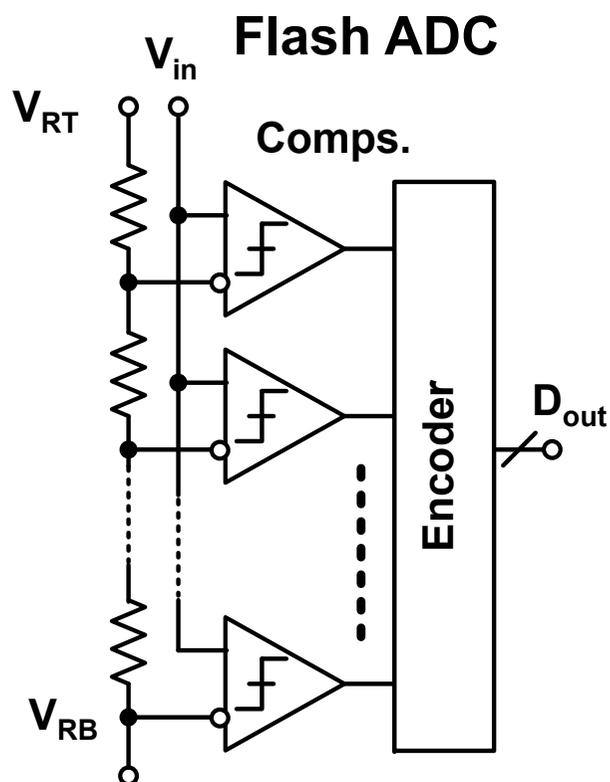
ADC 5b, 3GSps, 11mW/ch

当研究室が開発

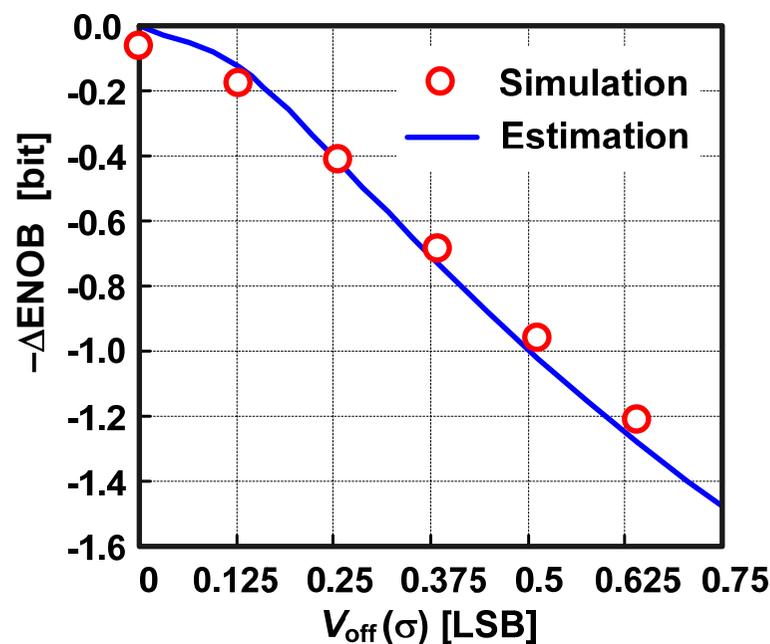
0.22 mm



フラッシュ型ADCは分解能が5~7ビットでGHzを超える用途では未だ最適な変換方式である。
実効的分解能 (ENOB)は比較器のミスマッチ電圧で決まる。



$$\Delta ENOB = \frac{1}{2} \log_2 \left(1 + 12 \left(\frac{V_{off}(\sigma)}{V_q} \right)^2 \right) \quad \text{6bit : } V_{off} < 3\text{mV}$$

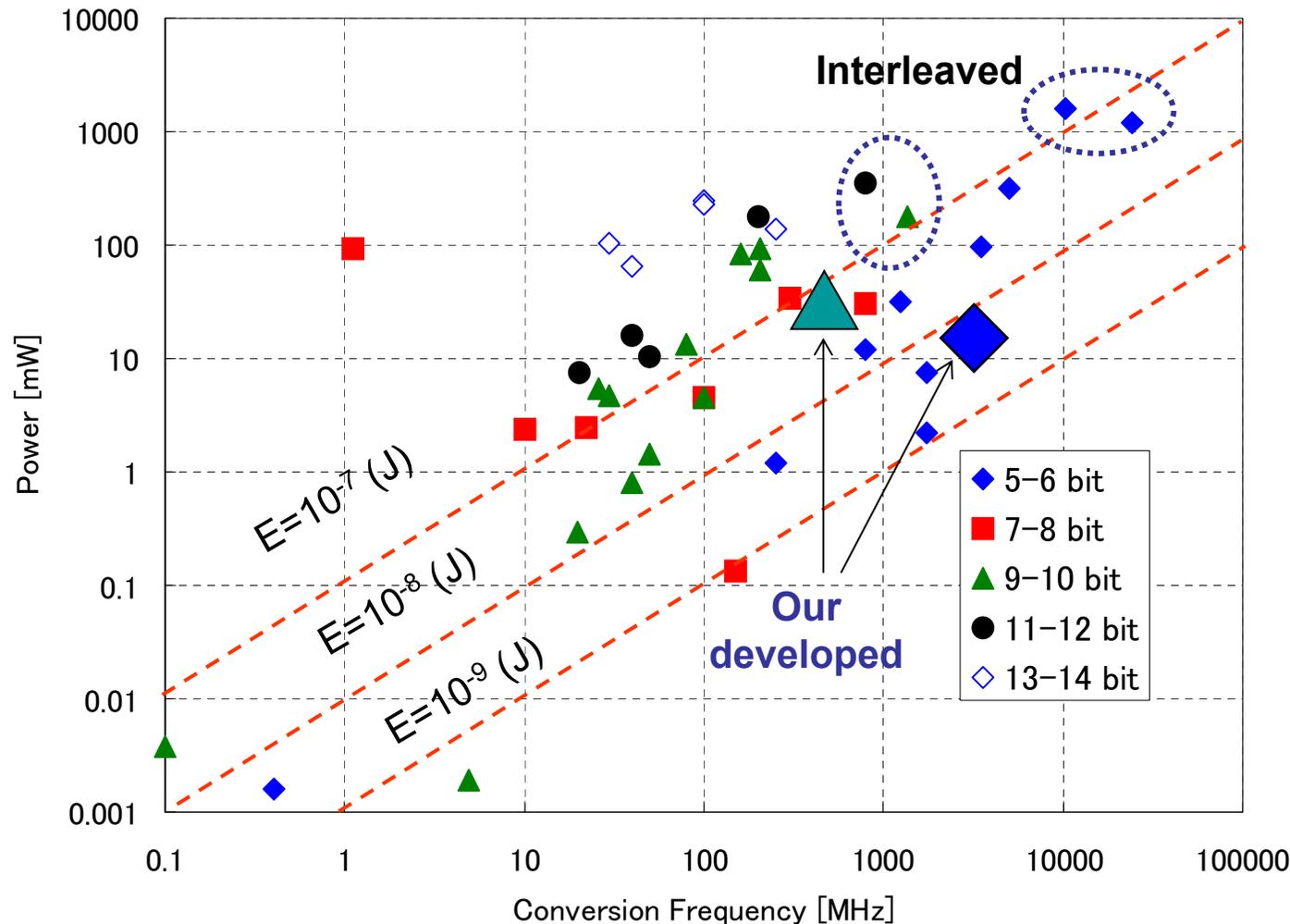


ADCの性能と消費電力

54

TOKYO TECH
Pursuing Excellence

5～7ビット程度の分解能では単体でも数GHzの変換が可能
10GHz以上の場合にはインターリーブになるが、消費電力が増大する。
10ビット以上の高分解能ADCは1GHz以上の変換は容易ではない。

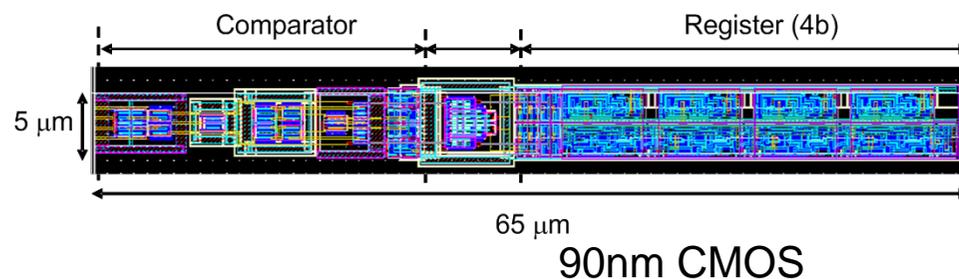
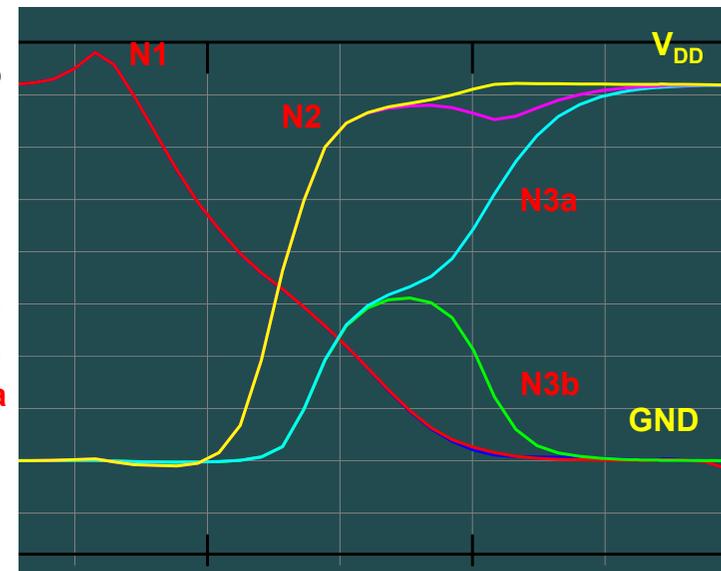
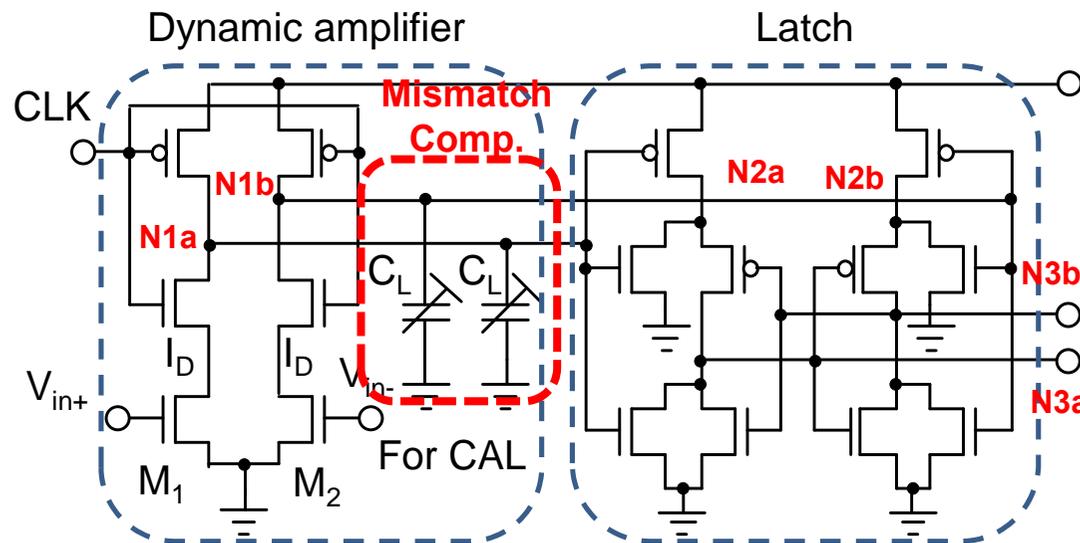


ダイナミック比較器

55

TOKYO TECH
Pursuing Excellence

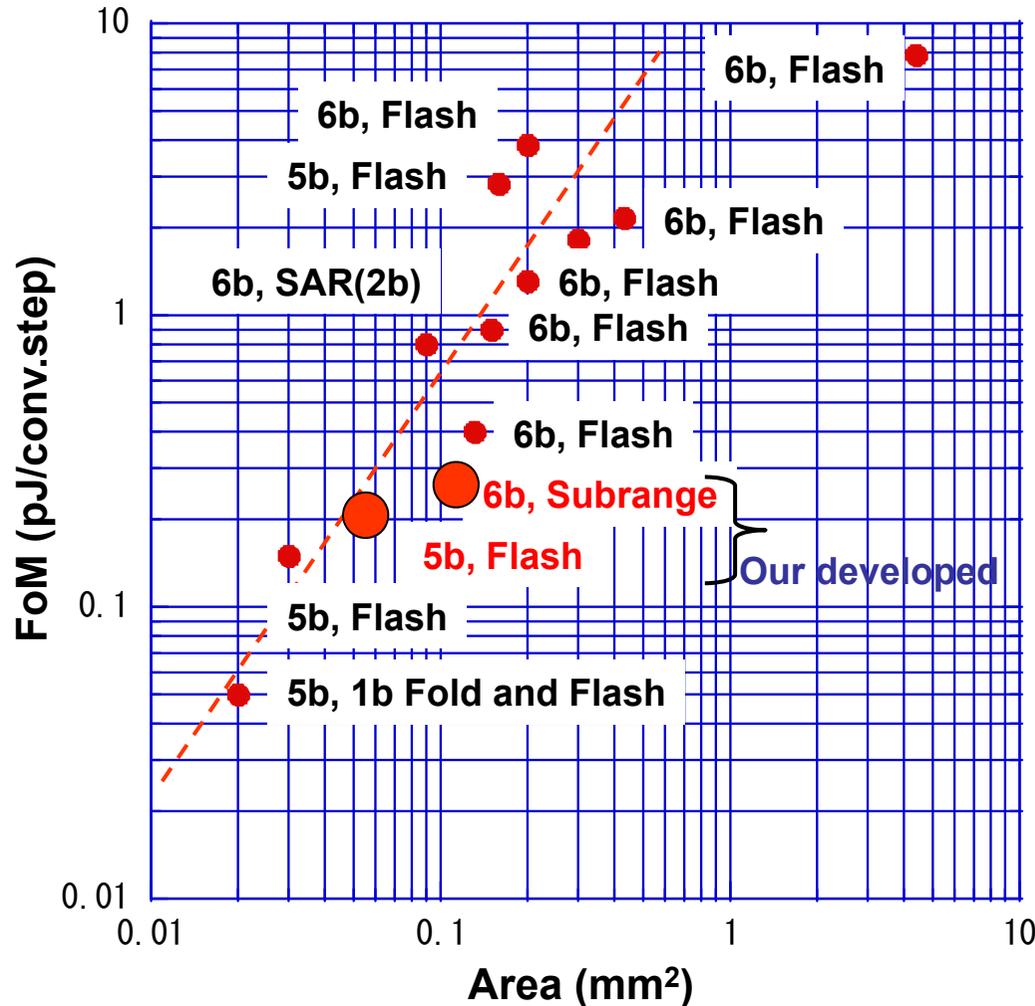
貫通電流が流れず，高速(4GHz程度までは動作可能)かつ低電力なダイナミック型比較器を提案。定常電流が流れず低電力。容量によりオフセット電圧の補償が可能(1mV程度は可能)でかつ低ノイズ。



M. Miyahara and A. Matsuzawa, et al., A-SSCC, Nov. 2008.

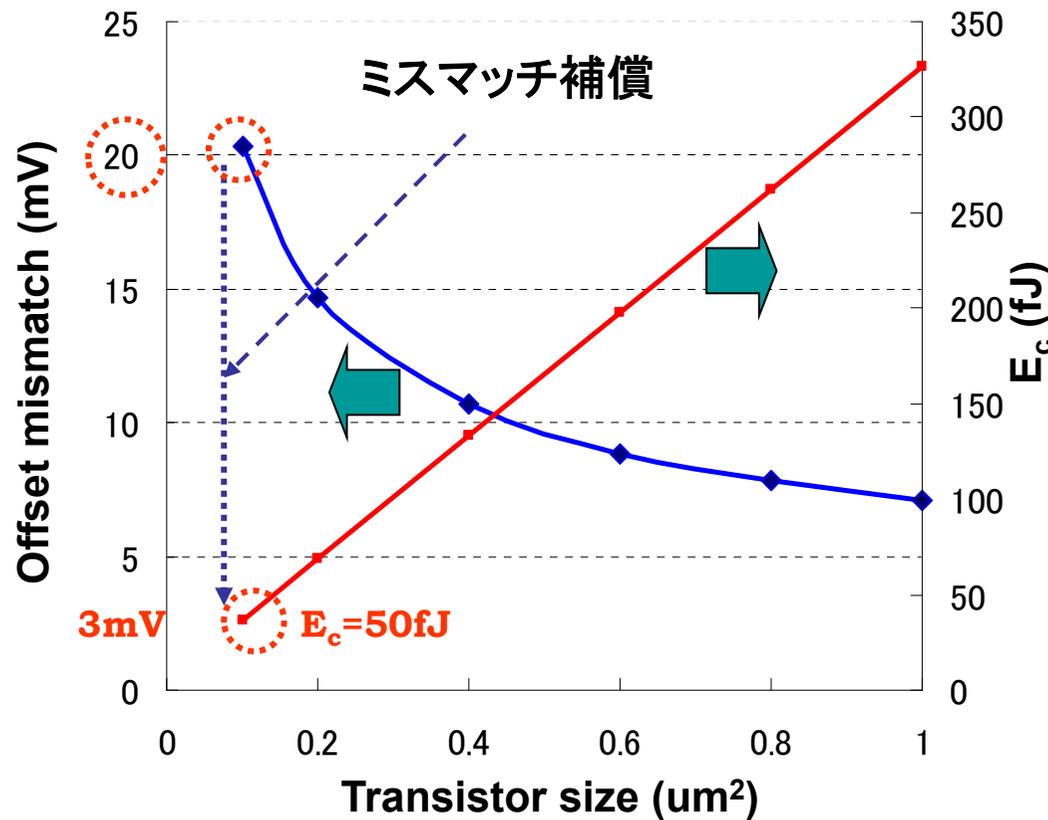
Y. Asada, and A. Matsuzawa, et al., A-SSCC, Nov. 2009.

5~6ビットADCの面積とFoM(変換エネルギー)は正比例する
低電力ADCの実現には小面積化が不可欠



$$\begin{aligned}
 \text{FoM} &= \frac{P_d \cdot 2^{\Delta \text{ENOB}}}{f_c \times 2^N} \\
 &= E_c \cdot 2^{\Delta \text{ENOB}}
 \end{aligned}$$

トランジスタサイズを減少させて消費エネルギーを下げ、ミスマッチ電圧の増大はデジタルミスマッチ補償技術により抑制して高精度化する



設計例

6bit ADC: $V_{\text{off}} < 3 \text{ mV}$
 $E_c < 50 \text{ fJ} \rightarrow 0.1 \mu\text{m}^2 \rightarrow V_{\text{off}} = 20 \text{ mV}$
 Needs mismatch compensation
 $20 \text{ mV} \rightarrow 3 \text{ mV}$

$$V_{\text{offset}}(\sigma) \propto \frac{1}{\sqrt{LW}}$$

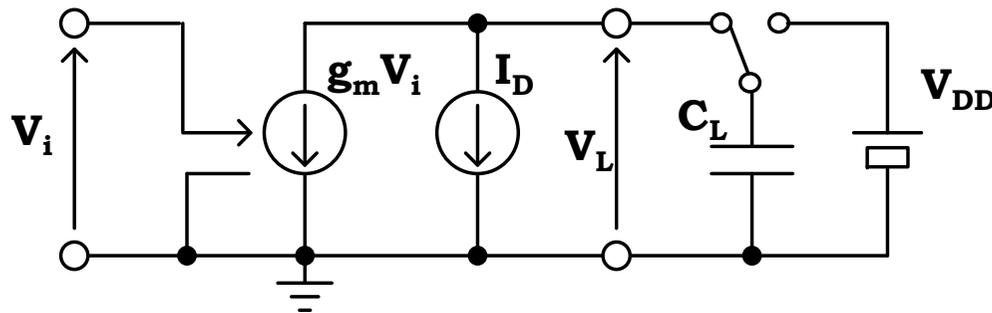
$$E_c \propto C_c \propto LW$$

$$E_c \propto \frac{1}{V_{\text{offset}}^2(\sigma)}$$

ダイナミック型比較器のオフセット電圧補償 / 58

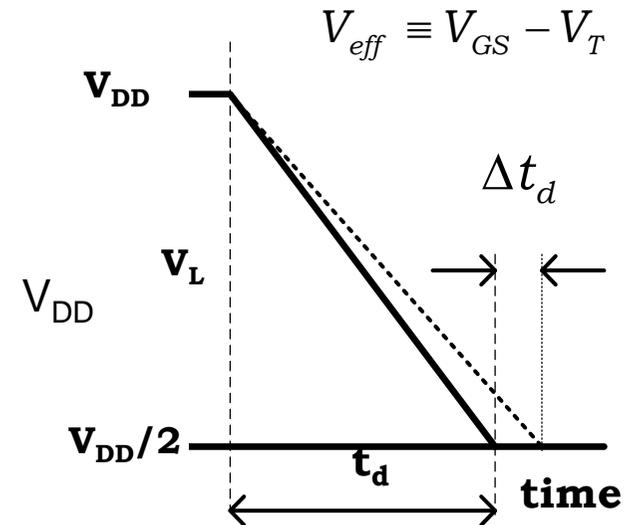
動作電流か負荷容量を変えてスルーレートを制御することでオフセット電圧補償が可能になる

初段のダイナミックアンプの等価回路

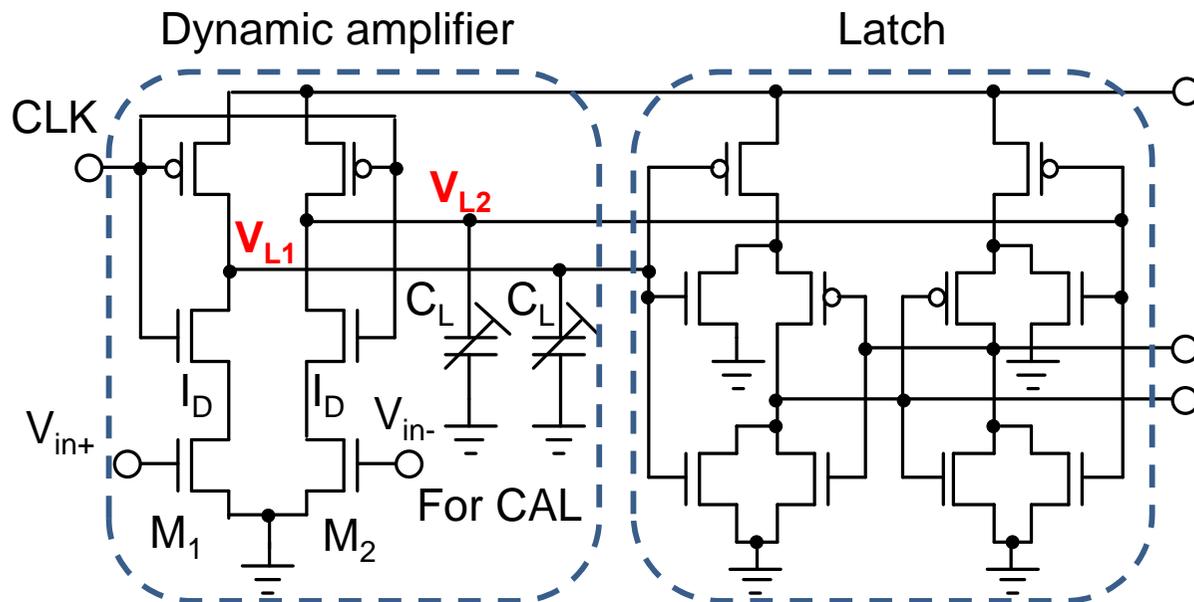


$$\Delta V_i = \frac{V_{eff}}{2} \left(\frac{\Delta C_L}{C_L} - \frac{\Delta I_D}{I_D} \right)$$

$$V_{eff} \equiv V_{GS} - V_T$$



Output



M. Miyahara and A. Matsuzawa, et al., A-SSCC, Nov. 2008.

オフセット補償結果

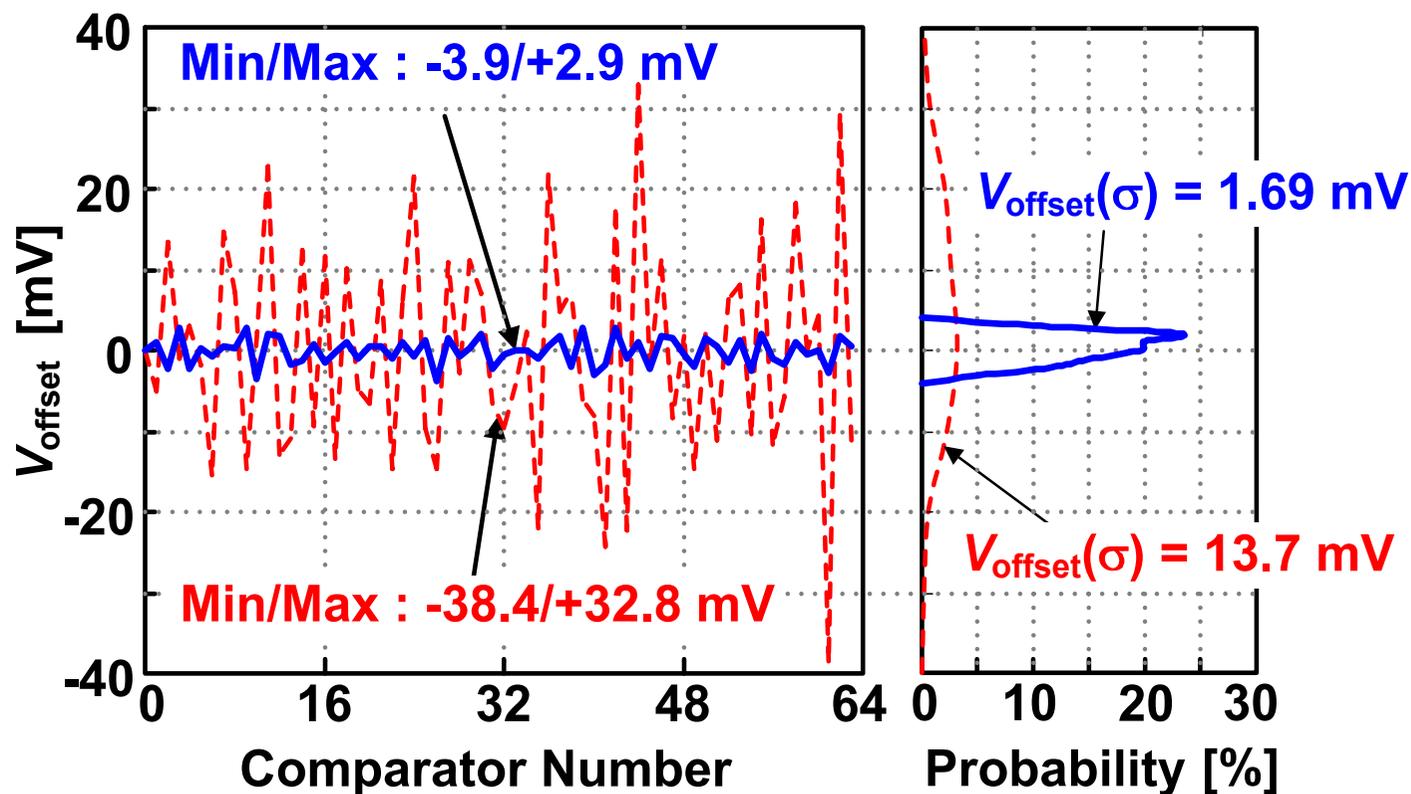
59

TOKYO TECH
Pursuing Excellence

13.7 mV のオフセット電圧を1.7mVに低減した

Measured result

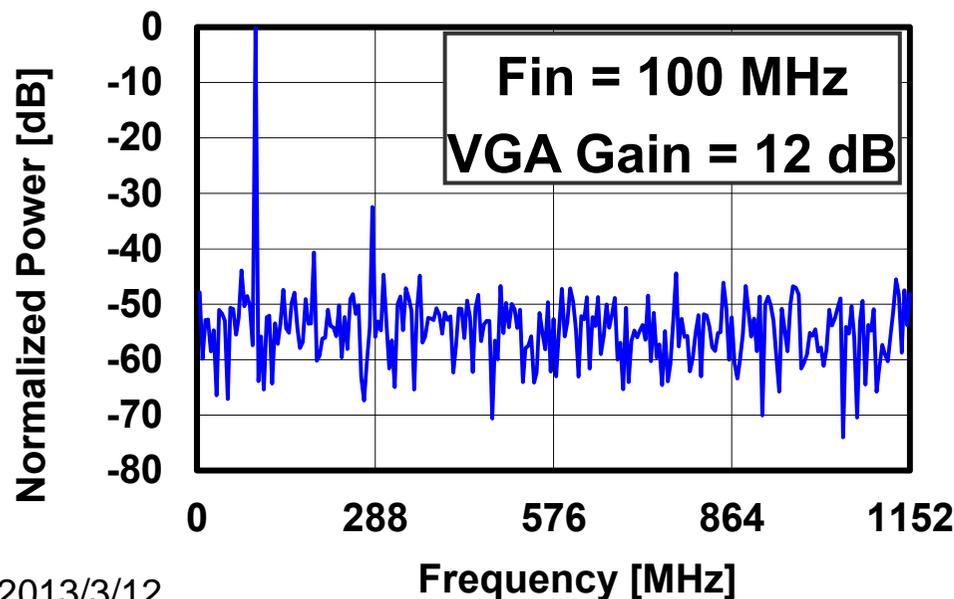
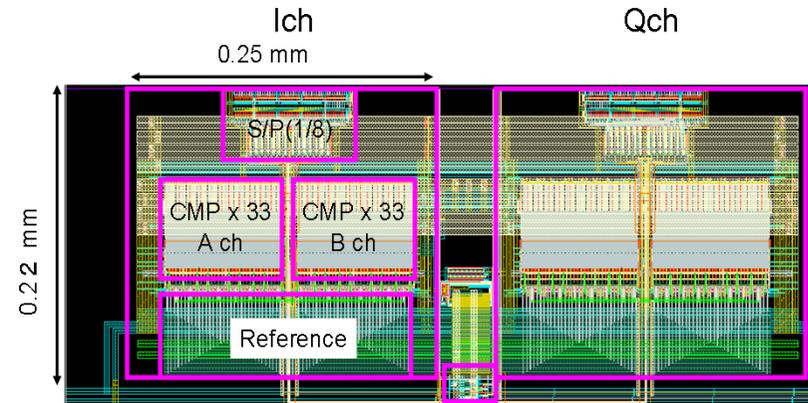
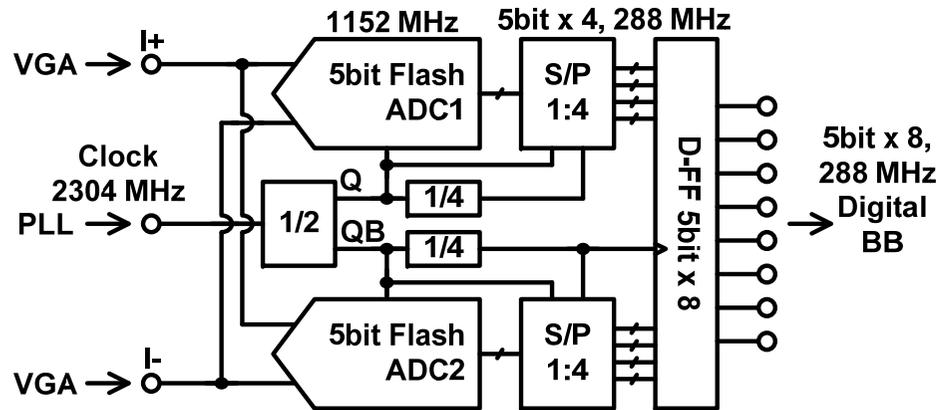
— Calibration ON
- - - Calibration OFF



60GHz トランシーバ用フラッシュADC

60

M. Miyahara and A. Matsuzawa, et al.,
RFIC 2012.



VGA Gain range	0-40 dB
ADC Resolution	5 bit
Sampling rate	2304 MS/s
Power Consumption	VGA : 9 mW ADC : 12 mW*
DNL, INL	< 0.8 LSB
SNDR	26.1 dB
FoM of ADC	316 fJ/conv.-s

*single channel inc. S/P

ADC性能の比較

61

TOKYO TECH
Pursuing Excellence

60GHz トランシーバ用として世界最小レベルの消費電力とコア面積を達成

	Architecture	Cal.	fs [GS/s]	SNDR [dB]	Power [mW]	FoM [fJ/-c.s.]	Process [nm]	Area [mm ²]
[1]	Flash	-	3.5	31.2	98	946	90	0.149
[2]	SAR	Internal	2.5	34.0	50	489	45	1
[3]	Folding	Internal	2.7	33.6	50	474	90	0.36
[4]	Pipeline, Folding	External	2.2	31.1	2.6	40	40	0.03
[5]	Flash	Internal	2.88	27.8	36	600	65	0.25
This work	Flash	Internal	2.3	26.1	12	316	40	0.06

- [1] K. Deguchi, *et al.*, *VLSI Circuits* 2007 [2] E. Alpman, *et al.*, *ISSCC* 2009
[3] Y. Nakajima, *et al.*, *VLSI Circuits* 2007 [4] B. Verbruggen, *et al.*, *ISSCC* 2010
[5] T. Ito, *et al.*, *A-SSCC* 2010

- **通信・記録システムの技術の方向性**
 - 多値化によるデータレート向上への期待
 - SoCでADC+DSPを実現することが実用上重要
 - 集積回路技術はまだまだ進化。高集積化・低電力化が期待される。
- **60GHz帯CMOSトランシーバの開発**
 - 瞬時の大容量データ転送への期待
 - CMOS微細化によるRF性能の向上と, RF/BB一体集積化技術
 - 60GHz 高周波回路, 16QAMなどの多値伝送と, 数GHzの広帯域化技術
 - インジェクションロック技術などによる低位相ノイズ技術
 - 世界最高速の7Gbps, 16Gbps(RFのみ), 低消費電力(500mW; RF+BB) の60GHz帯CMOSトランシーバを実現
- **超高速・低電力ADC技術**
 - 面積縮小・低電力・高速動作を実現するダイナミックアナログ回路技術
 - 微細化による精度劣化を補償するデジタルアシスト技術