

光通信の進展に向けた集積回路技術

松澤 昭

東京工業大学
大学院理工学研究科

2013/5/16

- ・ 通信・記録システム技術の発展方向
- ・ 集積回路技術の最近の進展
- ・ 超高速・超高周波CMOS集積回路の開発例
 - 60GHz CMOS トランシーバLSIの開発
- ・ 超高速ADCについて

高速信号伝送と多値化およびADC性能

2

TOKYO TECH
Pursuing Excellence

伝送回路のデータレートは多値化数Nと帯域BWの積に比例する
帯域が固定されると、多値化数を上げて伝送レートを向上させるしかない

多値通信の場合

$$D_{rate} \approx 2N \cdot BW$$

N: 多値化数
BW: 信号帯域

ADCの場合

$$D_{rate} \approx N \cdot f_s$$

N: 多値化数
 f_s : 変換周波数

シャノンの定理

$$C = BW \log_2 \left(1 + \frac{P_S}{P_N} \right)$$

ADCのBWとSNR

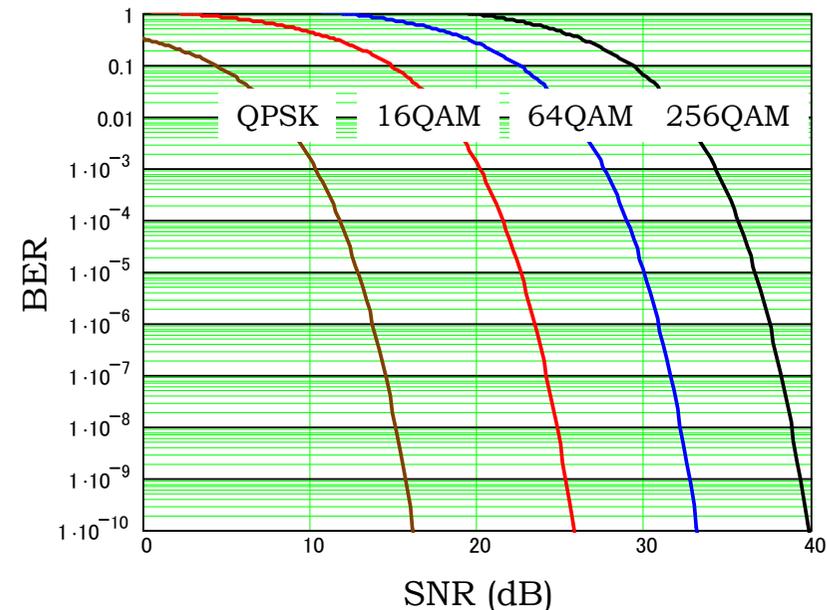
$$BW < \frac{f_s}{2} \quad \left. \frac{P_S}{P_N} \right|_{ADC} = 1.5 \cdot 2^{2N}$$

したがって

$$C \approx N f_s$$

f_s : 標本化周波数
N: 分解能

多値変調の実現には高いSNRが必要

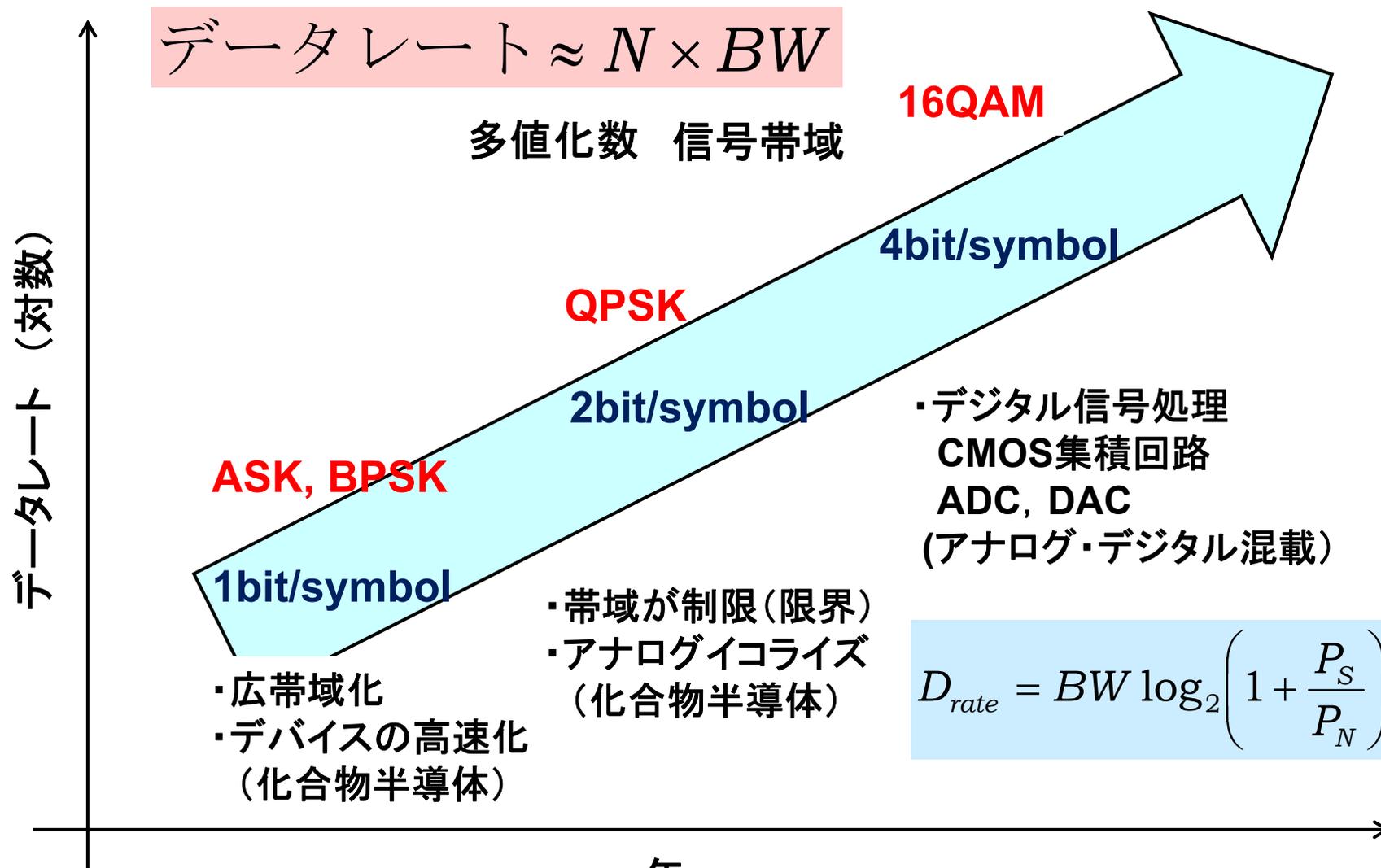


通信・記録システムの発展

3

TOKYO TECH
Pursuing Excellence

通信・記録システムはデバイスの高速化・広帯域化が進んだ後多値化に向かい, ADC+デジタル信号処理技術が必要となる。



$$D_{rate} = BW \log_2 \left(1 + \frac{P_S}{P_N} \right)$$

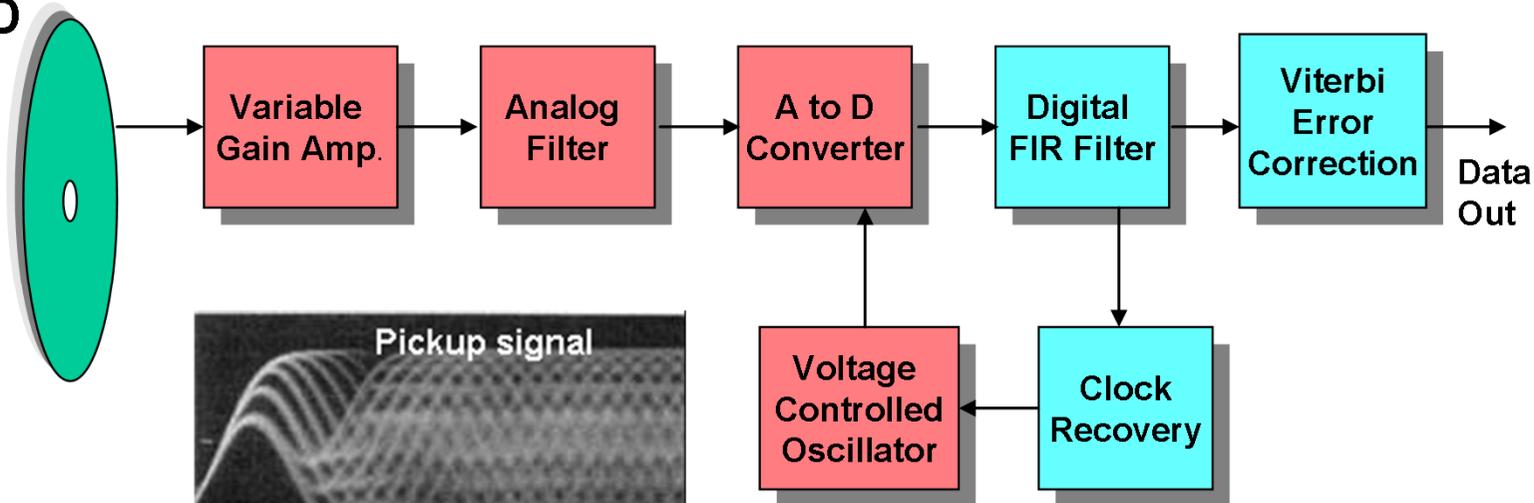
記録システムでの開発例

4

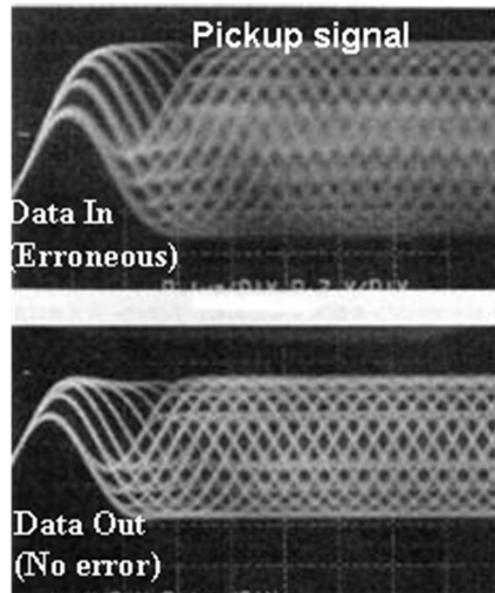
TOKYO TECH
Pursuing Excellence

DVDの信号処理にADCを含むアナログフロントエンドとデジタル信号処理の導入によりDVDの読み取り性能を飛躍的に向上させた。

DVD



デジタル
多値記録



DVDレコーダの例: デジタルリードチャンネル



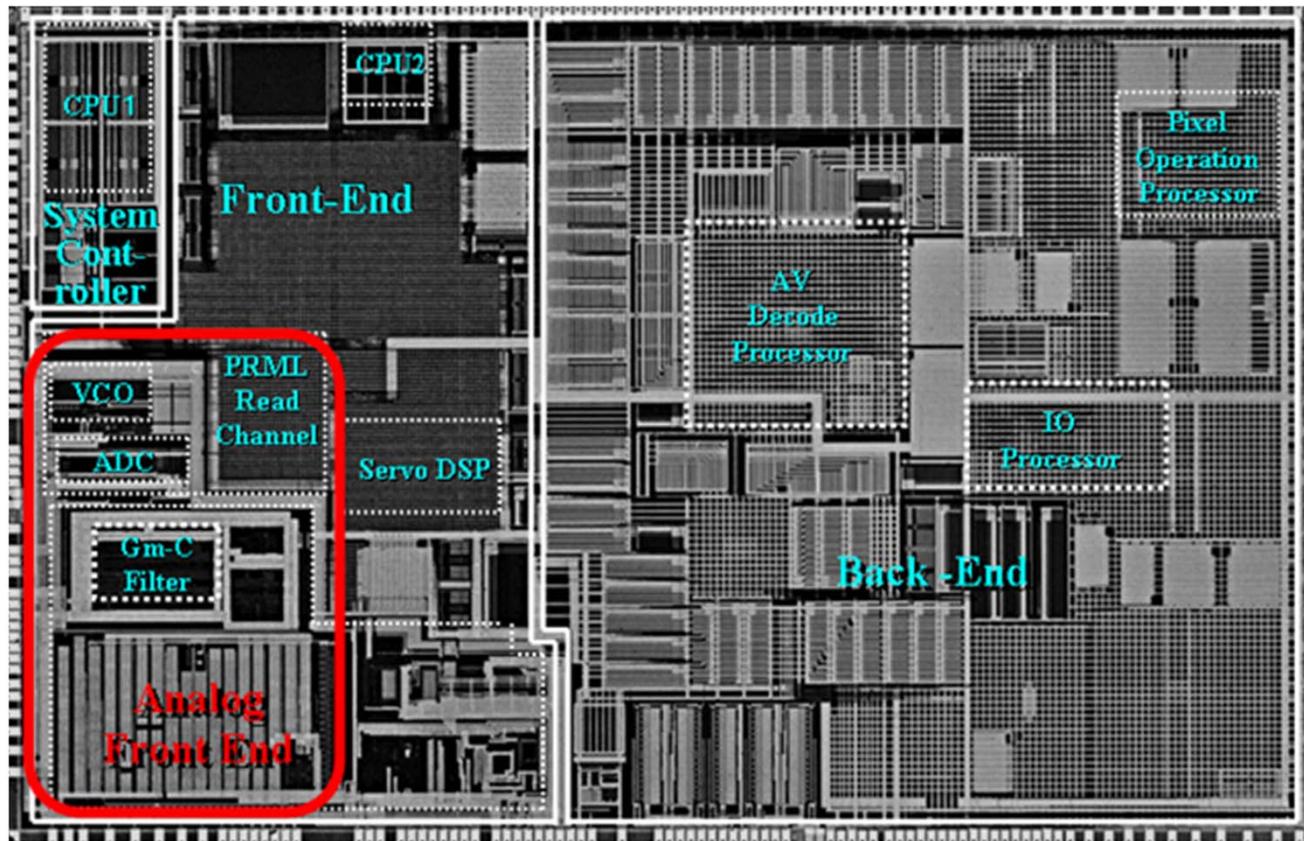
アナログ・デジタル混載SoC

5

TOKYO TECH
Pursuing Excellence

高性能アナログ回路やADCを含むDVDの全機能を世界で初めてワンチップに集積。アナログ・デジタル混載SoC時代の幕開けとなった。

アナログ・デジタル混載SoC技術により**高性能化と低コスト化を同時に実現**できる。



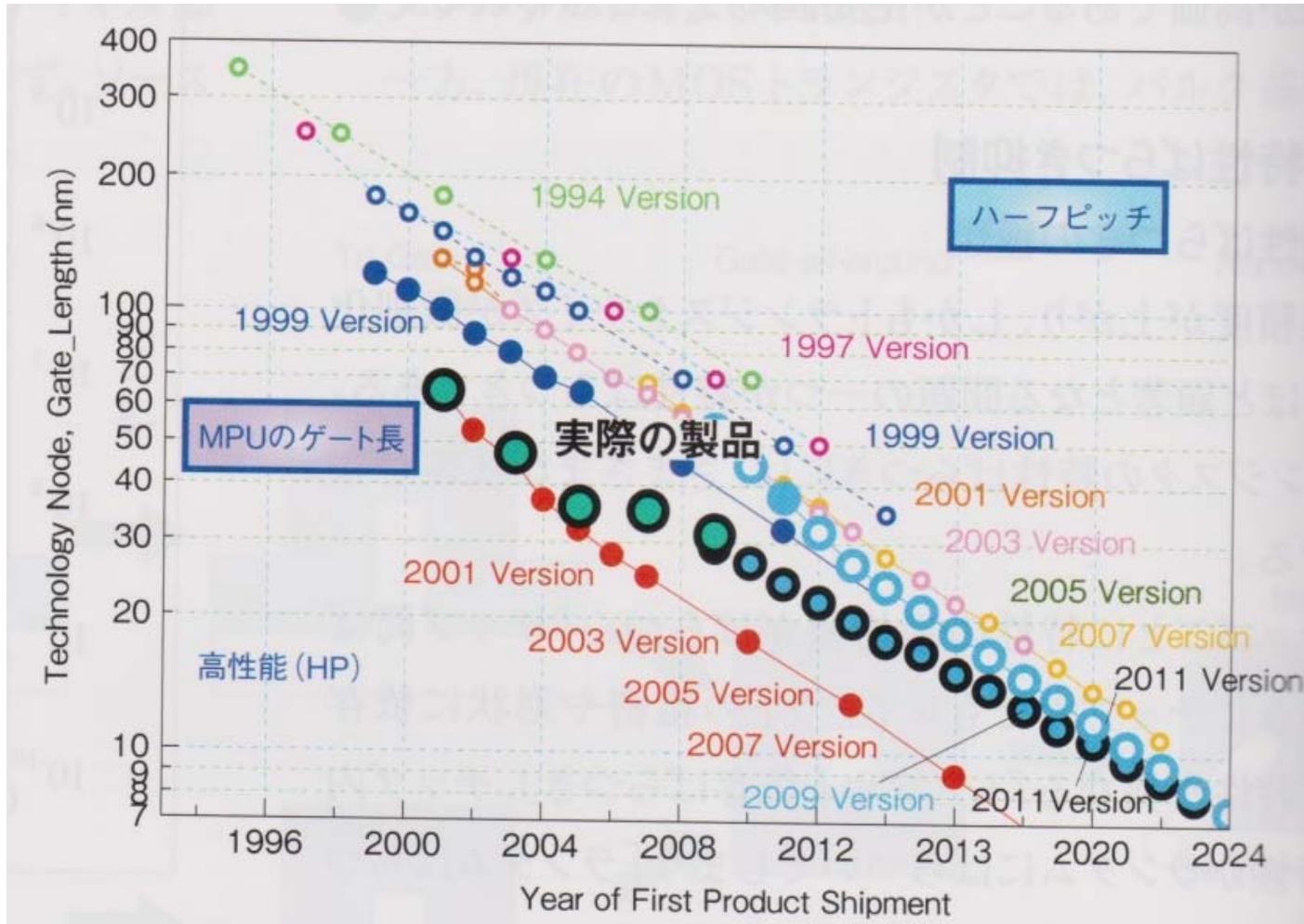
Okamoto, Matsuzawa,
et al., ISSCC 2003

このSoCシリーズは年間
1億個の生産量に達する

0.13um CMOS

微細化の進展

現在28nm CMOSが量産中，7nm程度までは計画されている



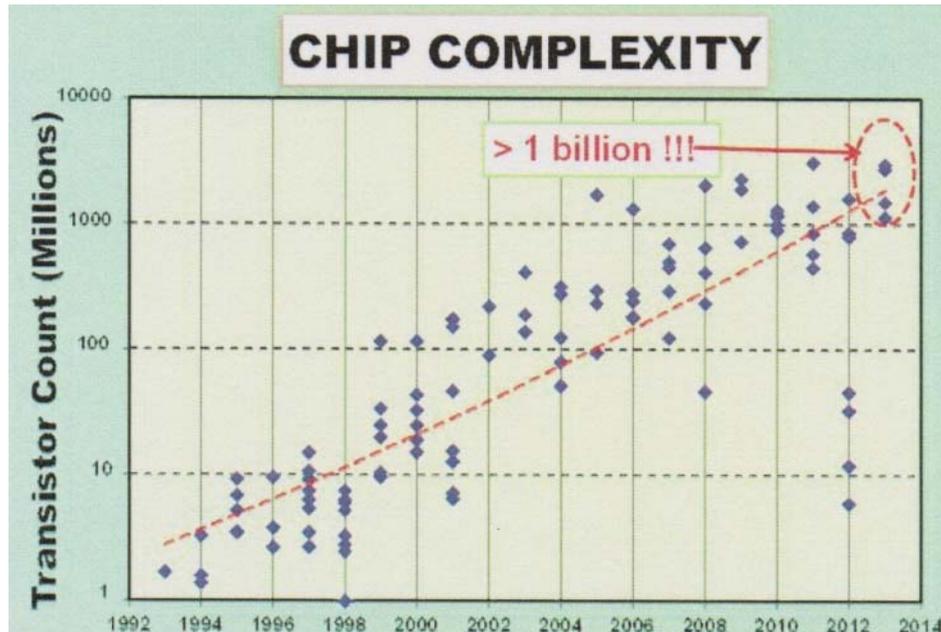
JEITA, "IC Guide Book 2より

性能の推移

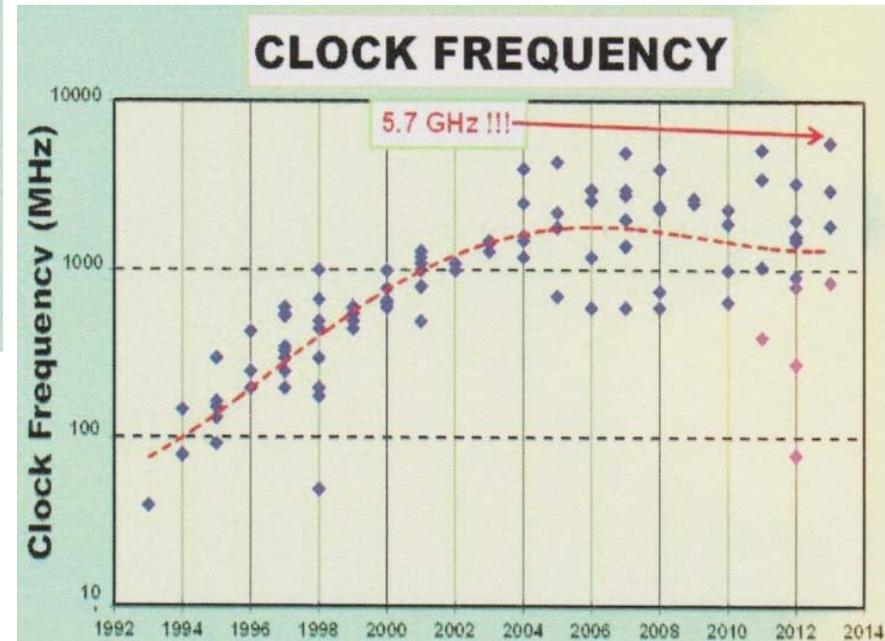
7

TOKYO TECH
Pursuing Excellence

トランジスタ数は最大数10億トランジスタ
で今後も増加する



クロック周波数は数GHzで飽和
コア数を増やすことで高速処理の方向



ISSCC 2013より

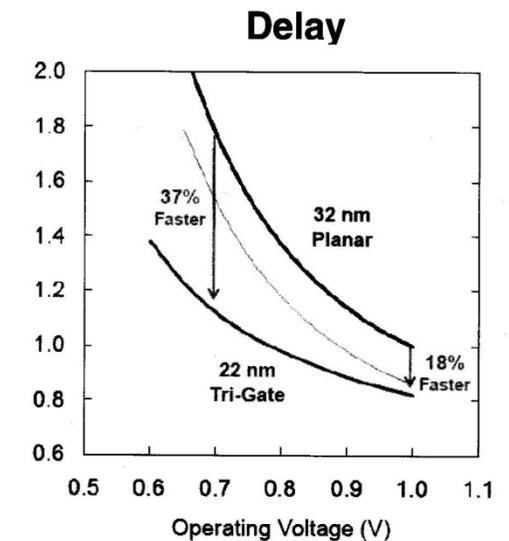
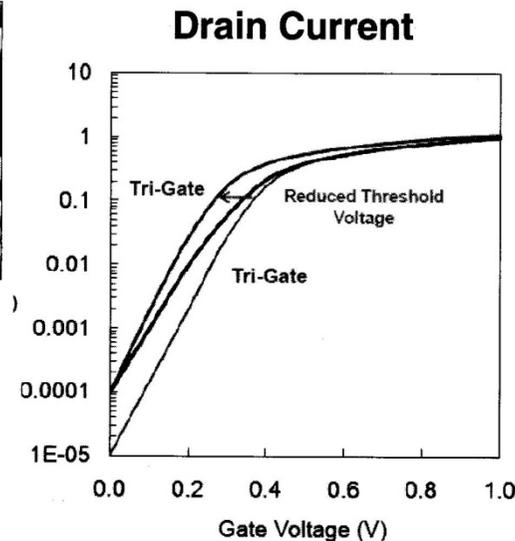
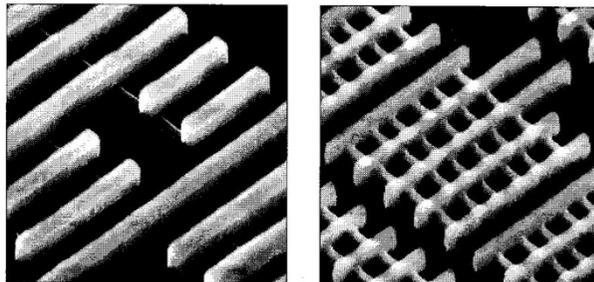
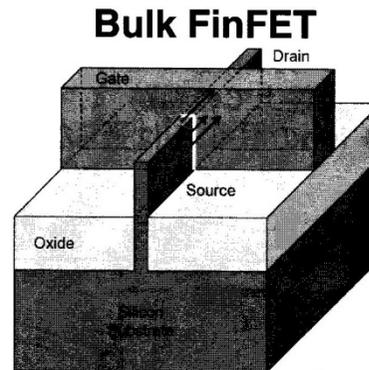
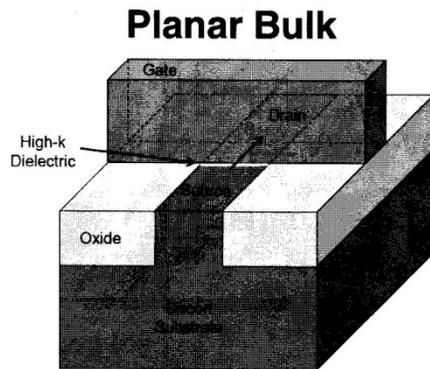
2013/5/16

CMOSデバイスの大きな革新

8

TOKYO TECH
Pursuing Excellence

従来のバルクMOSFETから立体構造を用いたFinFETに大きく構造転換
リーク電流が大きく低減, もしくは低電圧でも高速動作が可能になった。



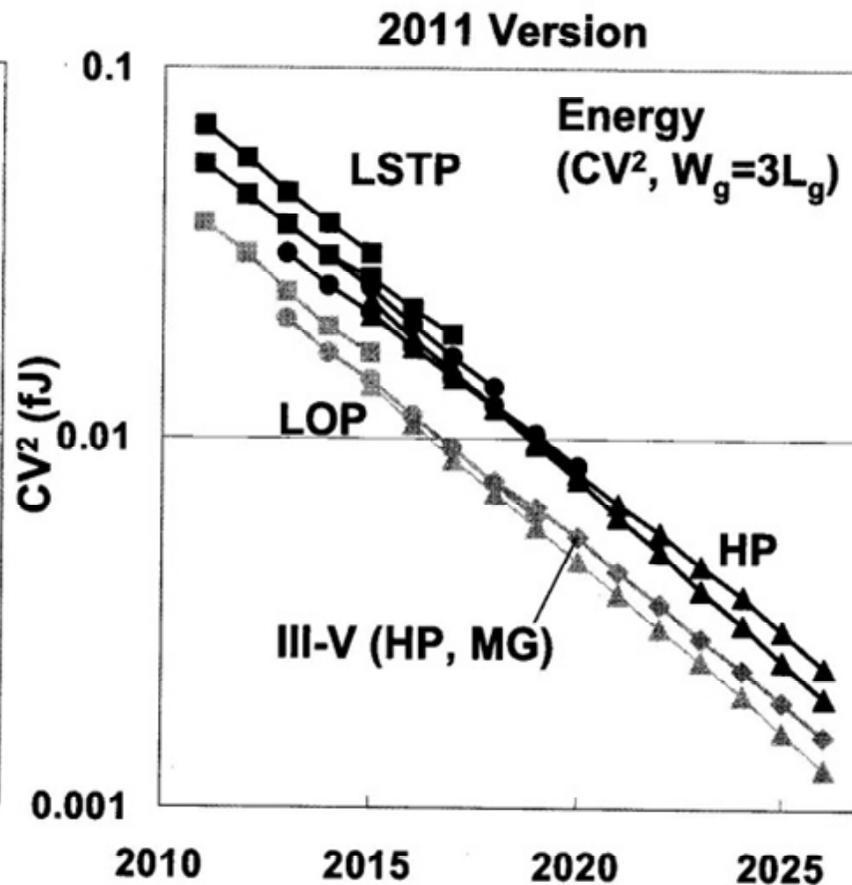
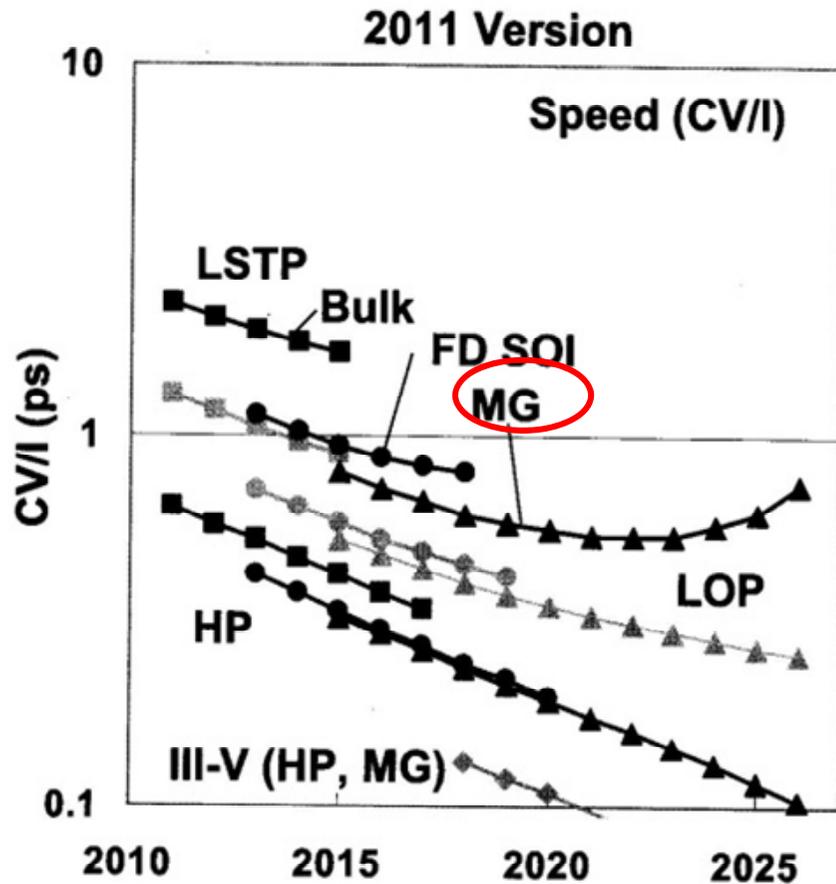
原図はインテル発表のもの

ゲート遅延時間と消費電力推移

FinFETなどのデバイスの革新により今後も消費電力は低減可能と予測
遅延時間はそれほどの改善は期待できないかもしれない

ゲート遅延時間

消費電力



STARC アドバンス講座 低消費電力化技術セミナー (東大:平本教授)2012.03.13より

CMOSの微細化とRF回路性能

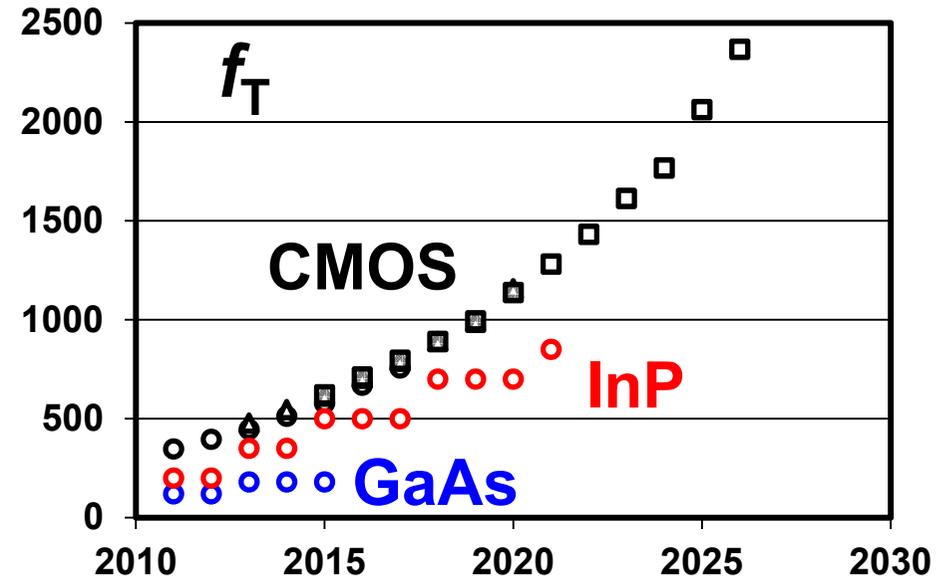
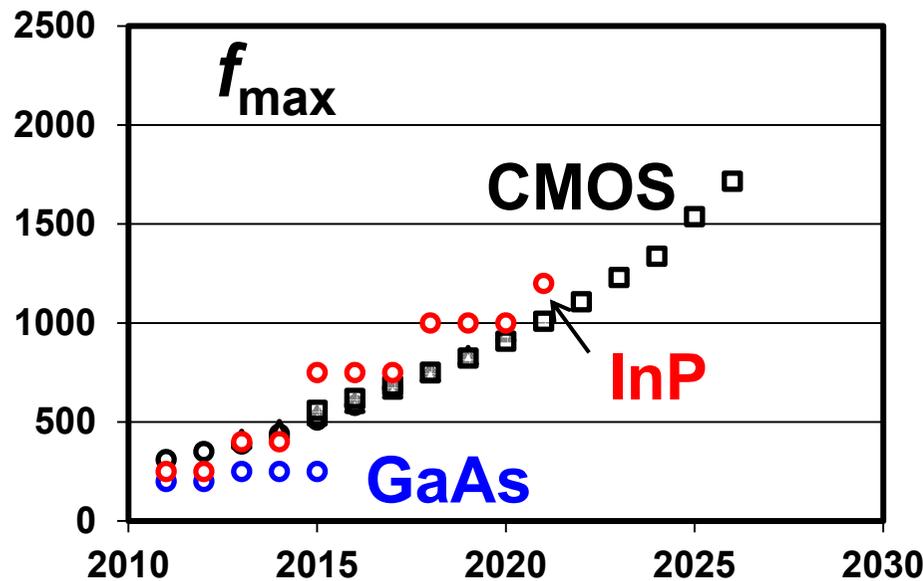
RF回路の基本性能(利得, ノイズ)は最終的にはデバイスの f_T, f_{max} で決まる
微細化によりCMOSの f_T, f_{max} は今後も向上する

NF<4dB at 60GHz はCMOSで達成している

$$f_T \propto \frac{1}{L_{gate}}$$

$$G_{max} \approx \frac{f_{max}}{f_c}$$

$$NF_{min} \approx 1 + \left(\frac{f_c}{f_T} \right) \sqrt{1.3g_m(R_g + R_s)}$$



○ Bulk CMOS

△ Ultra-Thin-Body Fully-Depleted (UTB FD) SOI

□ Multi-Gate MOSFETs

ITRS RFAMS 2011.

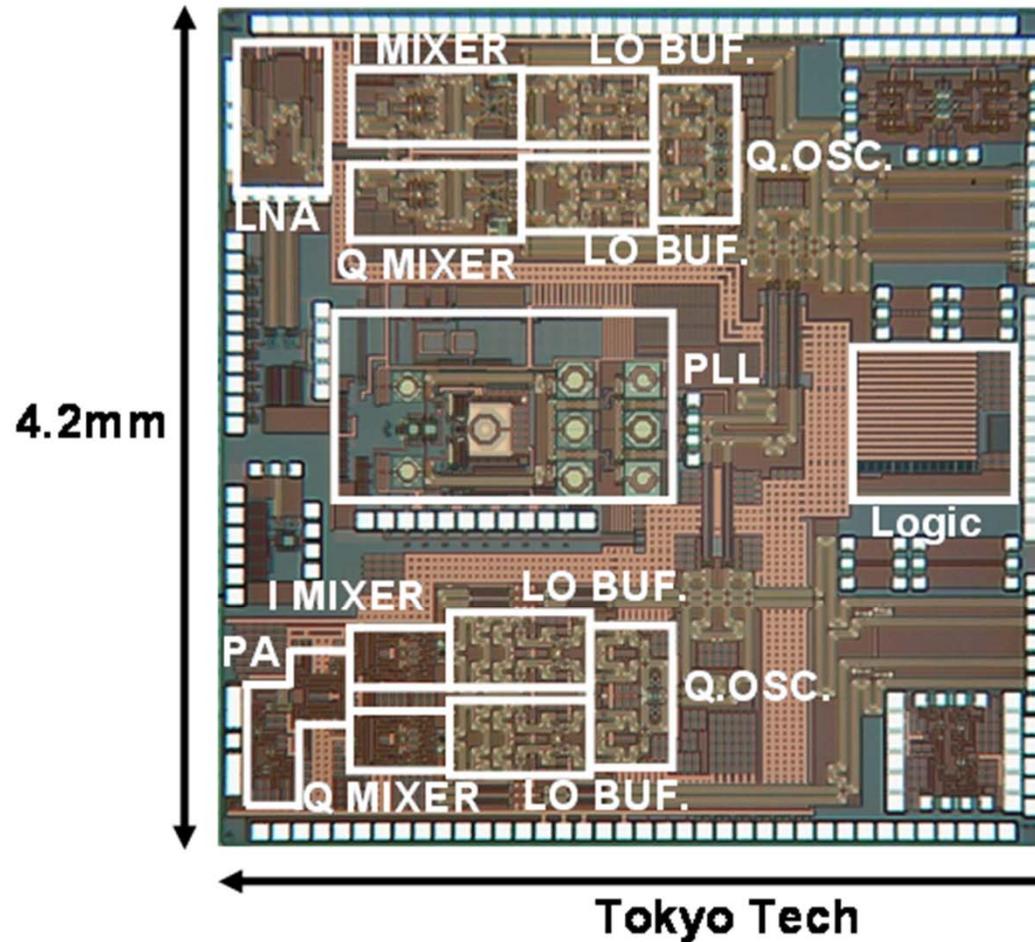
60GHz CMOS トランシーバLSI

11

TOKYO TECH
Pursuing Excellence

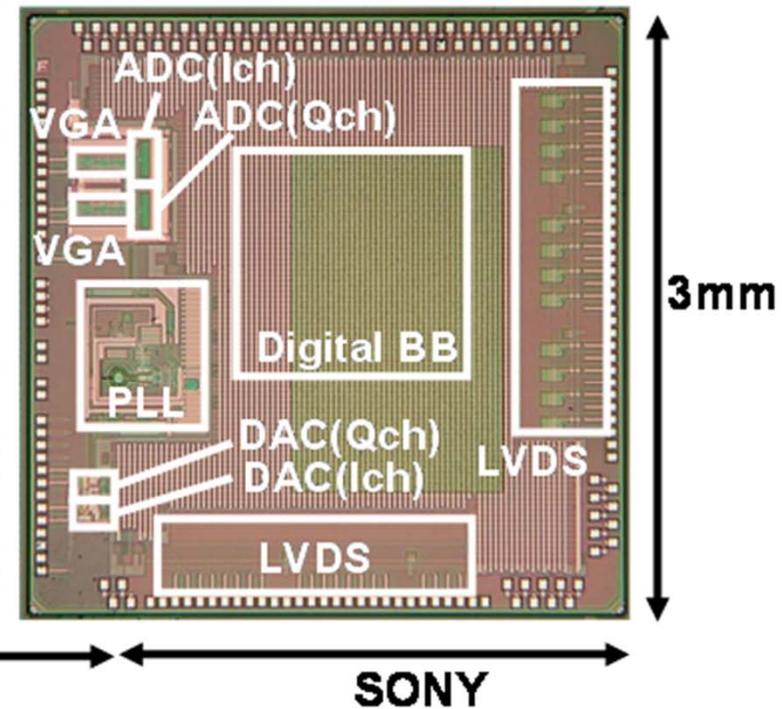
RFチップとベースバンドチップのVGA, ADC, DAC回路を開発

RFチップ

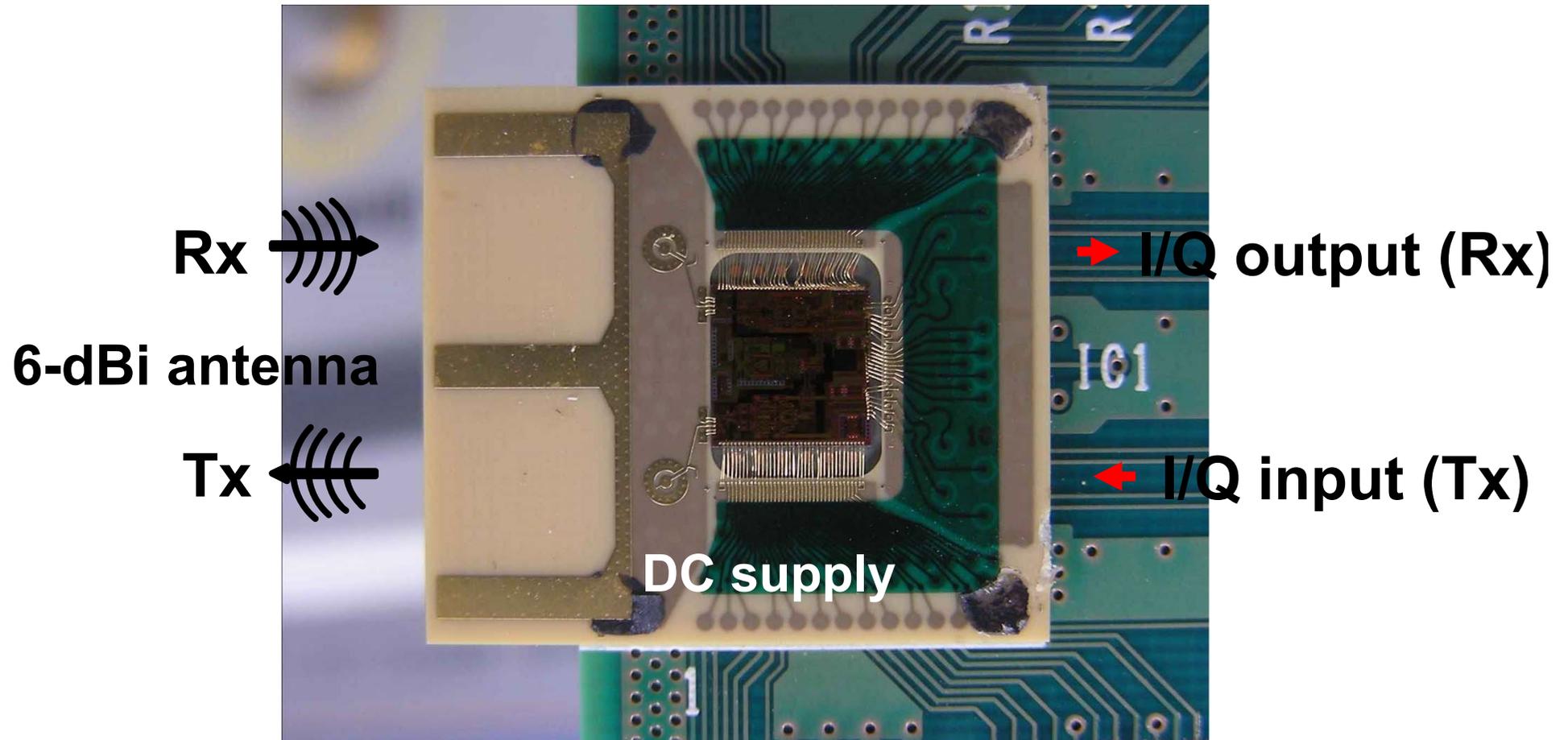


K. Okada and A. Matsuzawa, et al.,
ISSCC 2012.

BBチップ



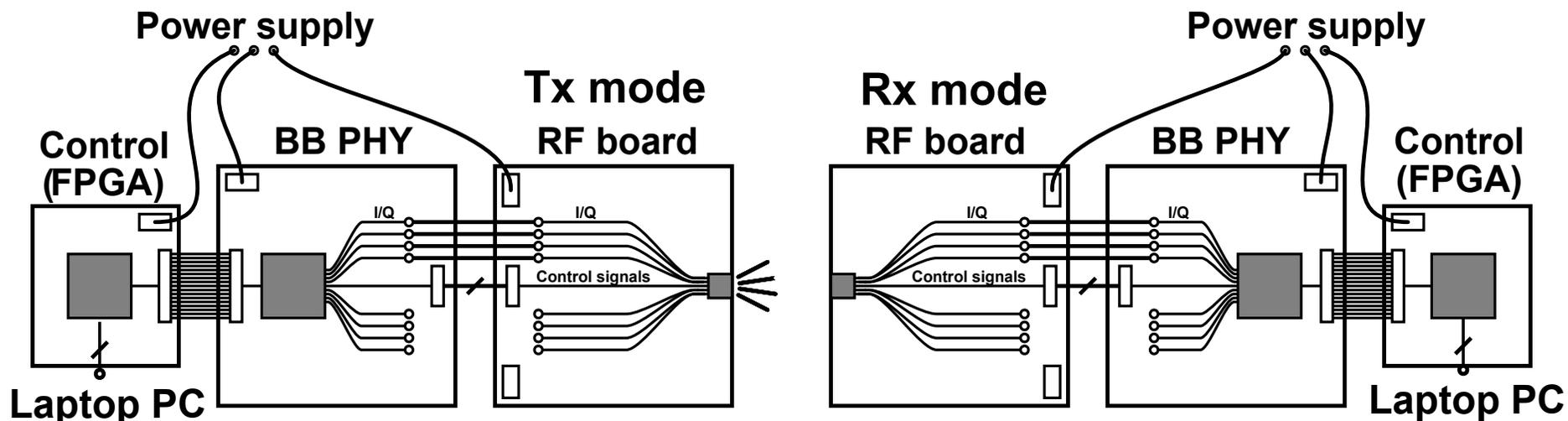
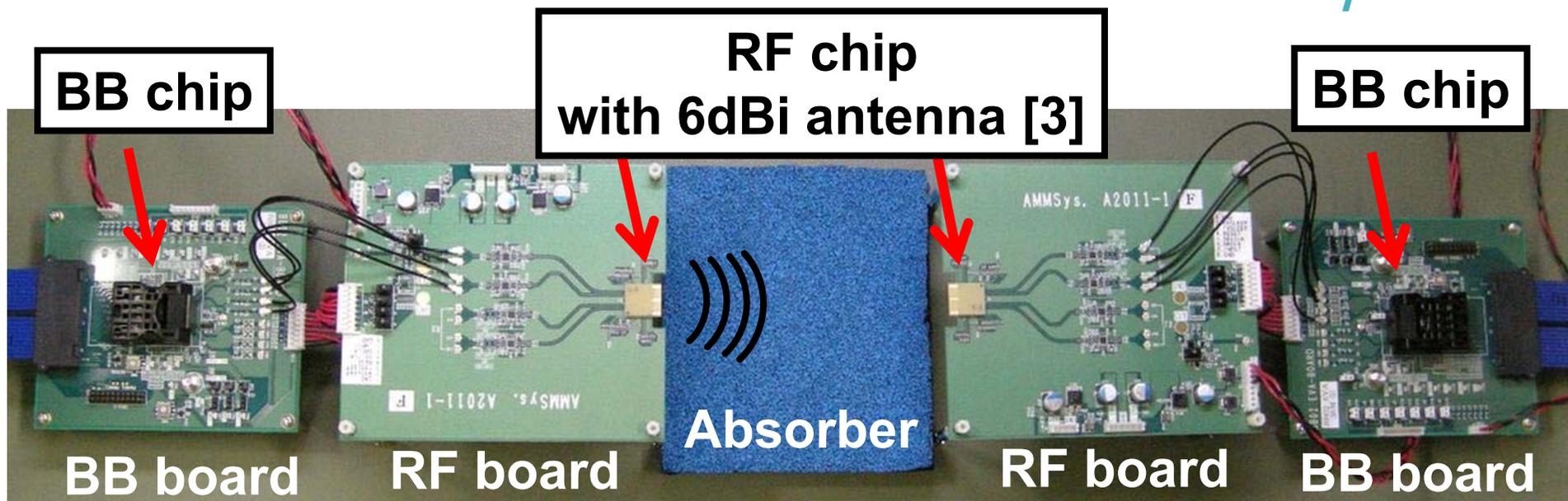
アンテナ内蔵パッケージに実装されたチップ / 12



16.3mm x 14.4mm

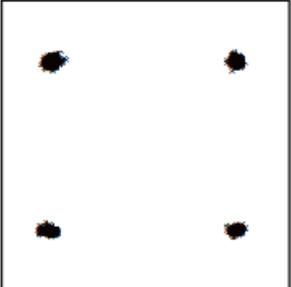
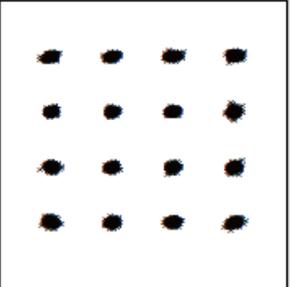
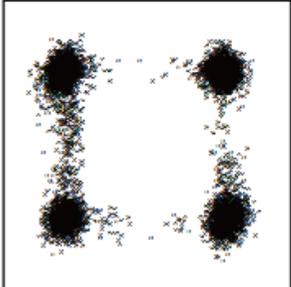
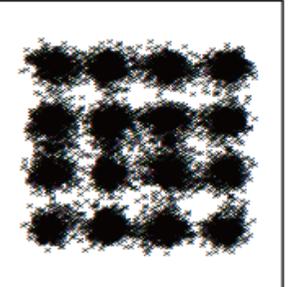
[3] R. Suga, et al., *EuMC* 2011

チップ性能測定系



世界最高のデータレートを目指して / 14

16QAMの実現により世界最高のデータレート(16Gbps)を実現

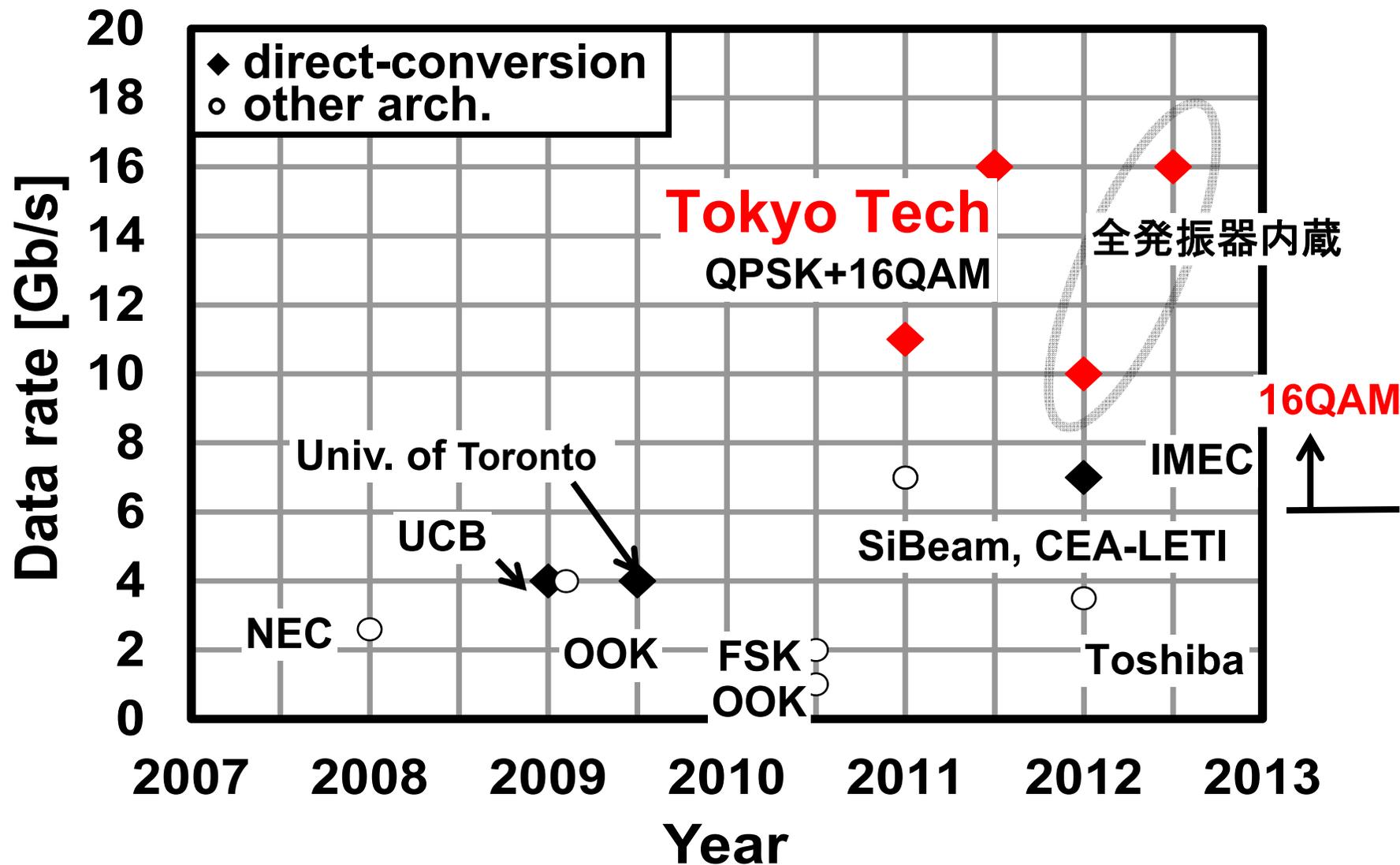
| | | | | |
|---------------|--|--|---|---|
| Constellation |  9506 points |  19912 points |  13502 points |  42024 points |
| Modulation | QPSK | 16QAM | QPSK | 16QAM |
| Symbol rate | 1.76GS/s | 1.76GS/s | 5.0GS/s | 4.0GS/s |
| Data rate | 3.52Gb/s | 7.04Gb/s | 10.0Gb/s | 16.0Gb/s |
| EVM (withDFE) | -30.5dB | -28.2dB | -15.2dB | -16.1dB |

60GHzフロントエンド性能比較

15

TOKYO TECH
Pursuing Excellence

世界最高速のデータレートを達成



必要な直交発振器の位相ノイズ

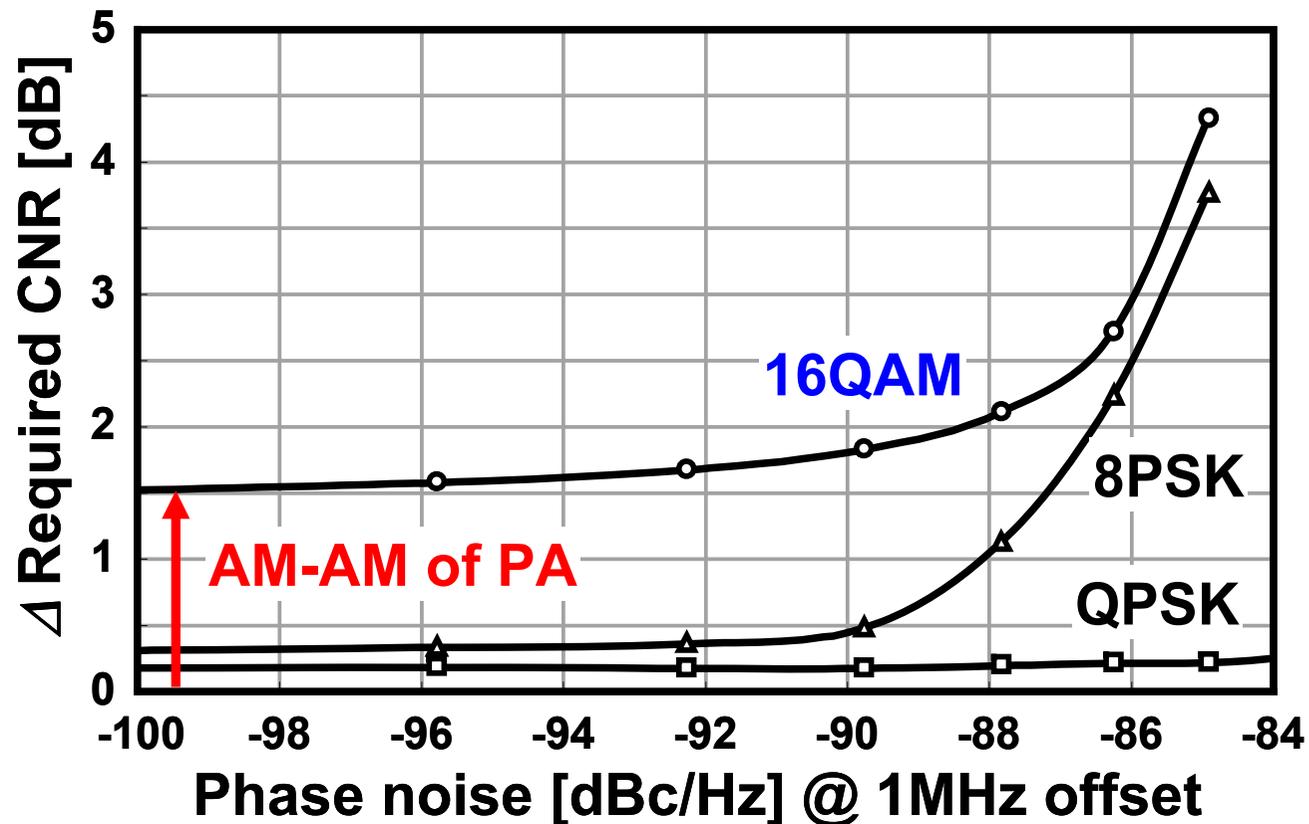
16

TOKYO TECH
Pursuing Excellence

16QAMを実現するには **-90dBc/Hz@1MHz**以下の位相ノイズが必要

それまでの60GHz帯直交発振器は **-76dBc/Hz@1MHz**程度

K. Scheir, et al., ISSCC, pp. 494-495, Feb. 2009.

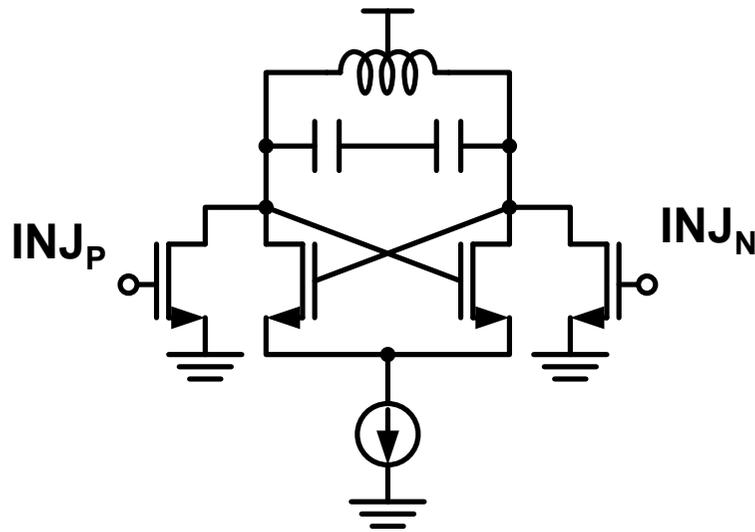


注入同期の原理

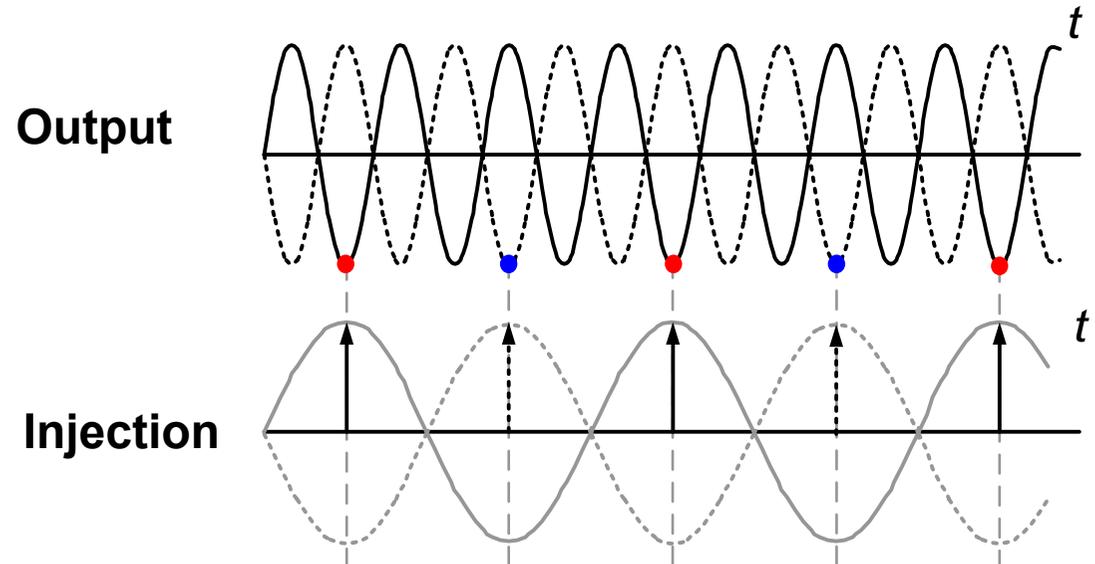
17

TOKYO TECH
Pursuing Excellence

注入同期により高い周波数の発振器の位相を、より低い発振器で制御することができる。



parallel injection



注入信号に位相が同期することで周波数が変化

- 位相雑音(ジッタ)は注入信号に依存
- 周期が短くなる分、相対的にジッタが大きく見える

逡倍器の位相雑音 $PN_{ILO} = PN_{INJ} + 20 \log(N)$ N :逡倍数

ロックレンジ

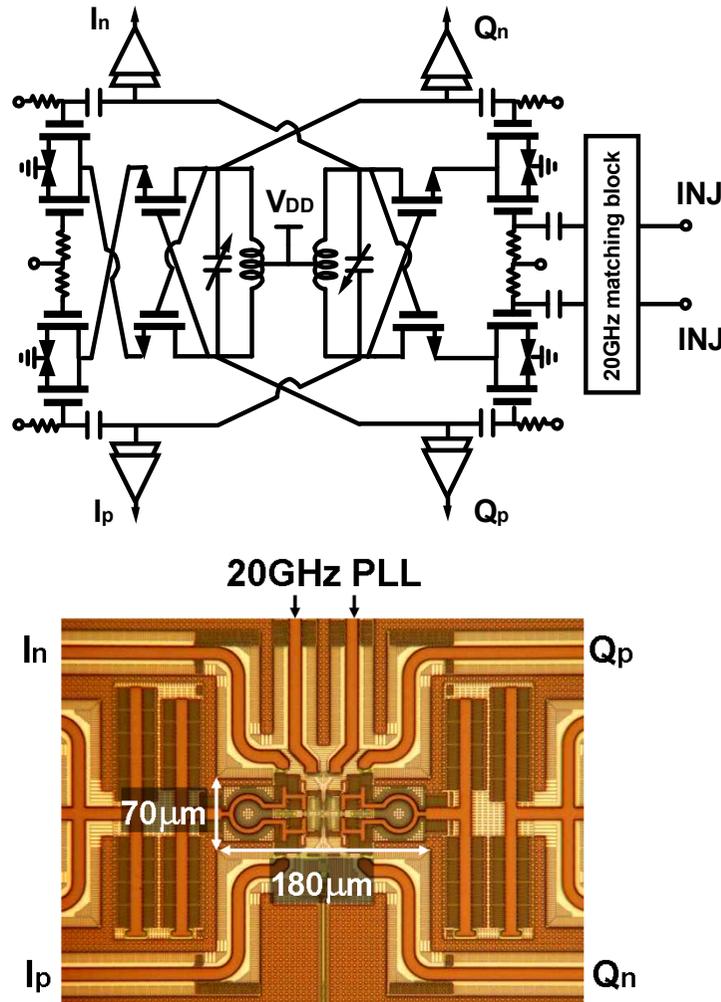
$$\Delta\omega_L = \frac{\omega_o}{Q} \cdot \frac{I_{inj}}{I_{OSC}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{OSC}^2}}} \quad N=3\text{のとき } 9.5\text{dB}$$

低位相ノイズ直交VCO

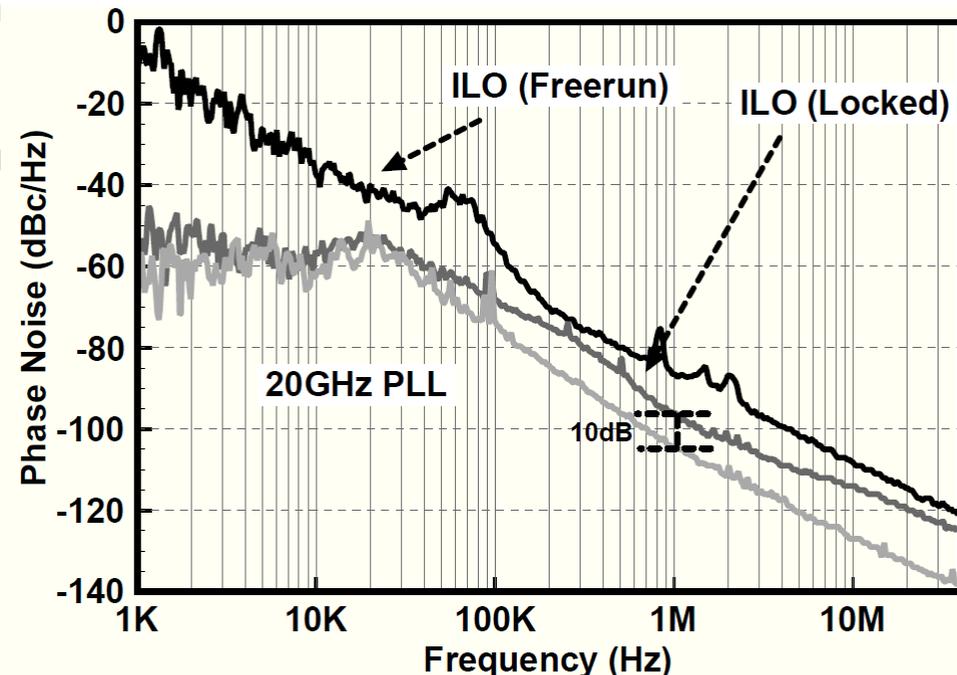
18

TOKYO TECH
Pursuing Excellence

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで
-96dBc/Hz@1MHzの良好な低位相ノイズを実現。
ダイレクトコンバージョンや16QAMが可能となった。



それまでの60GHz 直交VCOの位相ノイズは
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, et al., in A-SSCC Dig. Tech. Papers, pp. 101–102, Nov. 2010.

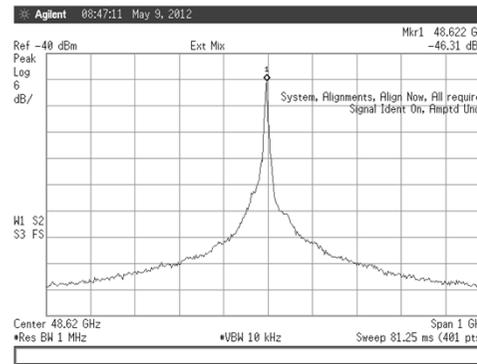
インジェクションロックを用いた150GHz分周器 / 19

NMOS 3段のインバータ発振器に、150MHzの信号をインジェクションすることで50GHzの信号を出力し、3分周を実現

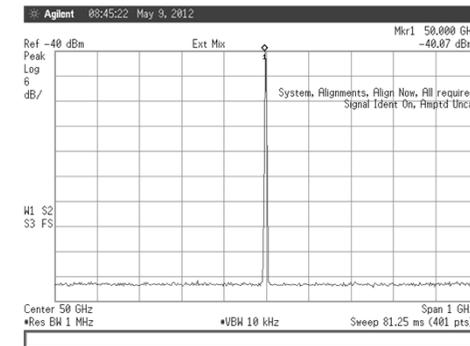
| | |
|---------------------|-----------------------------|
| Technology | 40nm 1P8M CMOS |
| Operating frequency | 133.3GHz – 151.3GHz |
| Phase noise | -135.6dBc/Hz @1MHz offset |
| Power dissipation | 12mW @V _{DD} =1.6V |
| Circuit size | 8.8 × 5.3μm ² |

パルスの分周 → 発振周波数の制御

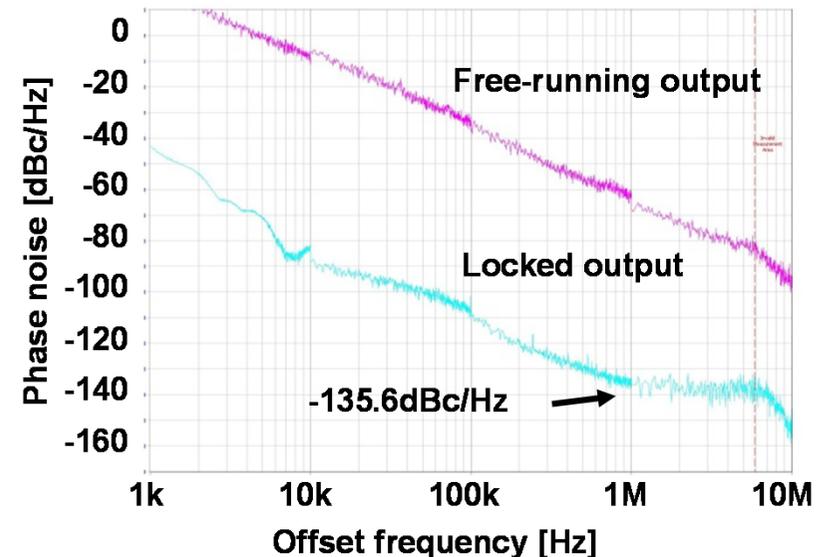
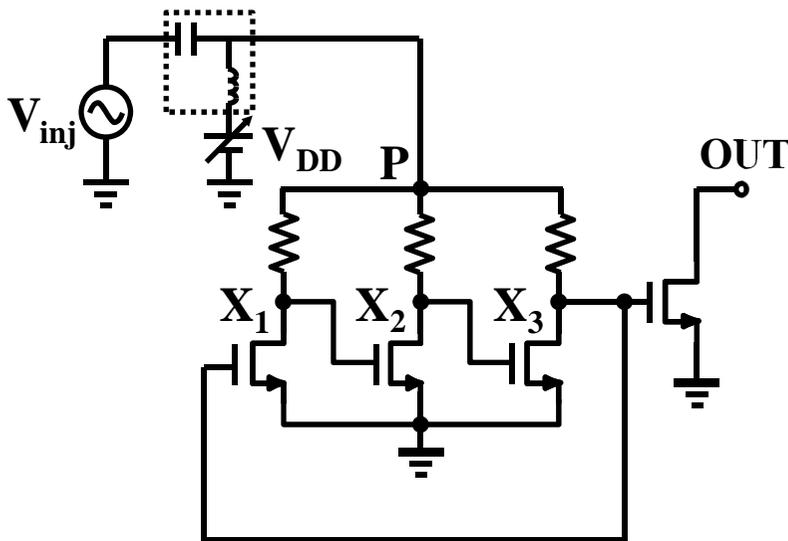
Free-running



Locked



BiasT



M. Fujishima, et al., SSDM 2012

400GHzを超えるCMOS 発振器

20

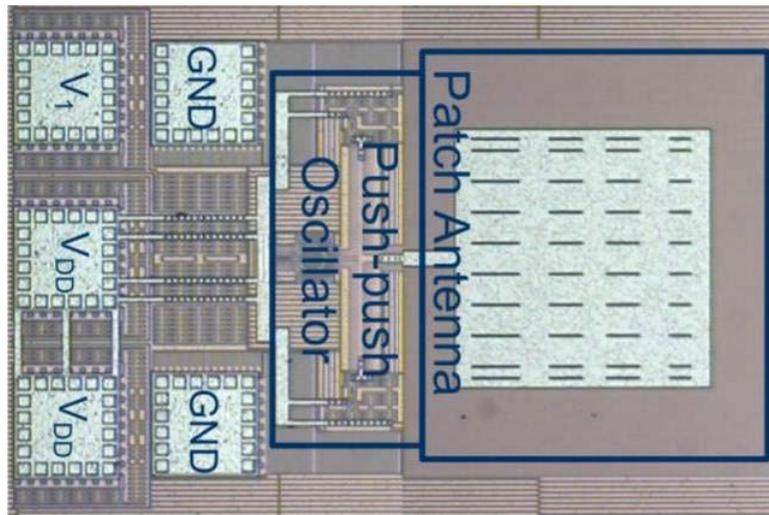
TOKYO TECH
Pursuing Excellence

高調波を使用できるので f_{\max} を超える発振が可能である。

410 GHz

E. Seok, *et al.*, ISSCC 2008.

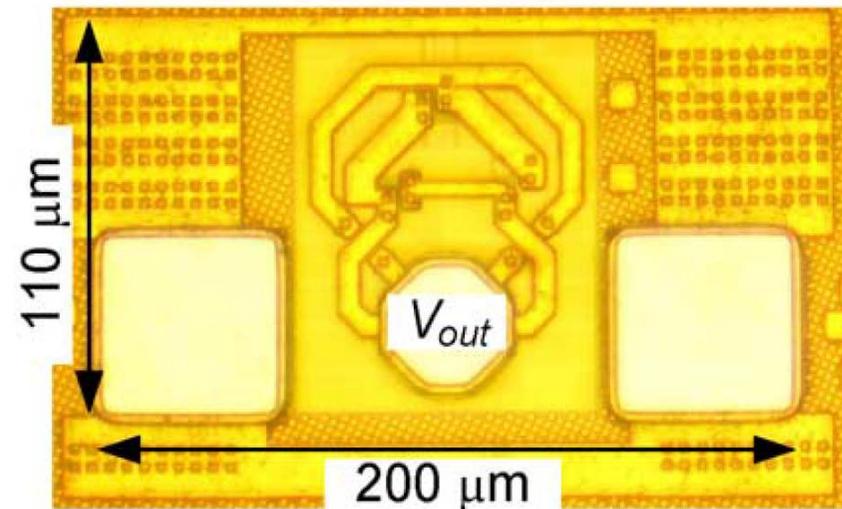
45nm CMOS Push-push Oscillator
205GHz oscillation with 410GHz
harmonic output. 11mA @ 1.5V



486 GHz

O. Momeni, *et al.*, JSSC 2011.

65nm CMOS 486GHz
using Triple-Push oscillation
-7.9dBm from 61mW Pd.



ADC 性能とビット誤り率

21

TOKYO TECH
Pursuing Excellence

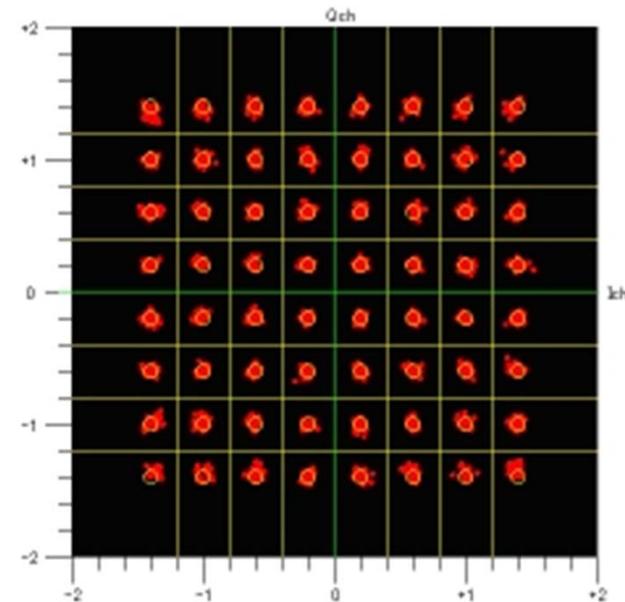
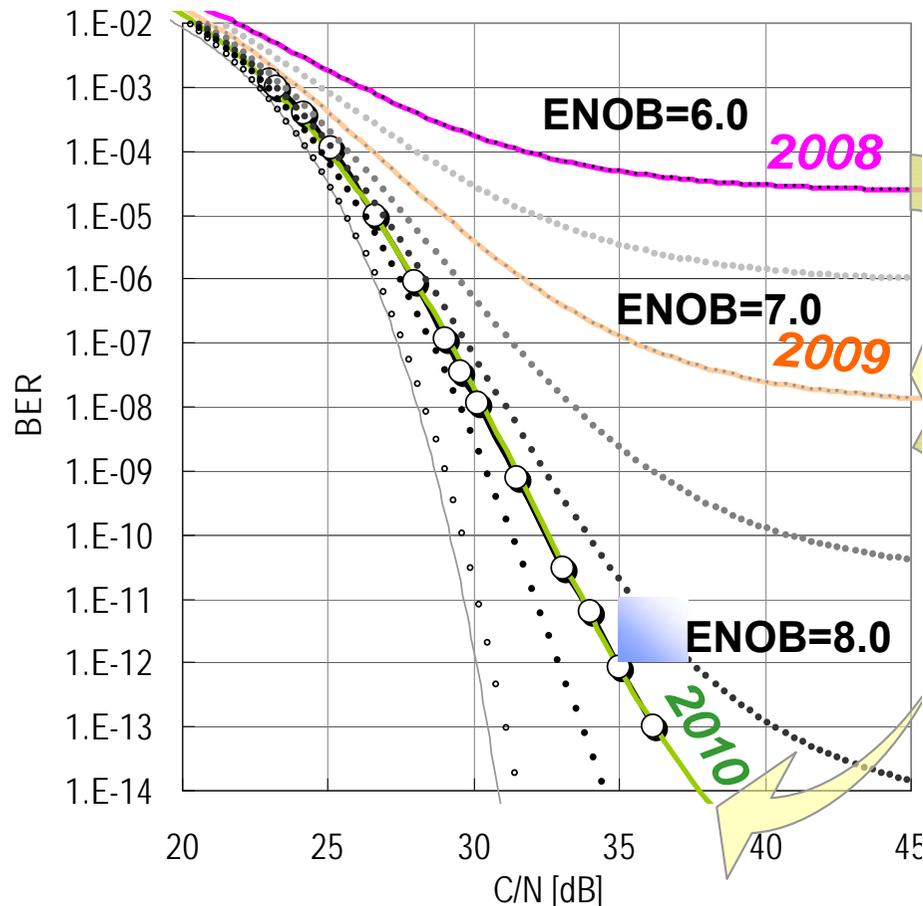
64QAMで十分低いビット誤り率を達成するためには
有効分解能の高いADCが不可欠

当研究室で開発したADC

BW=260MHz

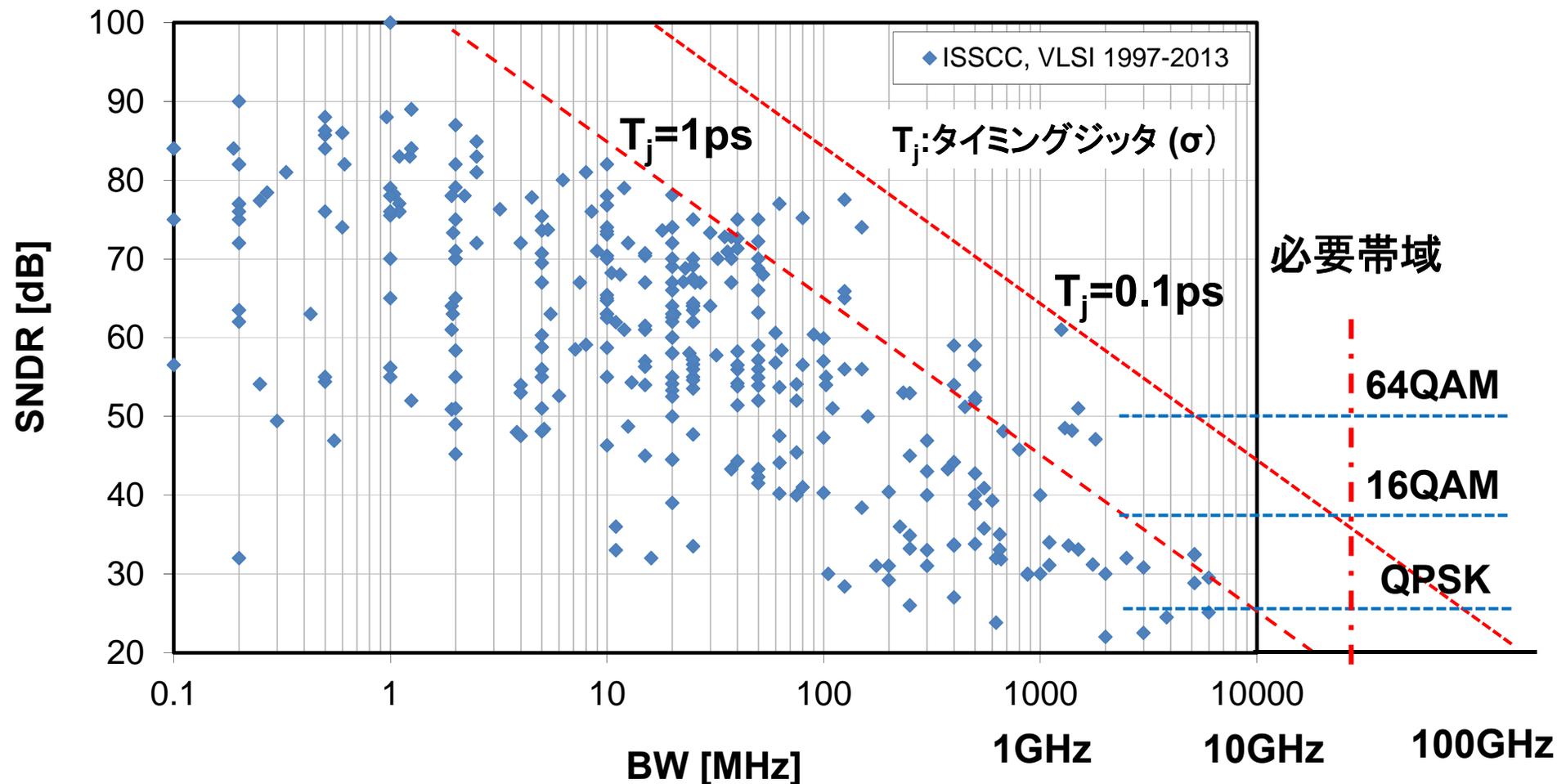
ENOB: ADCの有効分解能

64QAM信号



ADCのジッタの影響

30GHzもの広帯域信号ではサンプリングジッタの影響が顕著、
16QAMの達成には0.1ps以下のジッタが不可欠。



通常のLC VCOを用いたPLLのジッタは0.2ps~0.8psで消費電力は数10mW。
最近, サブサンプリング技術を用いた0.15psで10mW程度のPLLが開発された。

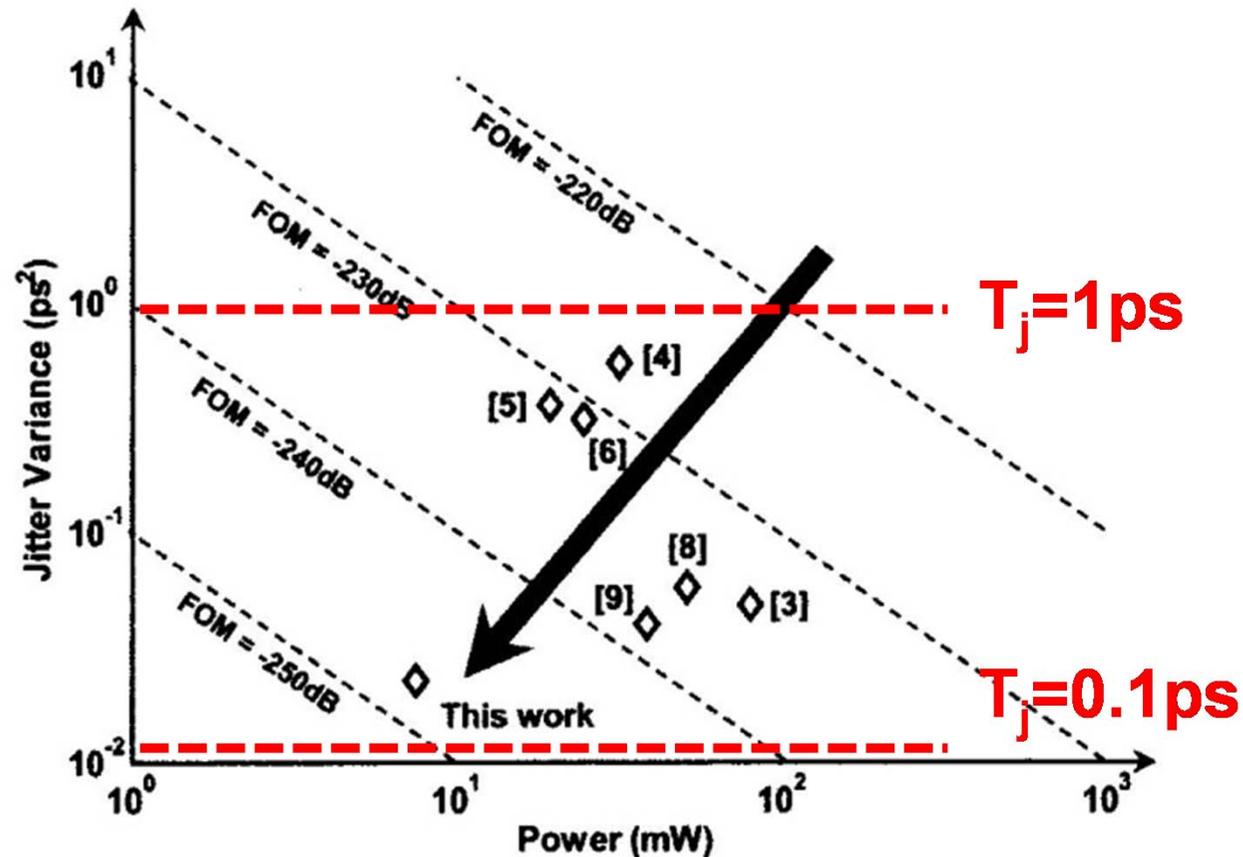


Fig. 17. Jitter and power comparison between this work and the classical PLLs.

X. Gao, B. Nauta, et al., JSC. Vol.44. No. 12, pp. 3253-3263, Dec. 2009.

- **通信・記録システムの方向**
 - 最初は広帯域化, 次に多値化でデータレートを向上
 - 多値化ではADCとイコライザ技術が重要
CMOSによる超高速信号処理回路が不可欠
- **集積回路の最近の進展**
 - FINFETの実用化により, リーク電流低減, 速度改善が図られた
 - 7nmまでのロードマップが引かれる。速度は飽和するが, 集積度は向上
並列化で実効処理速度を上げていく方向
- **CMOSの高周波化**
 - CMOSは化合物に伍して周波数特性が向上。480GHzの発振器も実現
 - 60GHz CMOSトランシーバLSIを開発
 - 16Gbpsの超高速無線通信を低電力で実現
- **ADCの超高速化**
 - 超高速化・多値化への対応にはタイミングジッタの抑制が重要
 - 16QAMは実現可能であろうが, 64QAMは極めて困難