

アナログ設計技術の今後

松澤 昭

東京工業大学
大学院理工学研究科

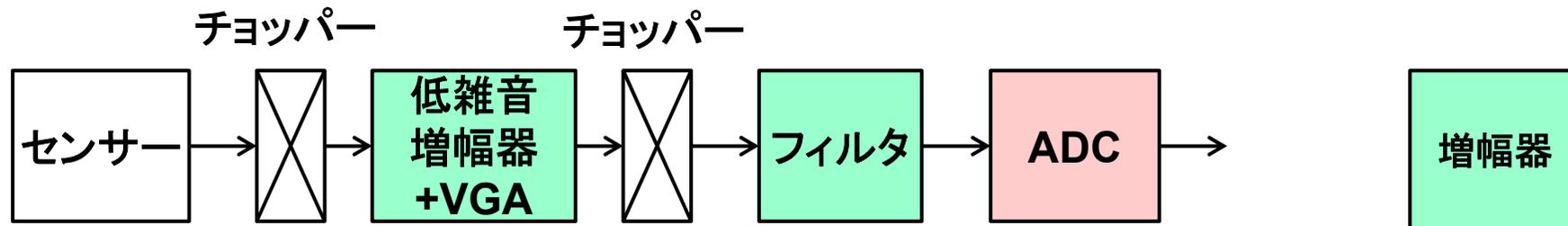
2013/11/21

- **ADCの性能推移**
- **微細化・低電圧化の課題**
- **SAR ADC**
- **スケーラブル 12bit SAR ADCの開発**
- **PLL技術**
- **レイアウトドリブン設計と
プログラマブルアナログ回路技術**
- **まとめ**

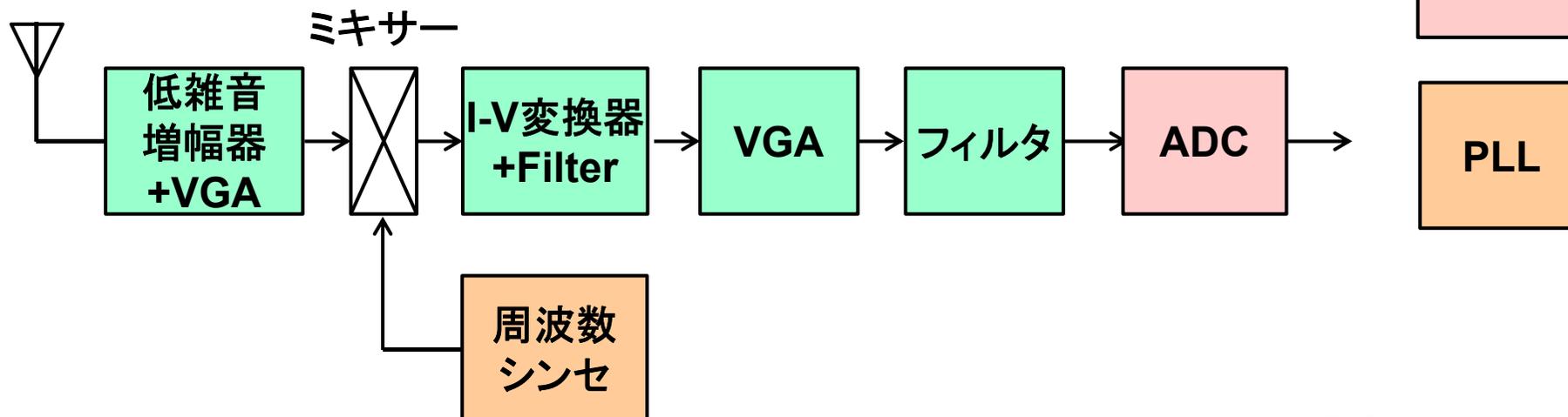
- 近年の微細CMOSの高 V_T 化, サブ1V化, 低gm化によりアナログ設計(特に増幅器)のマージン確保が困難になっている。
- **SAR ADC**はOpAmpを使用せず, CMOSロジックのような構造のためエネルギー効率が**高く**, 微細化・低電圧化にも耐える。
- 今後の汎用的ADCとして高速12bit SAR ADCを開発。これまでの無線通信用ADCの性能を最小電力で実現。
- **PLL**の高性能化・低電力化に向けて, クラスC VCO, インジェクションロック発振器, サブps分解能TDCなどを開発中。
- **レイアウトドリブンのアナログ設計手法**を提案。低電力化, 高速化, 高精度化, 小面積化に寄与。プログラムアナログのベース。
- **プログラムアナログ**によりレイアウトを含めた**設計自動化**を推進。
- 今後のアナログ回路は**回路数を絞り込み**, **低電圧に対応でき**, **規則性のあるもの**を残し, 規則構造を活かしてレイアウトを含めた**設計自動化**を推進し, **汎用的に使用**できるようにすべき。

デジタル時代のアナログはフロントエンドに集約される
増幅器, ADC, DAC, PLLが主要回路

1) センサーシステム



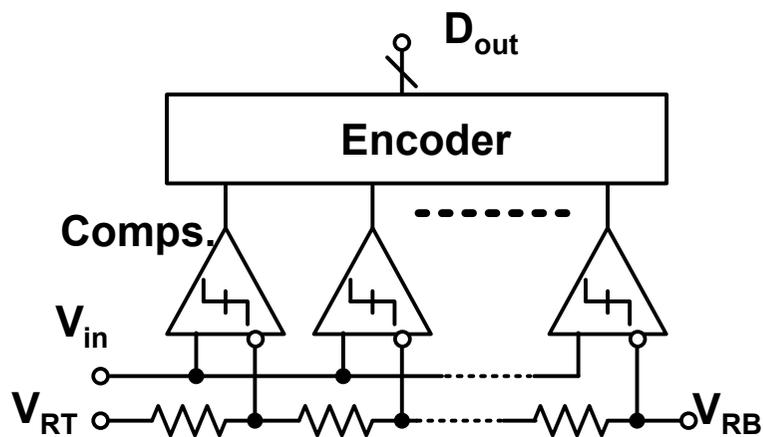
2) 受信システム



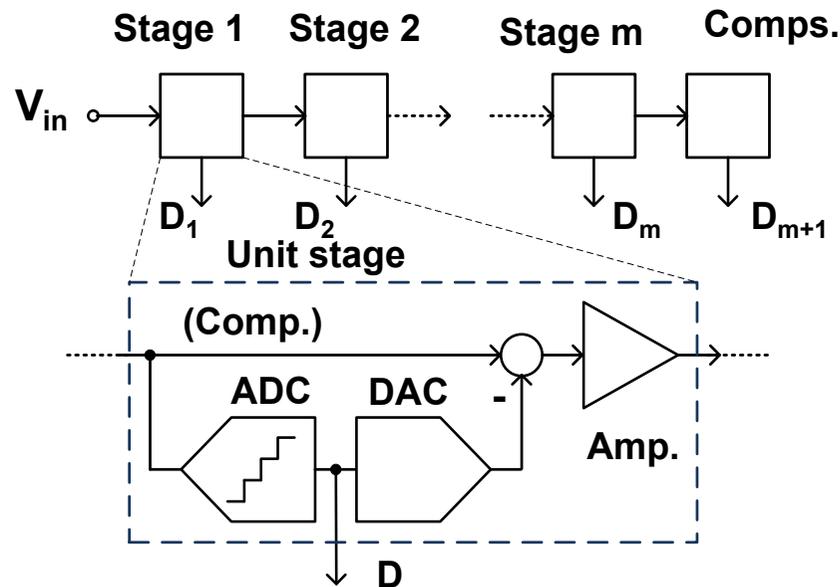
ADCの性能推移

ADC の変換方式

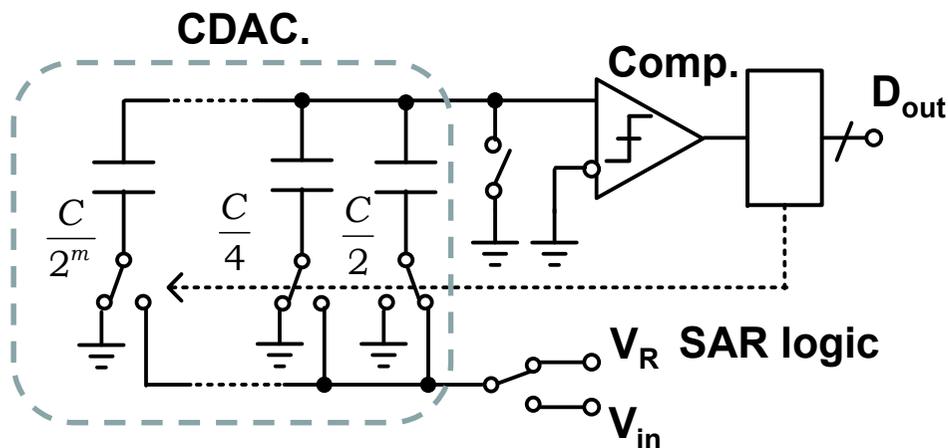
Flash, SAR, パイプライン, $\Delta\Sigma$ が主要なアーキテクチャである



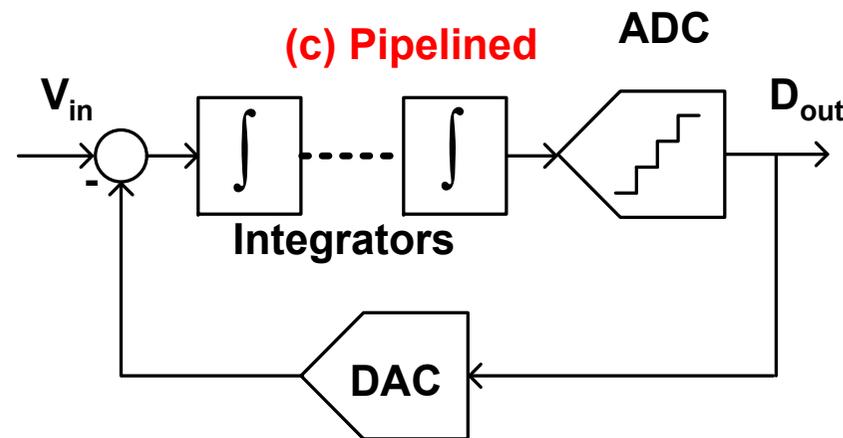
(a) Flash



(c) Pipelined



(b) SAR



(d) Sigma-Delta

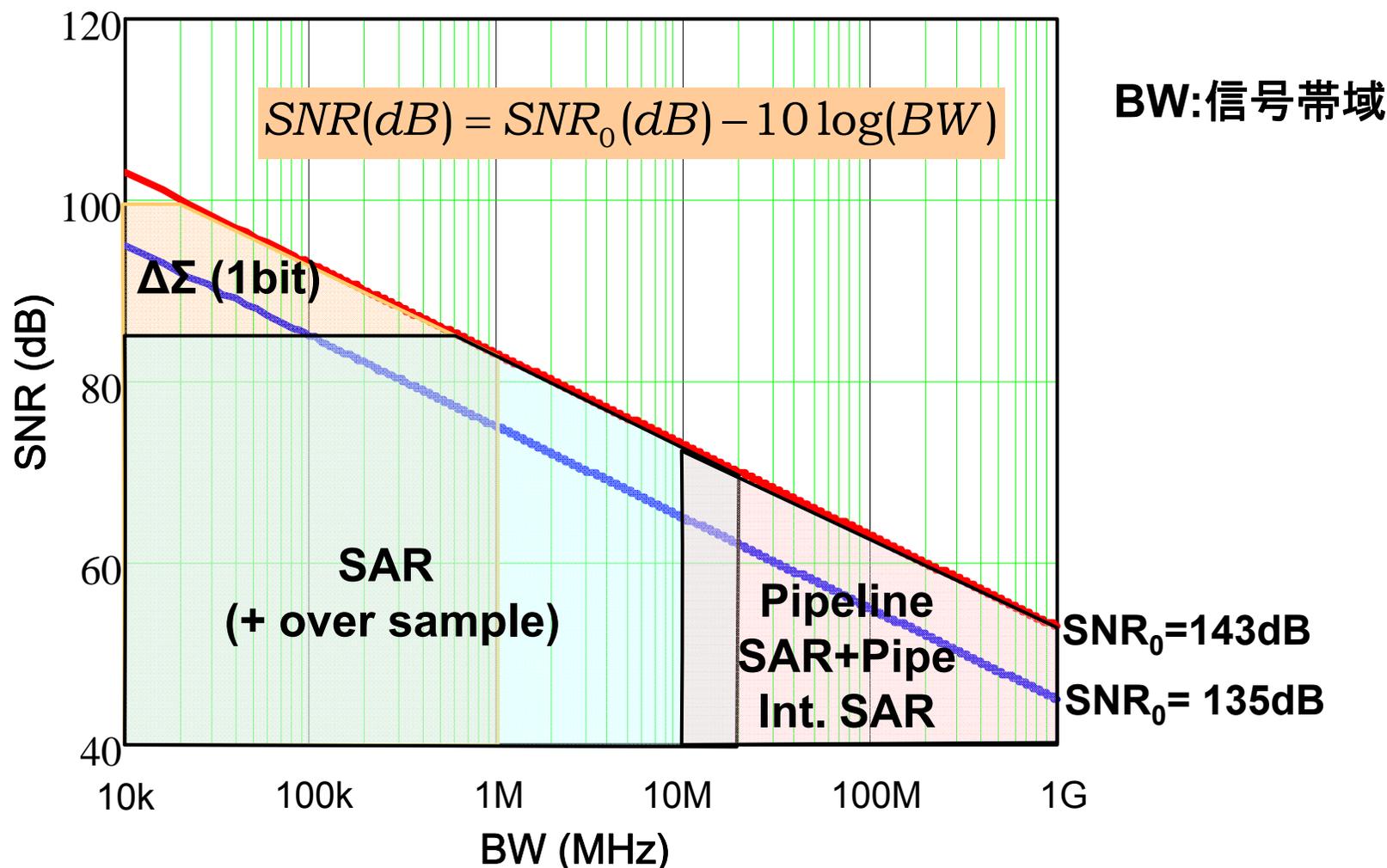
信号帯域とADCの変換方式

6

TOKYO TECH
Pursuing Excellence

SNRが84dB以上(上限は100dB程度)の場合は $\Delta\Sigma$ 型ADC

信号帯域が20MHz以上でSNRが40dB以上の場合にはPipe, SAR Pipe, Int. SAR
それ以外の領域ではSAR ADCが汎用的に使用できる



ADCの開発傾向：SNDRと変換速度

7

TOKYO TECH
Pursuing Excellence

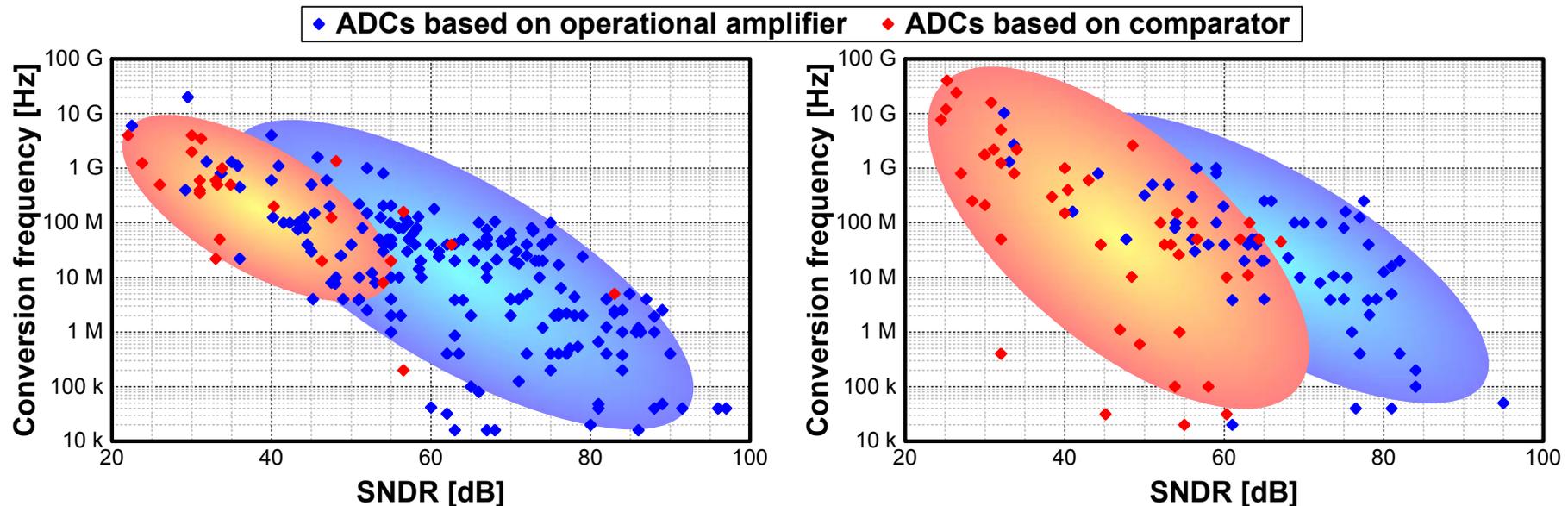
ここ数年のADC開発はSNDR 60dB以下で高速化が図られ
SNDR (有効ビット)の向上は停滞している

SNDR 70 dB以下の領域

FoMは消費電力で制限されて比較器ベースの SAR ADC

SNDR 70 dB以上の領域

FoMは熱雑音で制限されてオペアンプベースの $\Delta\Sigma$ 型ADC



(a) ISSCC and VLSI 1997-2007

(b) ISSCC and VLSI 2008-2011

B. Murmann, "ADC Performance Survey 1997-2011," [Online].

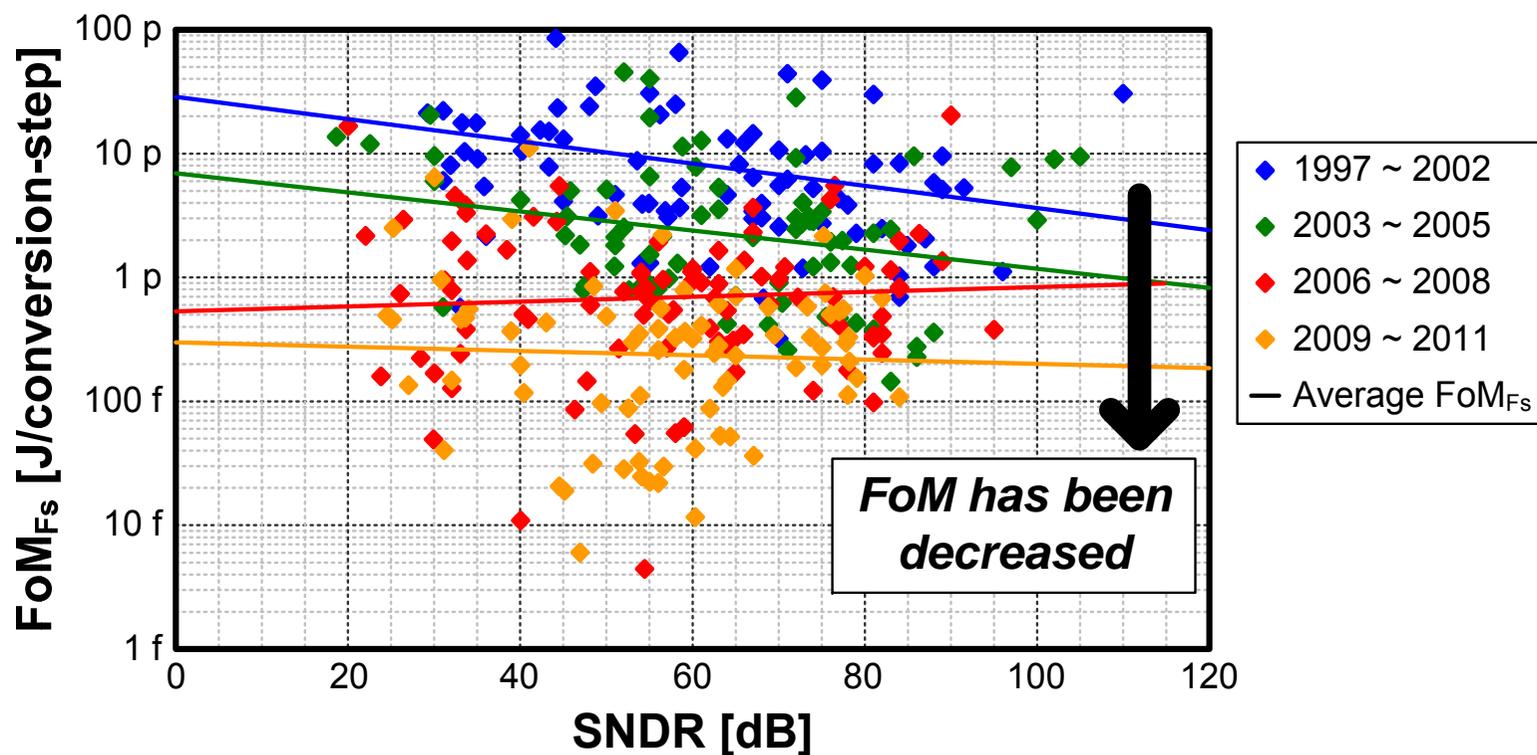
ADCの開発傾向：SNDRとFoM

8

TOKYO TECH
Pursuing Excellence

2000年度以後、ADCのFoMは急激に減少 (3年間で1/4)

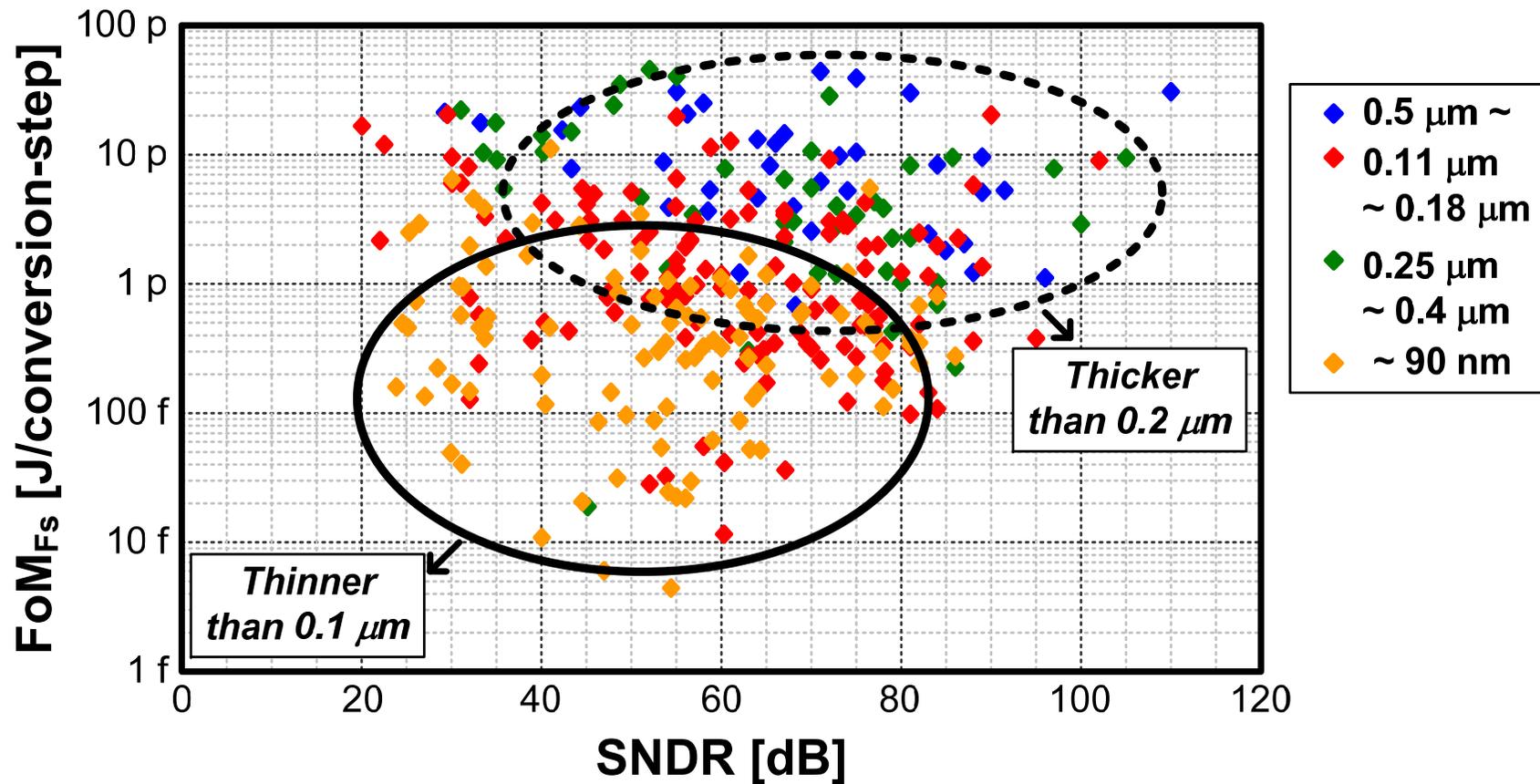
$$FoM_{Fs} = \frac{\text{Power consumption}}{2^{\text{ENOB}} \times \text{Sampling frequency}}$$



B. Murmann, "ADC Performance Survey 1997-2011," [Online].

微細化とADC性能

FoM (動作エネルギー) の減少は微細化が寄与している。
ただし、高SNDRにおいてはさほど寄与していない。



B. Murmann, "ADC Performance Survey 1997-2011," [Online].

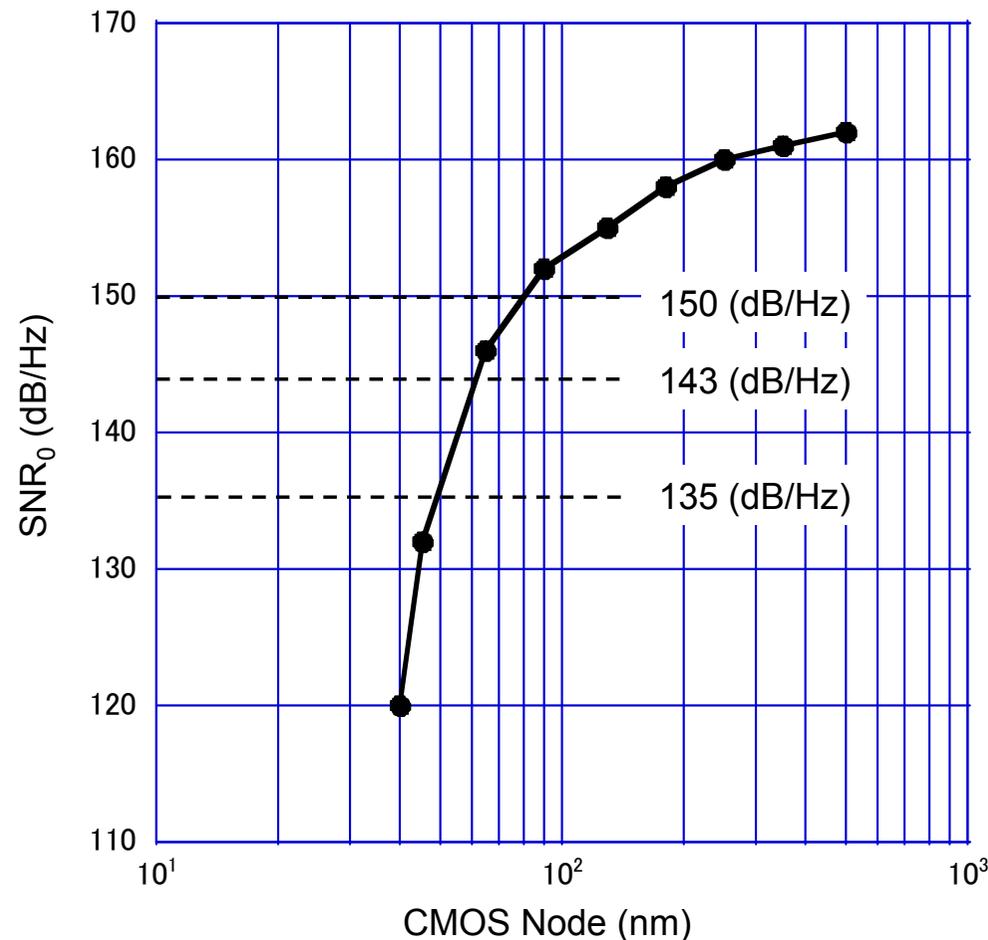
微細化とSNR

10

TOKYO TECH
Pursuing Excellence

高いSNRを実現するには緩いデザインルールが必要である。

$$SNR(dB) = SNR_0(dB) - 10 \log(BW)$$



BW:信号帯域

Jonsson, B., ICECS 2010.

ADCの開発傾向：SNDRと P_d/f_s

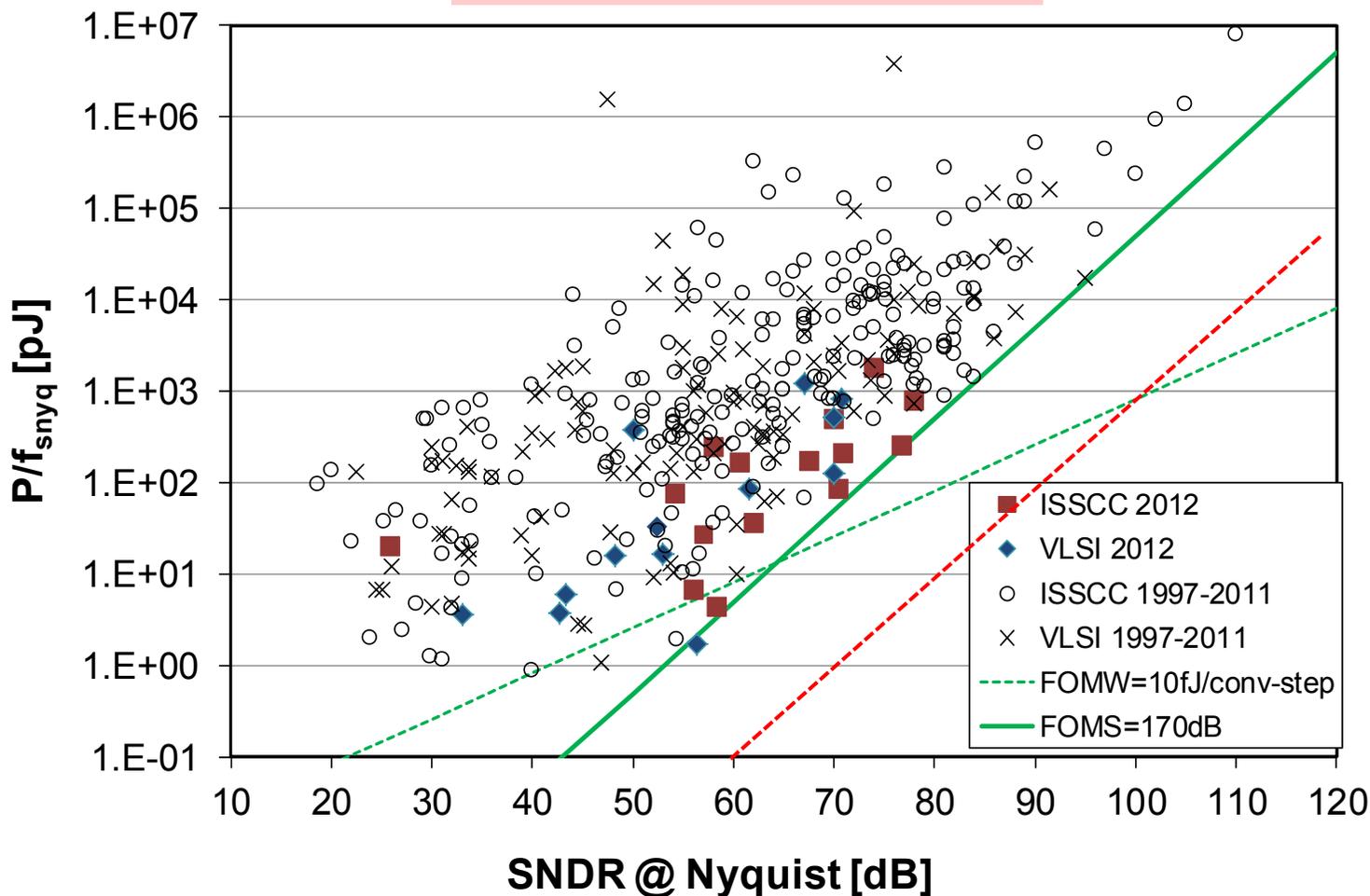
11

TOKYO TECH
Pursuing Excellence

SNDRと変換エネルギーは比例する。現状は理論限界に迫っている。

理論限界

$$E_{ADC} = N \times 2^{2N} \times 10^{-19}$$



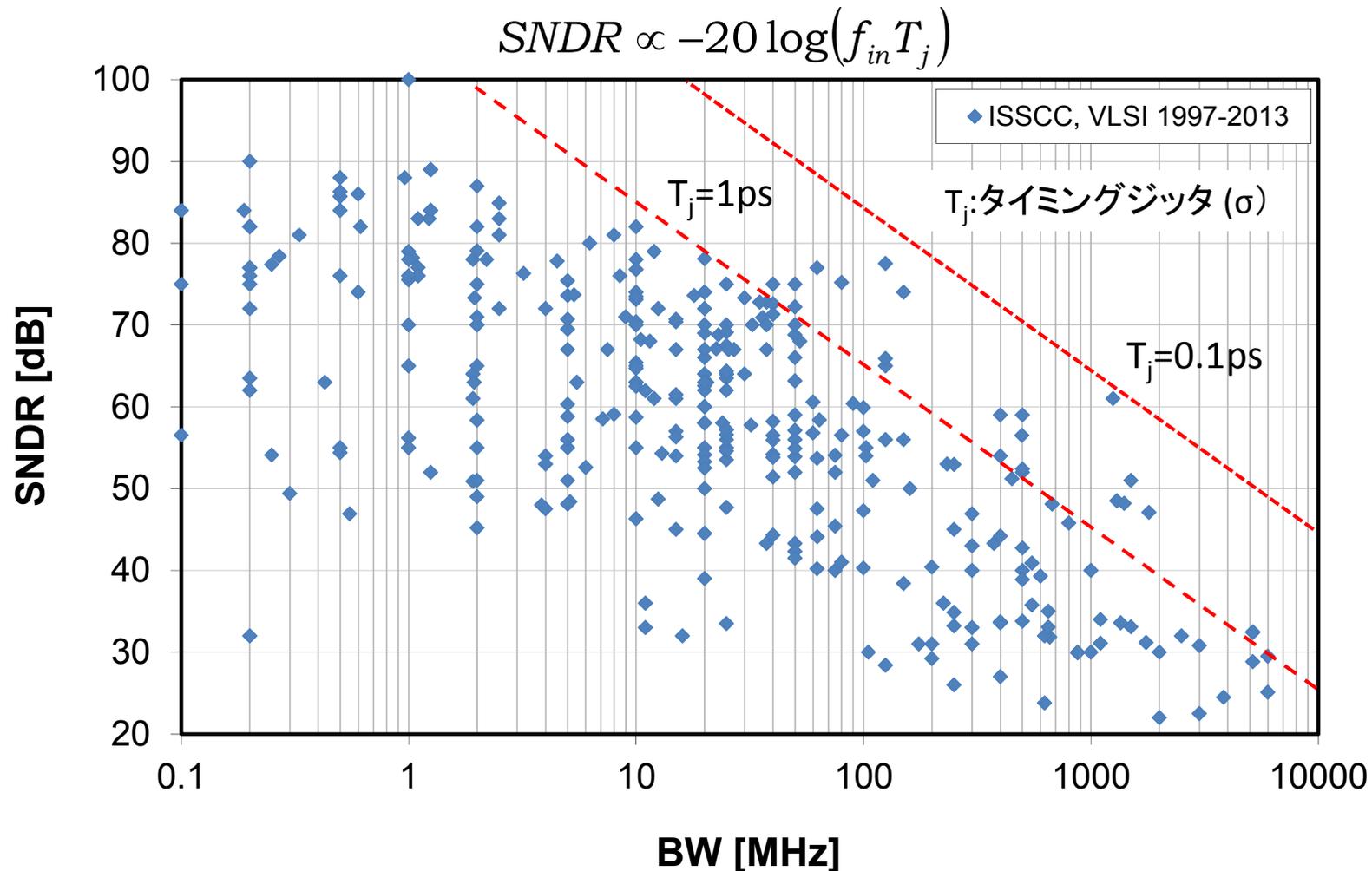
現在の最前線

理論限界

ADCの開発傾向：信号帯域とSNDR

12

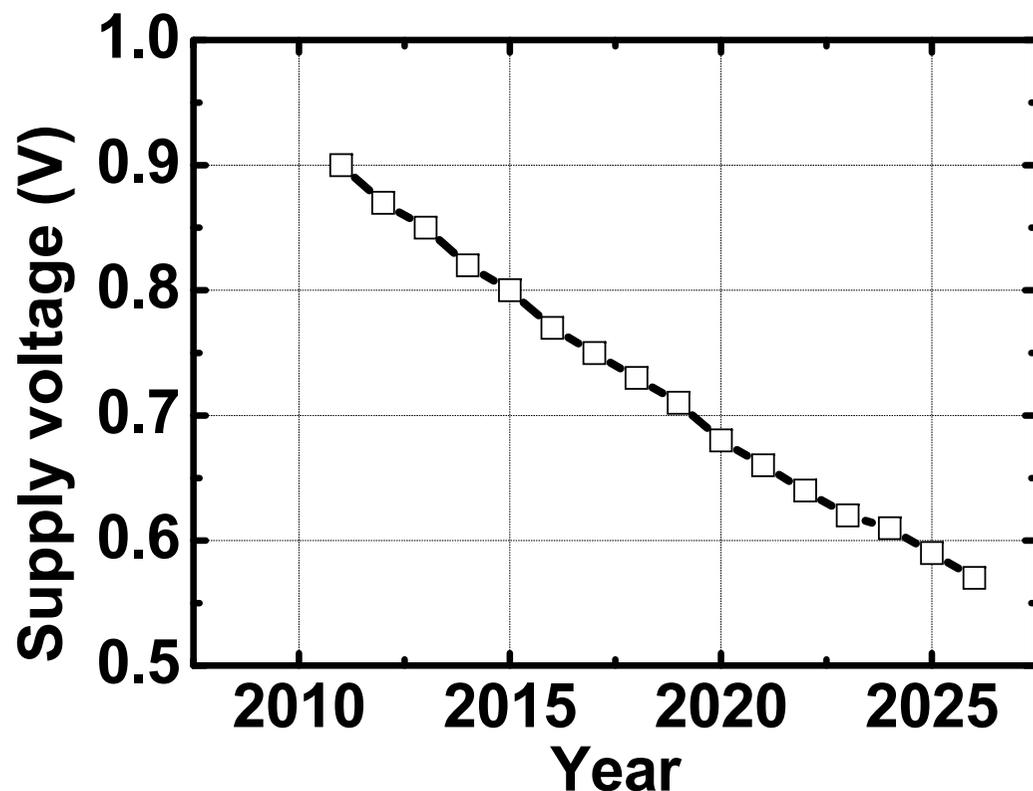
信号帯域が広いほどSNDRは劣化する。
最近ではジッタ換算でサブpsの領域に入っている。



微細化・低電圧化の課題

SoC搭載のアナログIPの課題：低電圧化 / 14

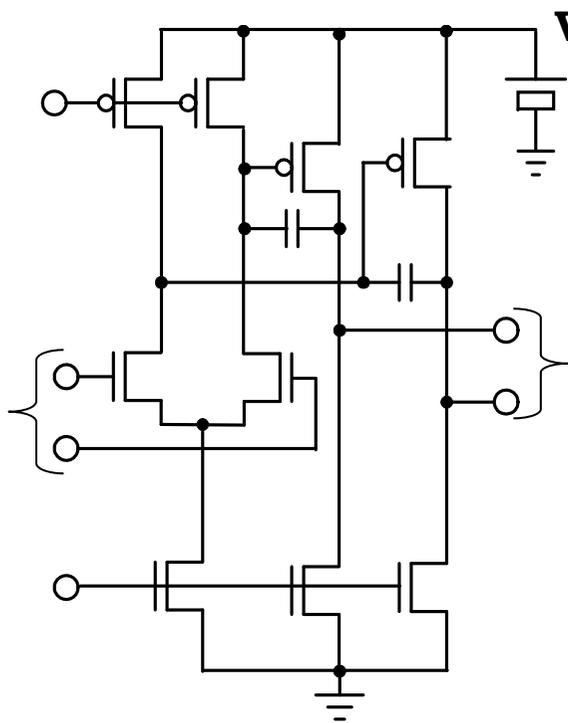
SoCの電源電圧は微細化とともに年々低下しており、このことがアナログ回路設計を困難にしている。サブ1V時代への対処が大きな課題である。ただし、マイコンでは0.13 μm 程度を用いているので、まだ深刻化していない。



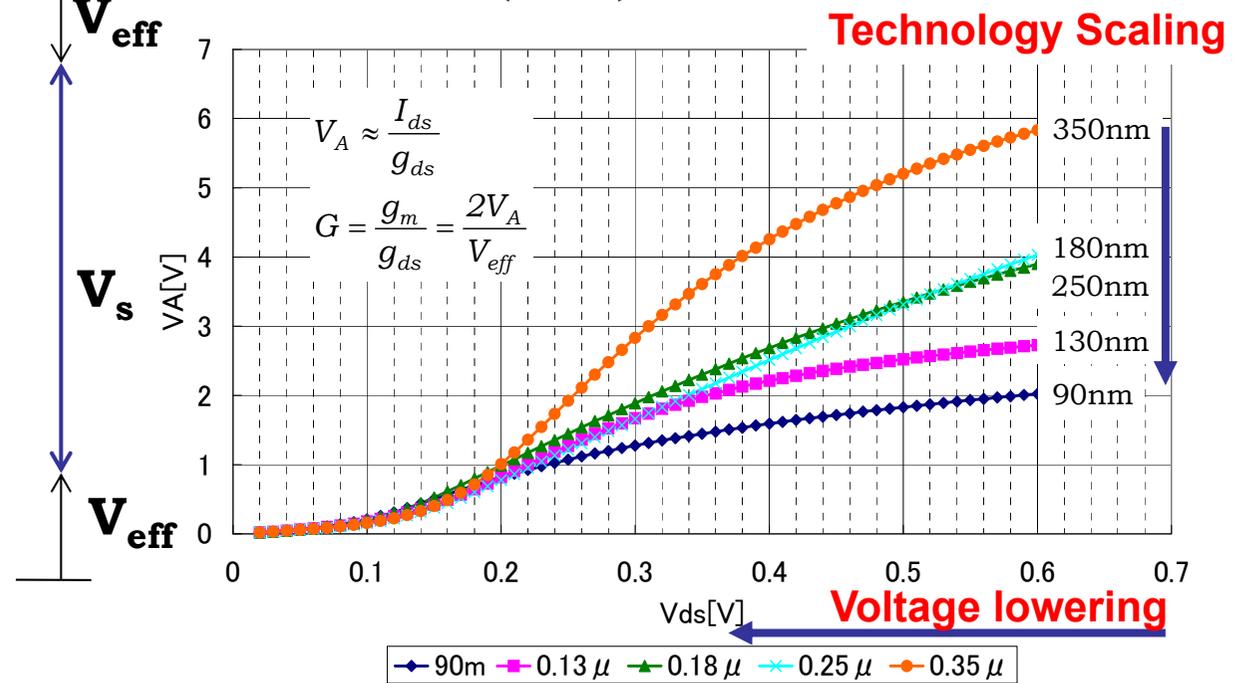
DR	Vdd (V)
0.35 μm	3.3
0.25 μm	2.5
0.18 μm	1.8
0.13 μm	1.5
90 nm	1.2
65 nm	1.2
40 nm	1.0

オペアンプ 設計の課題

微細化・低電圧化とともに必要な利得を得ることが困難
また、低電圧では信号振幅が下がるとともに動作が困難



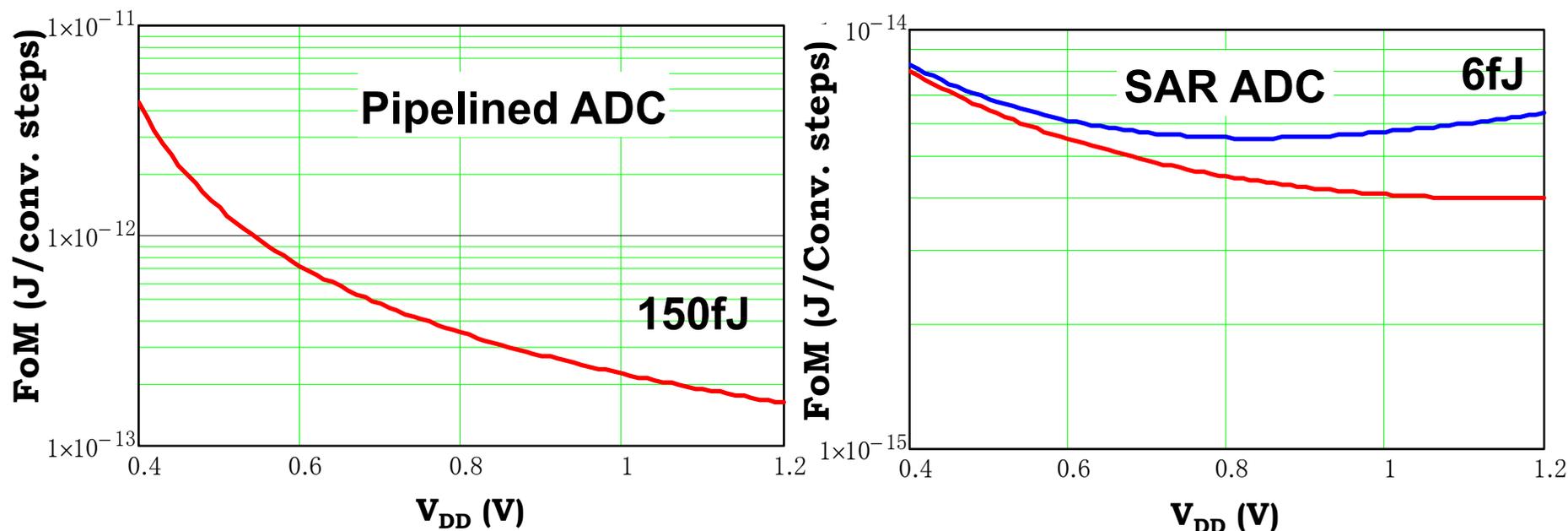
$$G \approx \left(\frac{2V_A}{V_{eff}} \right)^n \quad n: \# \text{ of stages}$$



OpAmpベースのADCは比較器ベースのADCに比べ消費エネルギーが大きく、しかも低電圧化すると更に増大する

OpAmpベースADC (パイプライン型ADC)
比較器ベースADC (SAR ADC)

12bit ADC



A. Matsuzawa, ISSCC Forum 2011.

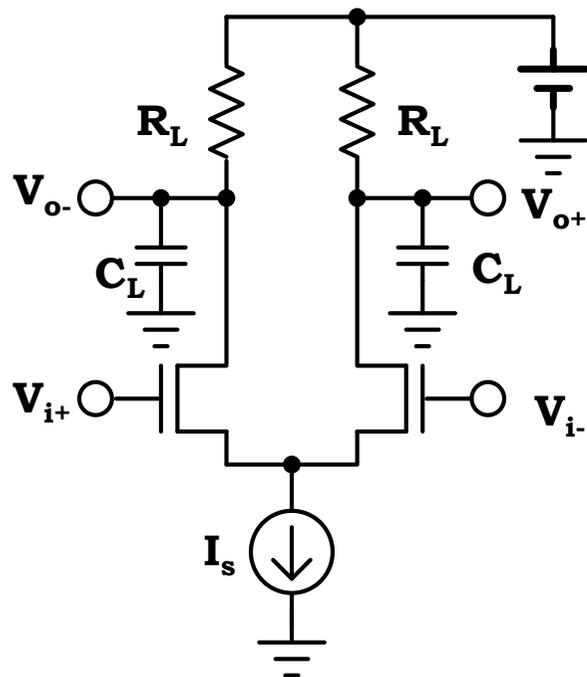
SAR ADC

(比較器ベースのADC)

CMOS論理回路のようなADCの実現

- ・高速動作でも低速動作でも回路は同じ
- ・消費電力が与えられた変換クロック周波数に自動的に比例する
- ・クロックが止まったら電源電流は流れない

CML 論理回路 通常の増幅器



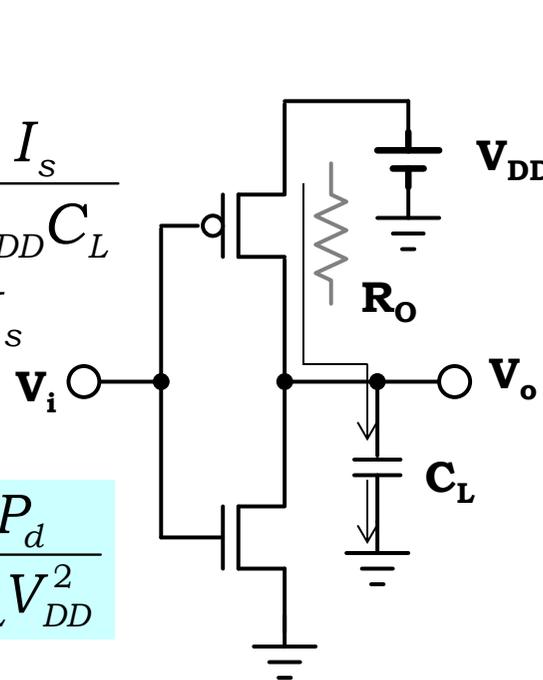
$$f_{toggle} \propto \frac{I_s}{V_{DD} C_L}$$

$$P_d = V_{DD} I_s$$

$$f_{toggle} \propto \frac{P_d}{C_L V_{DD}^2}$$

動作速度を上げるためには
消費電流を増やさなければならない

CMOS 論理回路.



$$f_{toggle} \propto \frac{1}{T_r} \propto \frac{1}{R_o C_L}$$

$$P_d = f E_d = f C_L V_{DD}^2$$

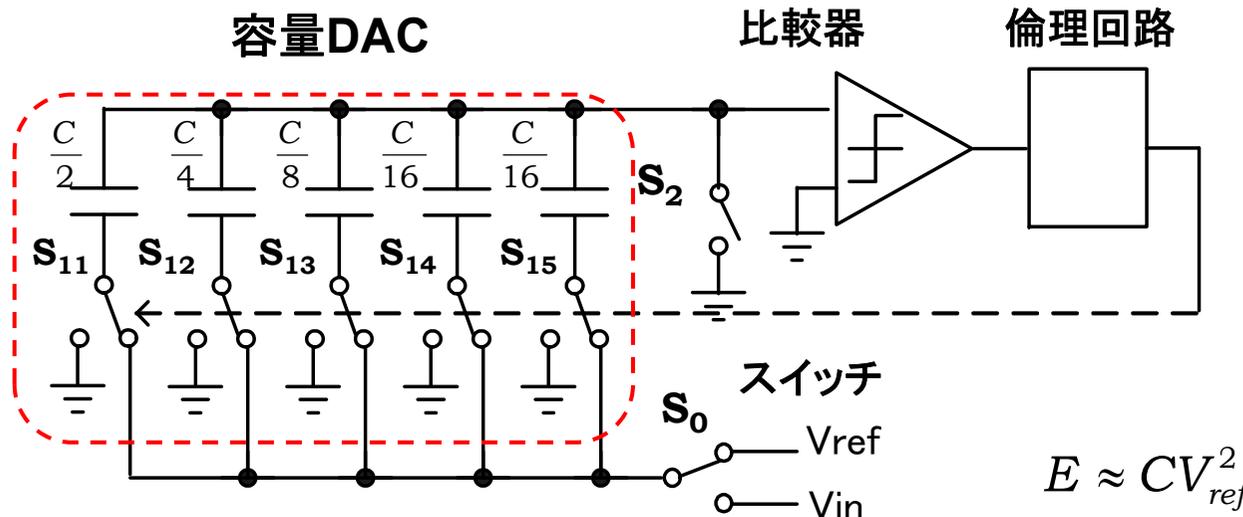
$$E_d = C_L V_{DD}^2$$

$$f_{toggle} \propto \frac{1}{R_o C_L}$$

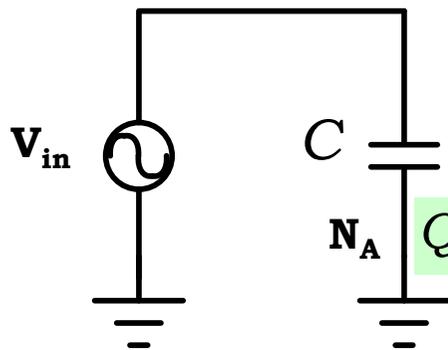
動作速度を上げてても
消費エネルギーは増えない

SAR ADC

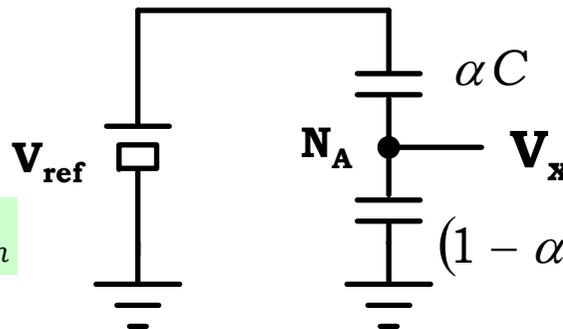
SAR ADCは容量DACとダイナミック型比較器，セルフクロック回路を用いることでCMOS論理回路のようなADCを実現できる。またオペアンプを用いていないので信号振幅を大きくすることが可能で，低電圧動作にも対応できる。



標本化機能



DAC・減算機能



$$V_x = -(V_{sig} - \alpha \cdot V_{ref})$$

$$0 < \alpha < 1$$

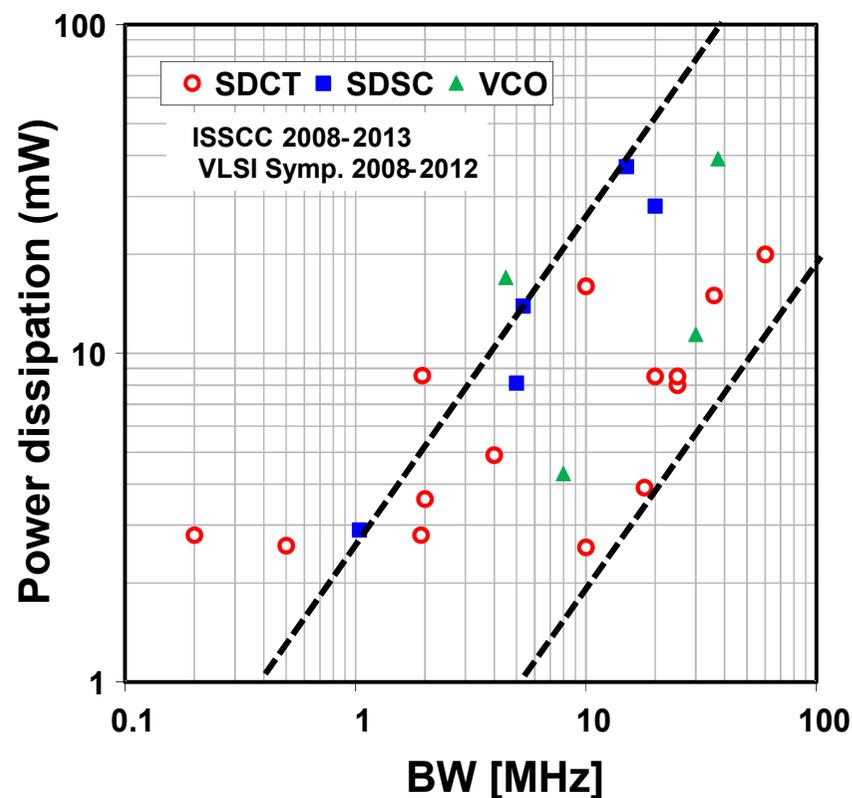
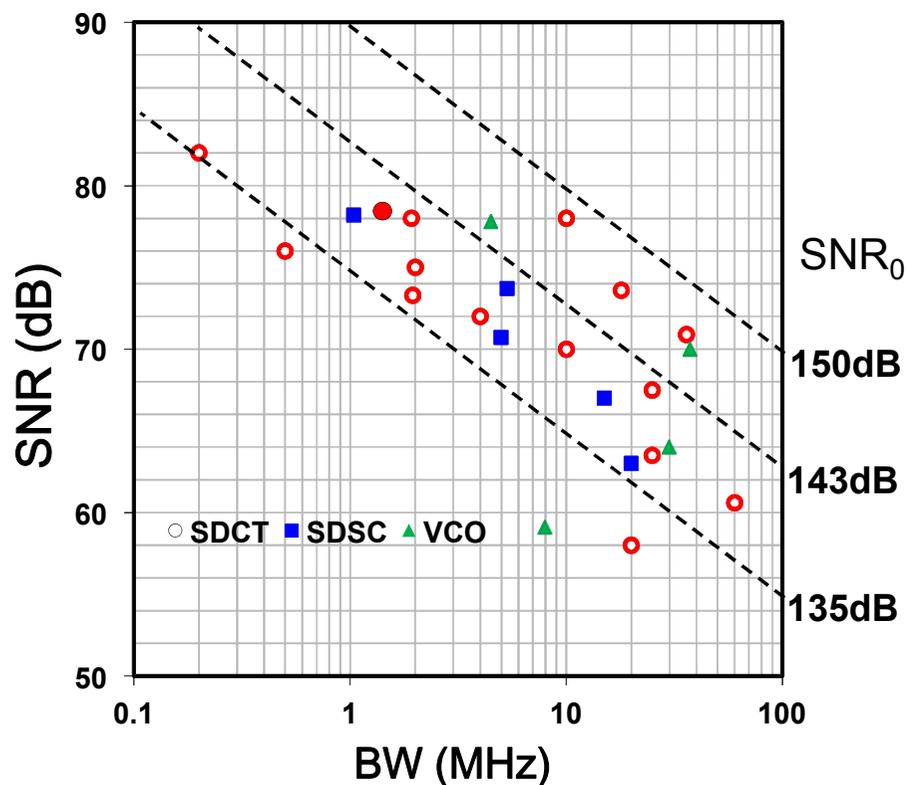
スケーラブル 12bit SAR ADCの開発

スケーラブルADC

信号帯域が広いときはSNRは下がっても良いが、信号帯域が低い場合は高いSNRを実現。消費電力は変換周波数に比例するようなADCが欲しい

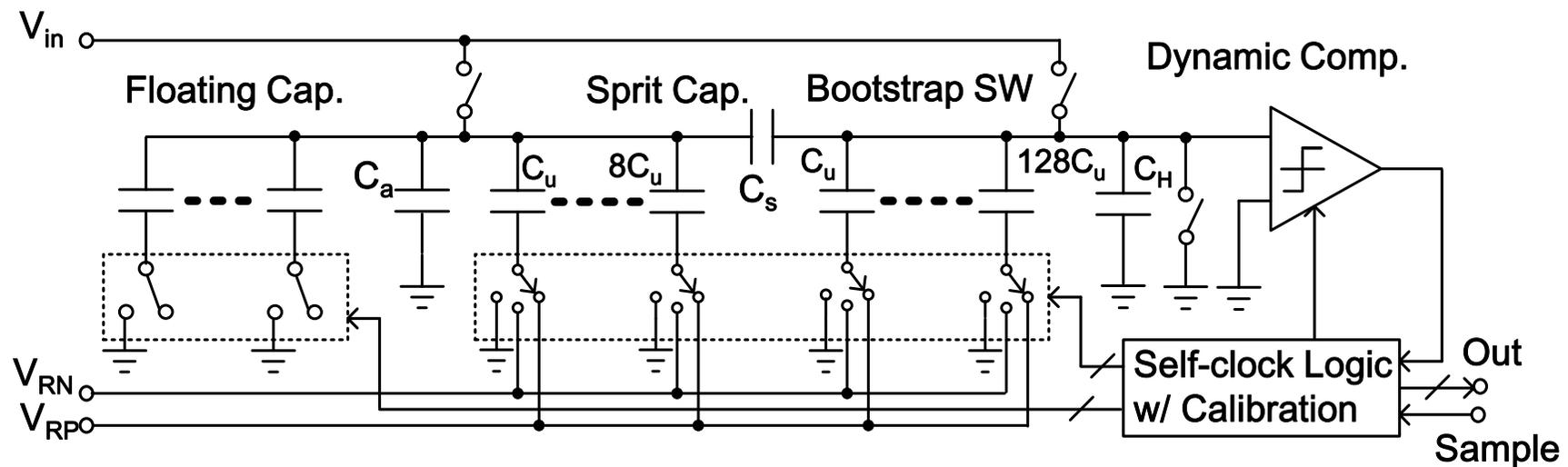
無線通信用ADCのSNRは信号帯域に反比例し消費電力は信号帯域に比例する

$$SNR \approx SNR_0 - 10 \log(BW) \quad P_d \approx K_1 \cdot BW \quad K_1: 0.2 \text{ -- } 3 \text{ (mW/MHz)}$$



Matsuzawa, A. "Digitally-Assisted Analog and RF CMOS Circuit Design for Software-Defined Radio," Chapter 7, Springer 2011.

SAR ADCは最もエネルギー消費が少なく、今後最も汎用的に使用できるADCである。容量DAC, ダイナミック型比較器, セルフクロック回路, 各種キャリブレーション回路などから構成され, 定常電流が全く流れないようにになっている。



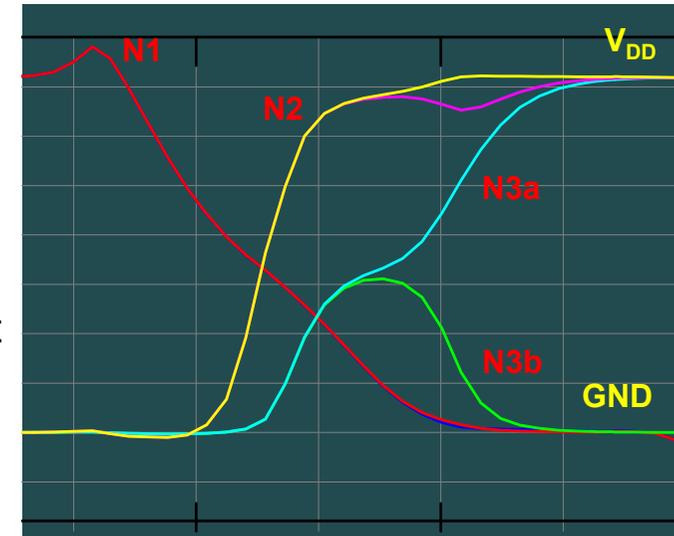
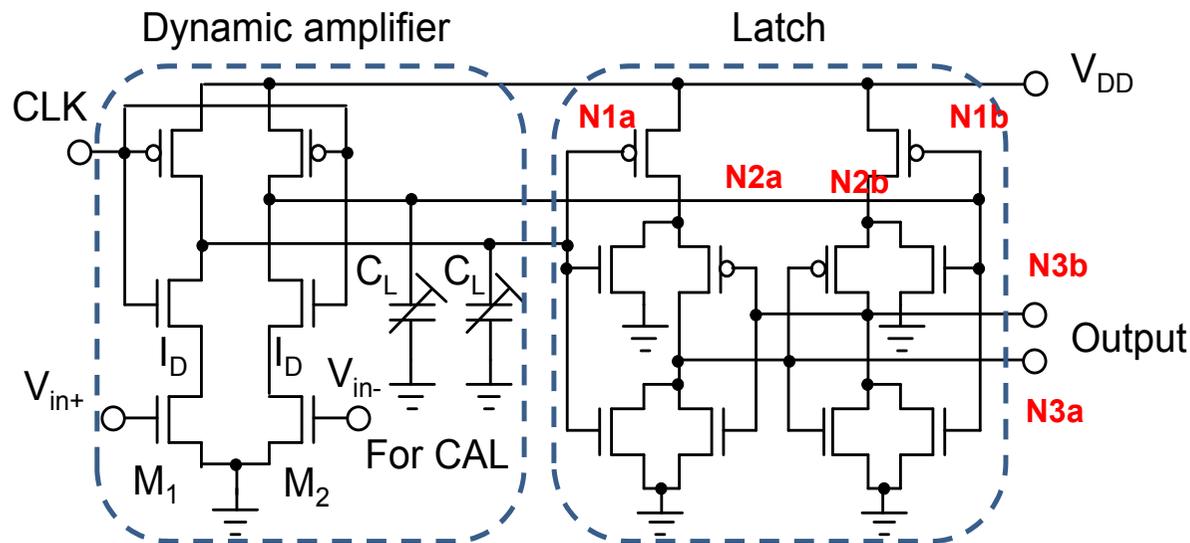
S. Lee, A. Matsuzawa, et al., SSDM 2013

ダイナミック型比較器

23

TOKYO TECH
Pursuing Excellence

ダイナミック型比較器はCMOSロジックと同様貫通電流がゼロで動作する。最大4GHzの動作が可能だが、数Hzの低速でも動作する。ノイズが大きく10bit以上の高分解能化が困難であったが、低ノイズ回路の開発により12bitの高分解能化が可能となった。



M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

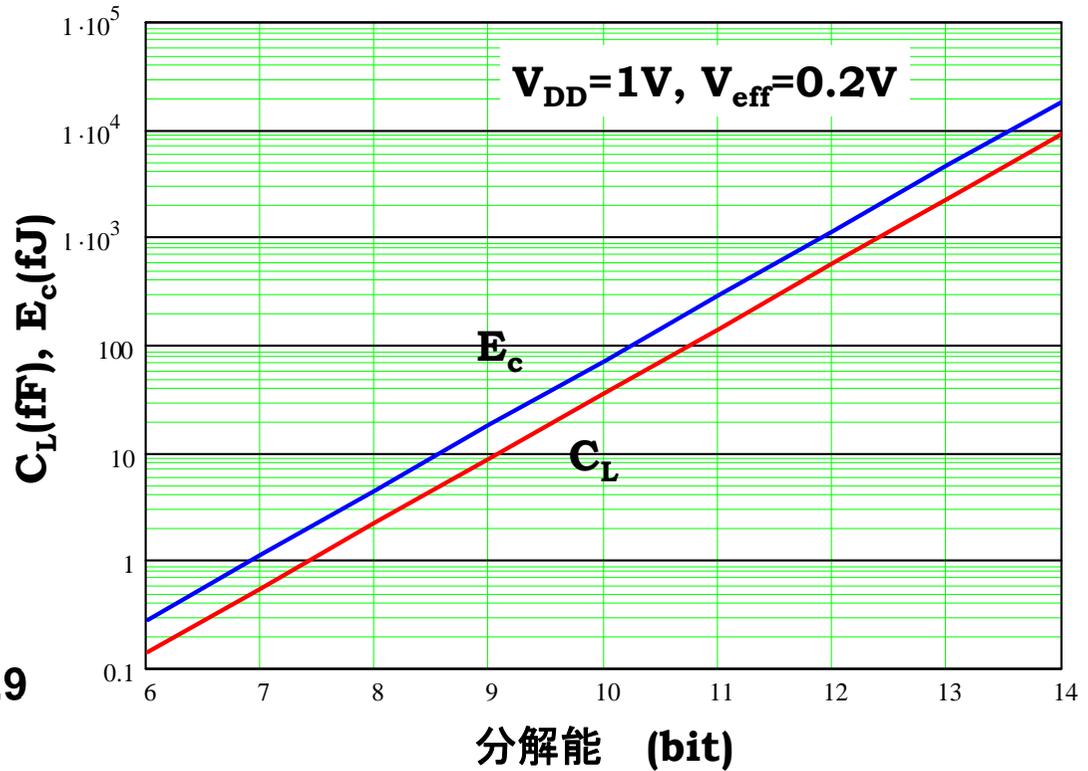
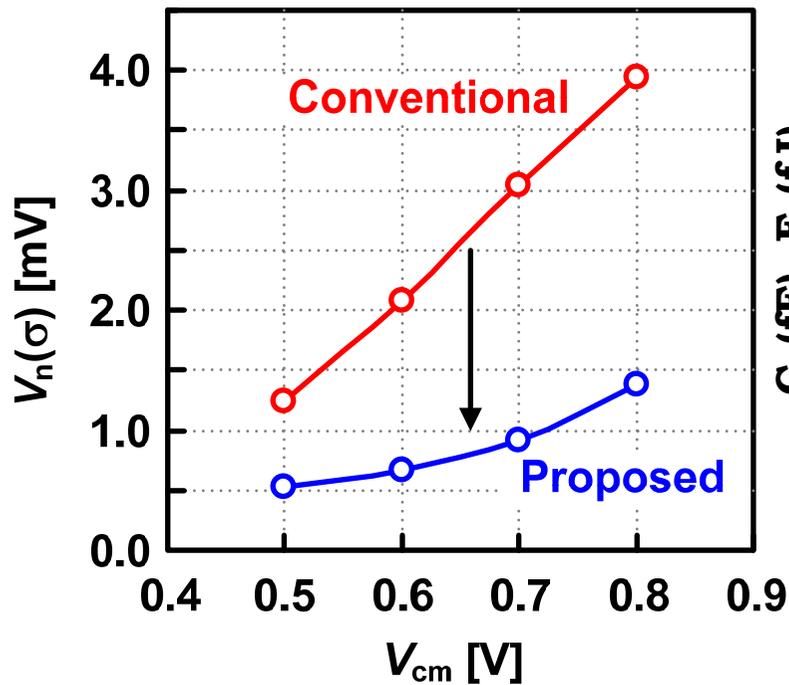
Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira Matsuzawa, "A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC," A-SSCC, 5-3, pp. 141-144, Taiwan, Taipei, Nov. 2009.

ダイナミック型比較器のノイズ

ダイナミック型比較器の構成をラッチの前にCMOS増幅器を設けた構成にすることで、ノイズを低減させた。またノイズレベルが負荷容量でほぼ決定されることを見出し、ノイズと消費電力の最適化指針を導いた。

$$\overline{v_{ni}^2} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$

分解能と負荷容量 C_L ，消費エネルギー E_c



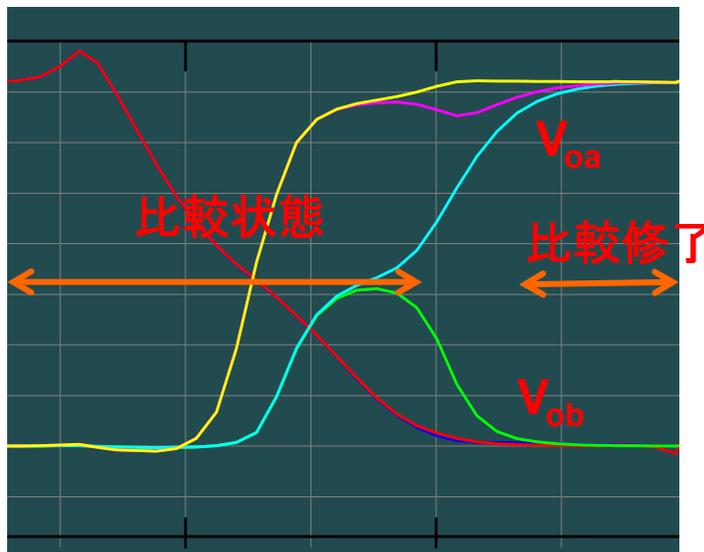
A. Matsuzawa, ASICON 2009, pp. 218-221, Oct. 2009.

セルフクロック回路

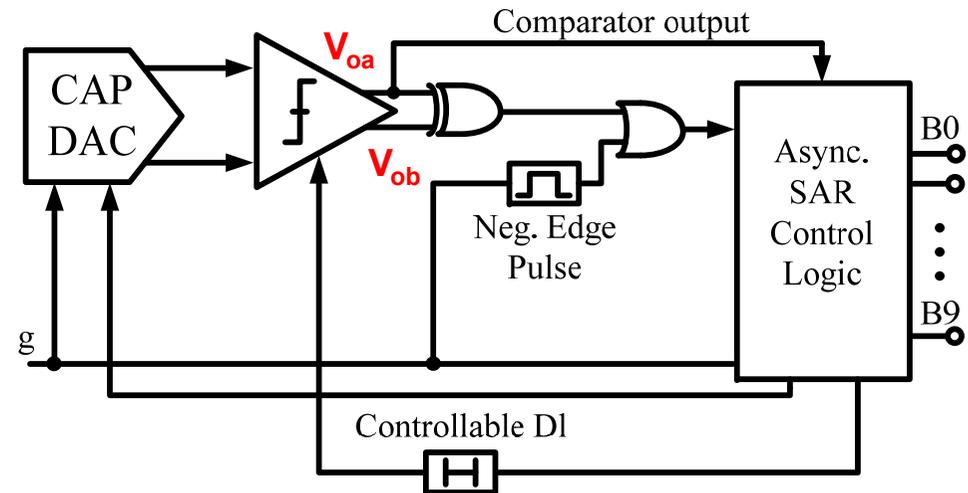
25

TOKYO TECH
Pursuing Excellence

逐次比較を行うには分解能Nに対しN回の比較クロックが必要だが、ダイナミック型比較器での比較の終了検出を用いたセルフクロック回路によりPLLやDLL回路が不要となった。



比較状態: どちらも[L]状態
比較終了: 異なった論理状態

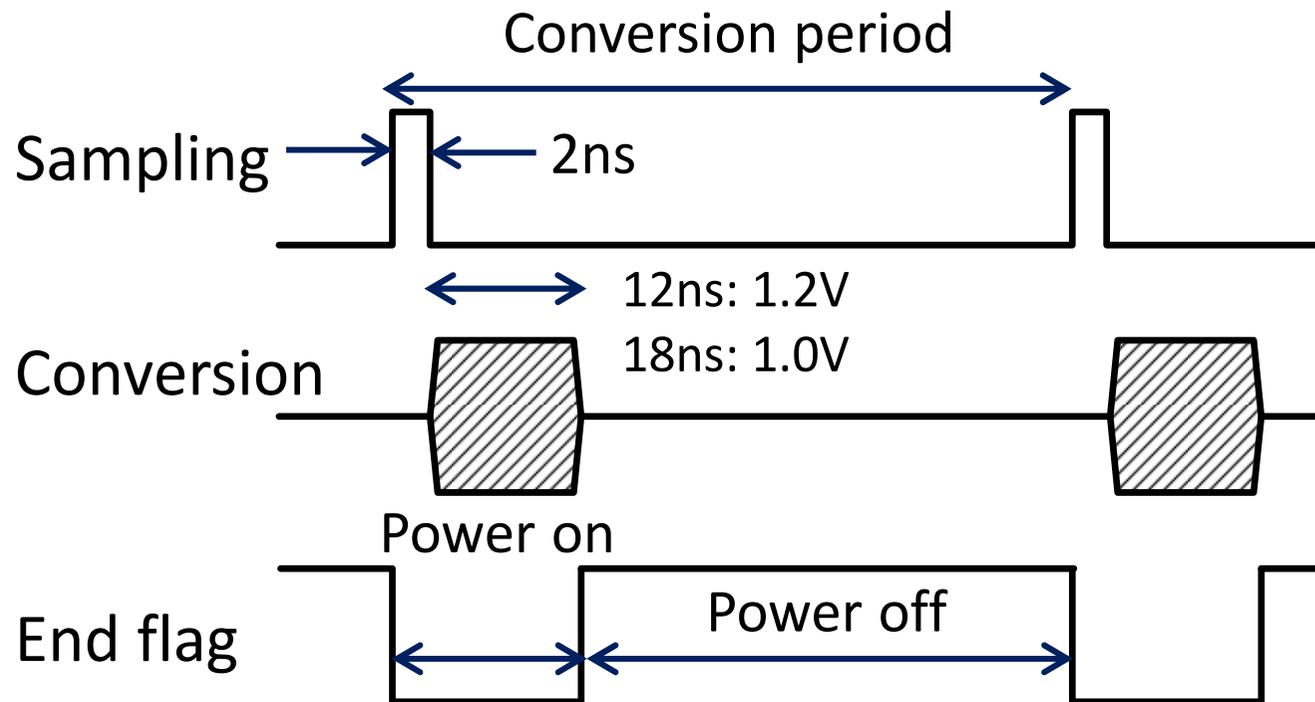


セルフクロック回路

サンプリングパルスが入力され、立下りエッジにより逐次比較動作が開始、12回の変換が行われると変換終了フラグが立つ。変換に要する時間は12 -- 18ns程度しかかからない。残りの時間は回路をオフしてリーク電流を遮断できる。

消費電力はサンプリング周波数に比例

$$P_d = f_s \times E_d$$



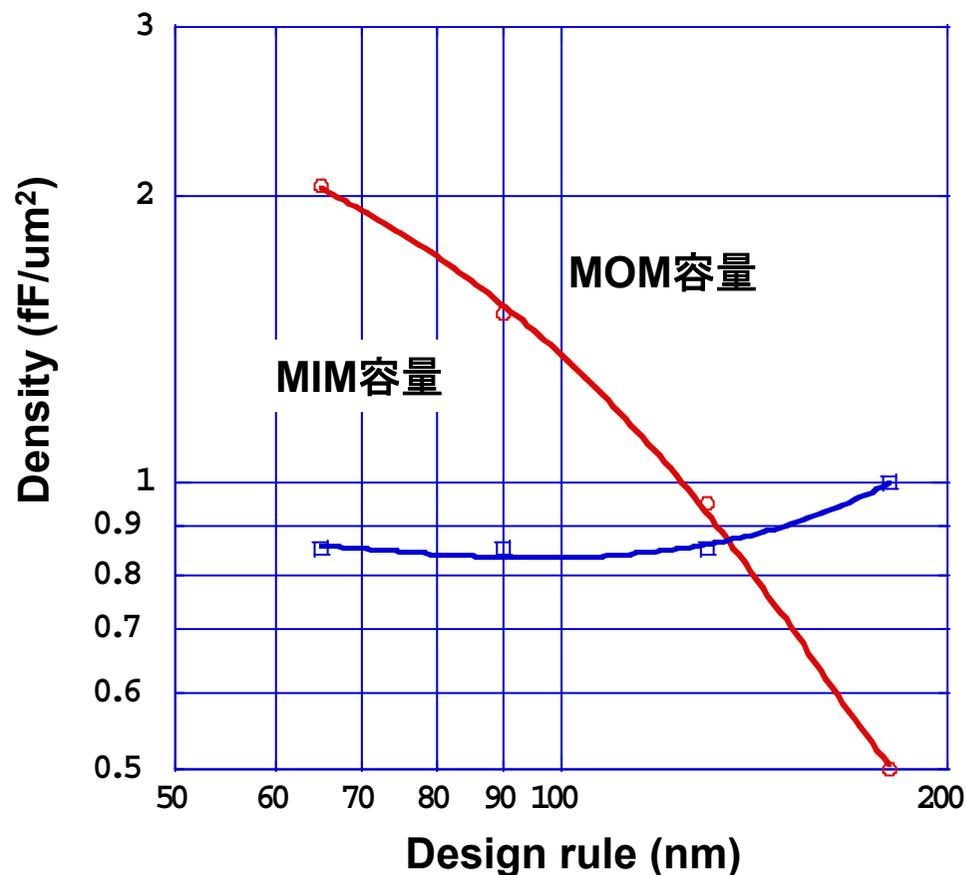
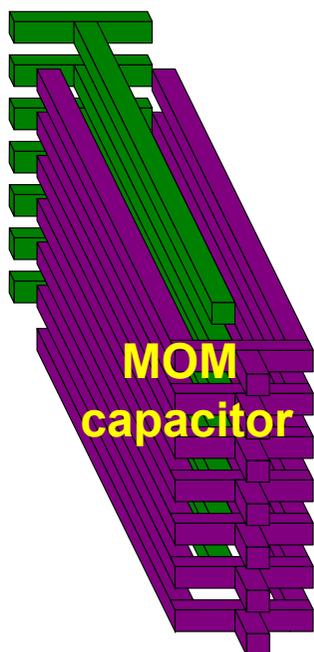
MIM容量の限界とMOM容量

27

TOKYO TECH
Pursuing Excellence

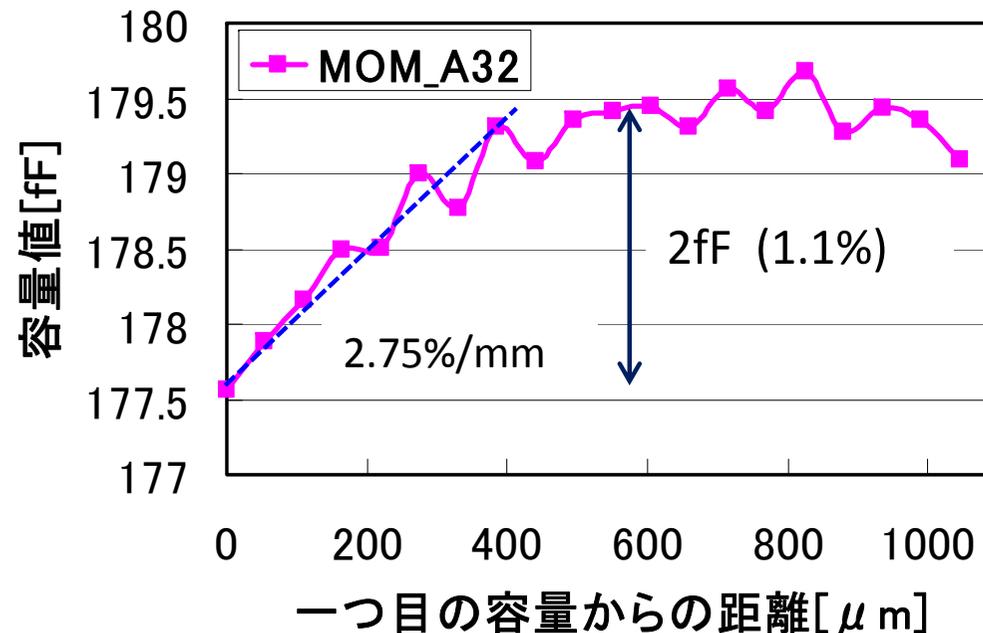
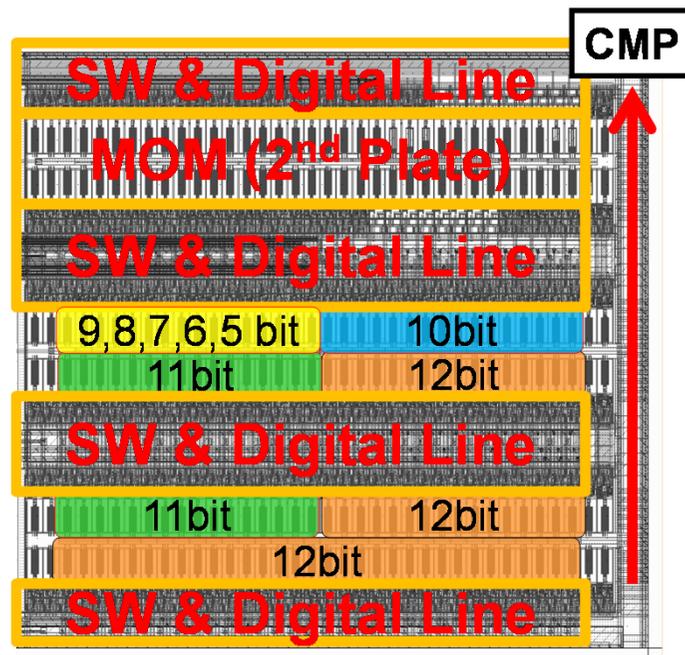
MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

MOM容量により微細化とともに容量部の面積縮小が可能である



MOM容量の精度飽和の要因

MOM容量は面積を増加させても精度が飽和するが、その大きな要因は容量の位置依存が強いことである。500 μm で1%程度の容量傾斜がある。設計ではこの点を考慮したレイアウトや誤差補正技術が不可欠。

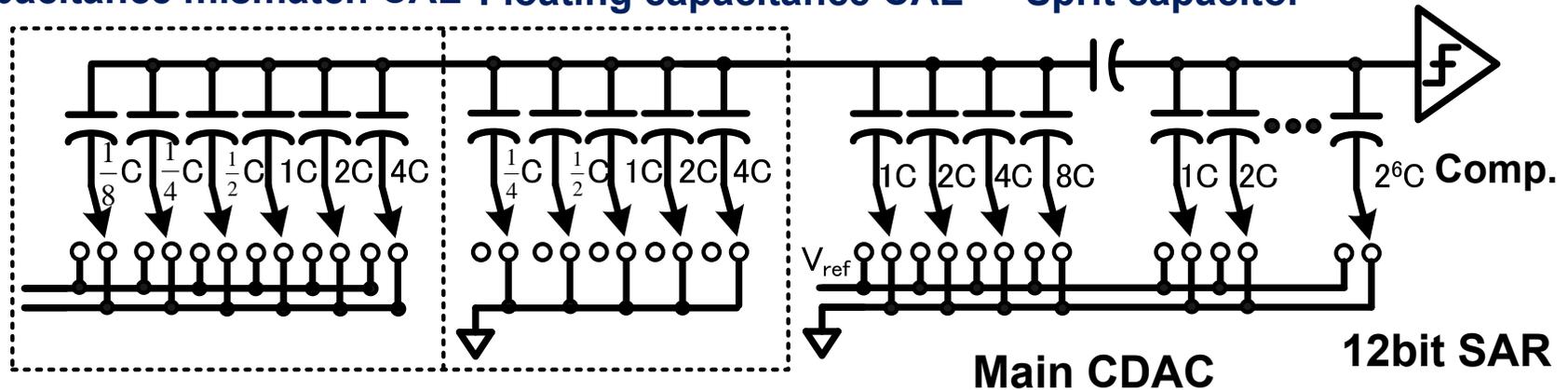


このようにビットを固めたレイアウトでは容量値の位置依存によるINL劣化が大きい

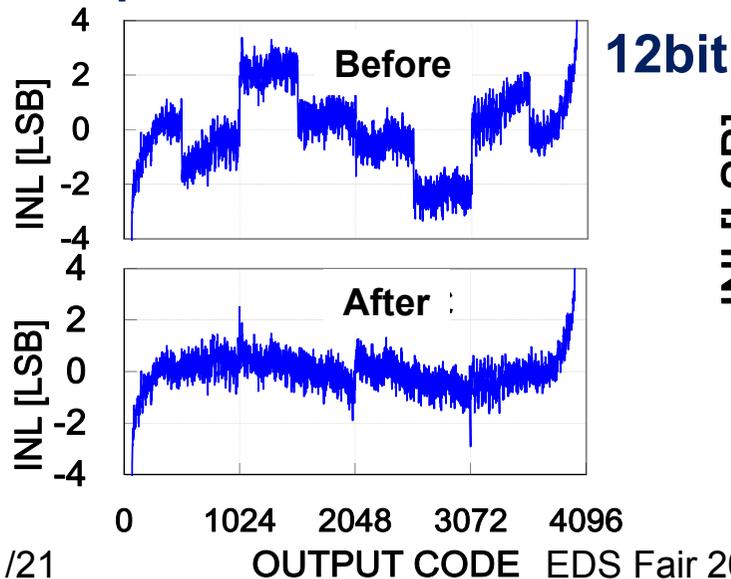
直線性の補正

容量誤差や寄生容量による直線性劣化に対し、微小容量とデジタル補正回路を用いて直線性を向上させる。

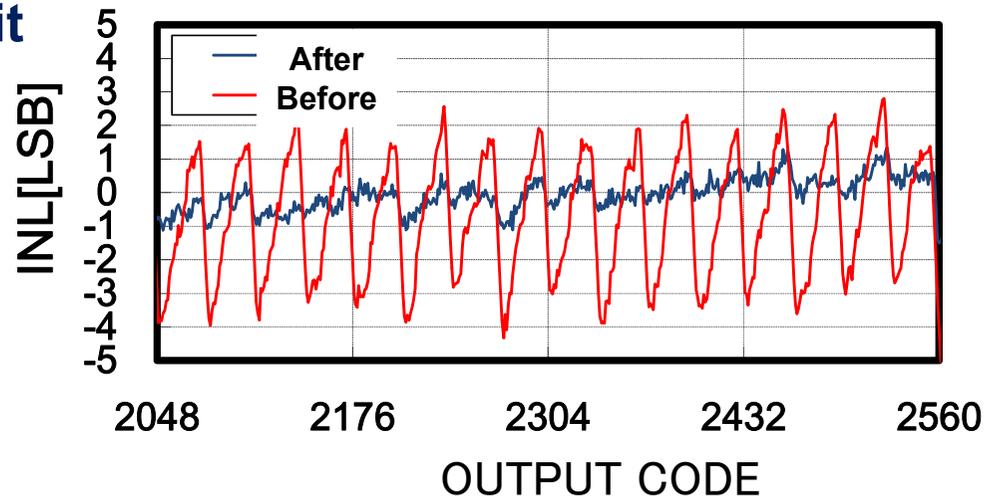
Capacitance mismatch CAL Floating capacitance CAL Sprit capacitor



Capacitance mismatch CAL Simulation



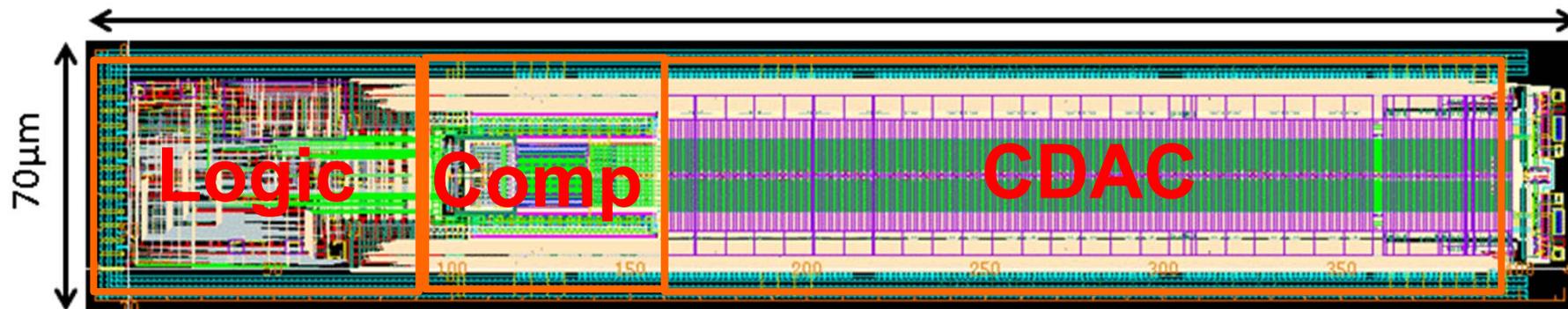
Floating capacitor CAL



合理的な配置により極めて小さな占有面積を実現

65nm CMOS 0.03mm²

420μm



縦方向を短くしたのは並列動作(インターリーブ)による高速化を考慮に入れたためである。

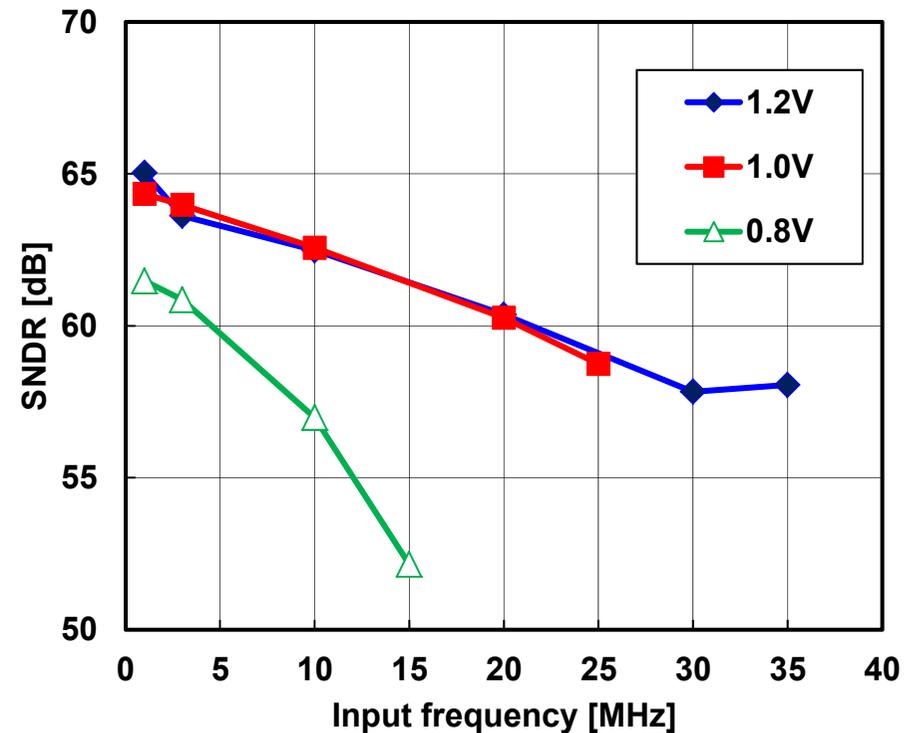
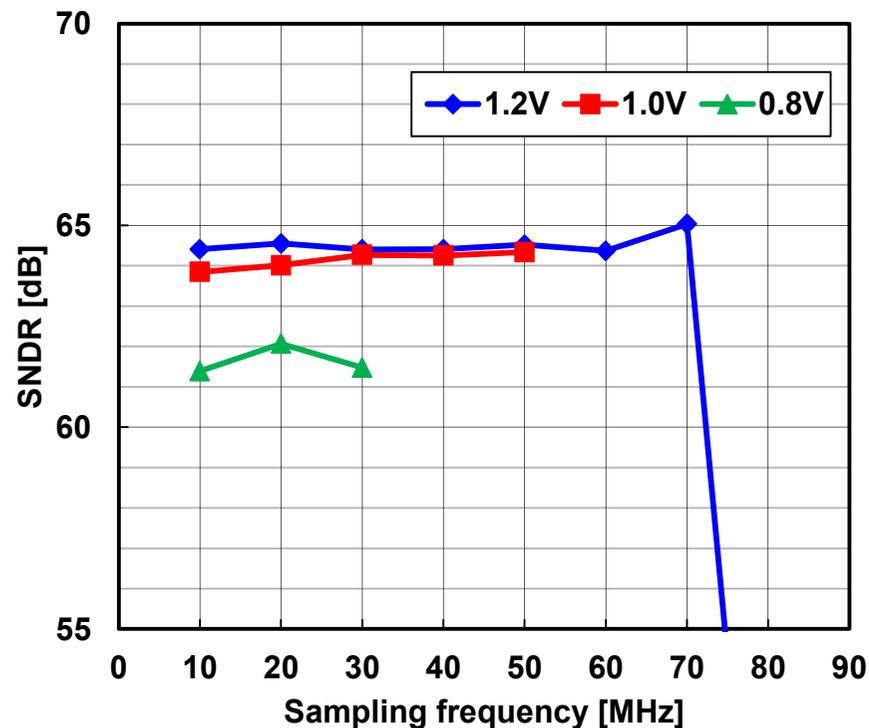
S. Lee, A. Matsuzawa, et al., SSDM 2013

評価結果：SNDR

31

TOKYO TECH
Pursuing Excellence

64dB のSNDRを達成 ($V_{dd}=1.2V, 1.0V$)
 $V_{dd}=0.8V$ ではSNDRの劣化がみられる。
(スイッチ抵抗の増大が原因であると思われる)



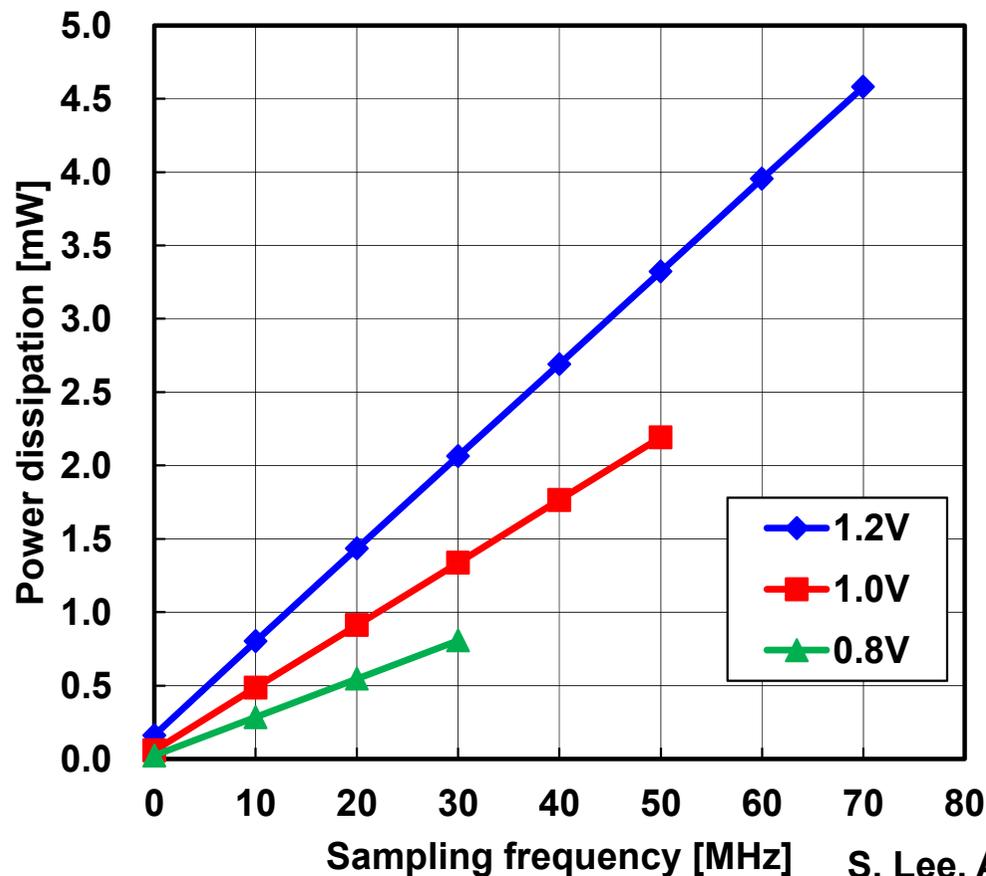
S. Lee, A. Matsuzawa, et al., SSDM 2013

消費電力特性：スケーラブルPd

32

TOKYO TECH
Pursuing Excellence

完全なダイナミック動作により、ADCの消費電力はCMOSロジックと同様動作周波数に比例する。低い変換周波数では超低電力化が可能。低い変換周波数では低電圧動作により、より低電力化が可能である。70MSpsの高速動作を実現。



50MSps: 2mW
5MSps: 200uW
500KSps: 20uW
50KSps: 2uW
5kSps: 0.2uW

S. Lee, A. Matsuzawa, et al., SSDM 2013

性能比較

33

- 最高變換速度: 70MSps
- 最低動作電壓: 0.8V
- 最小消費電力: 2.2mW at 50MSps
- 最小FoM: 28fJ
- 最小面積: 0.03mm²

12bit SAR ADCs

	This work			[3]	[4]
Resolution (bit)	12			12	12
V _{DD} (V)	0.8	1	1.2	1.2	1.2
f _{sample} (MHz)	30	50	70	45	50
P _d (mW)	0.8	2.2	4.6	3	4.2
SNDR (dB)	62	64	65	67	71
FoM (fJ) Nyq/DC	81/28	62/33	100/45	36/31	36/29
Technology (nm)	65			130	90
Occupied area(mm ²)	0.03			0.06	0.1

S. Lee, A. Matsuzawa, et al., SSDM 2013.

[3] W. Liu, P. Huang, Y. Chiu, ISSCC, pp. 380-381, Feb. 2010.

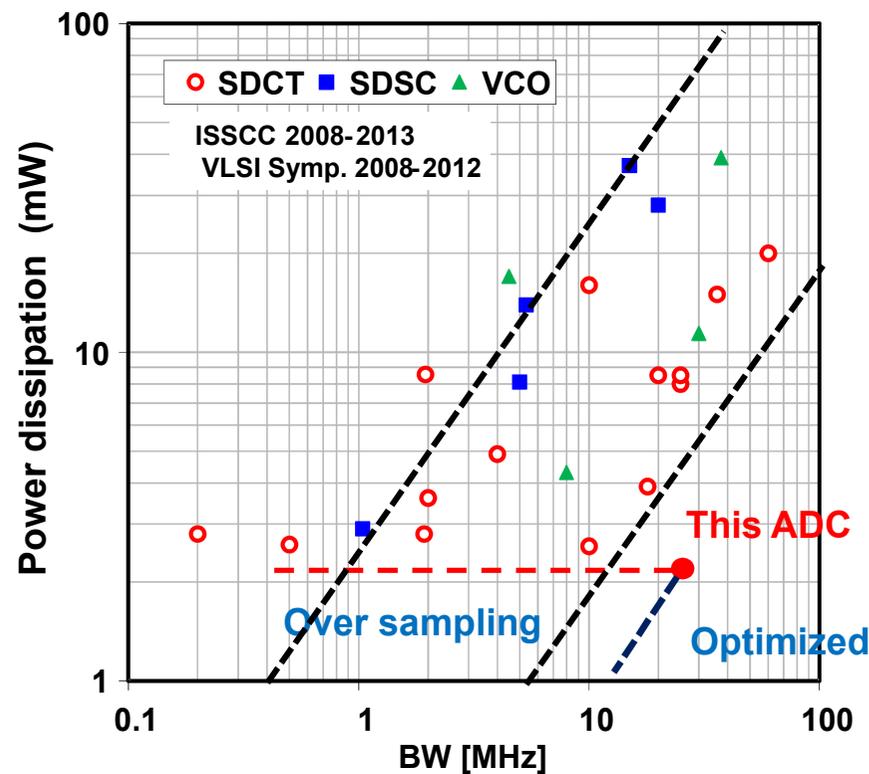
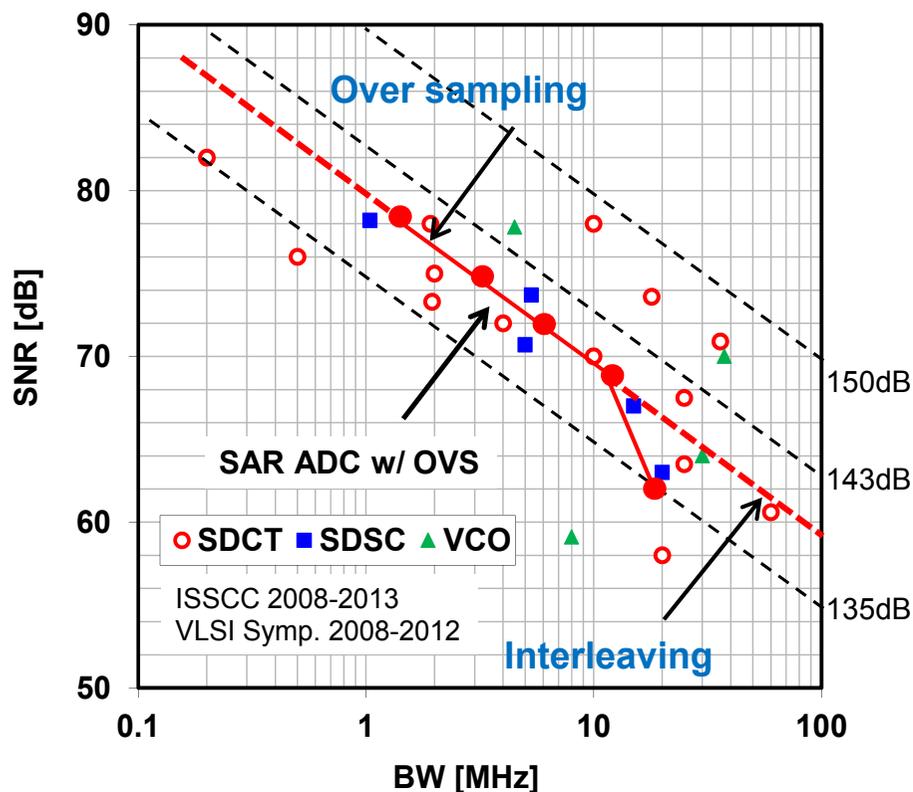
[4] T. Morie, et al., ISSCC, pp.272-273, Feb. 2013.

SNRと信号帯域：スケラブルSNR

SNRは信号帯域が20MHzで62dB, デジタルフィルタで信号帯域を制限することでSNRを向上できる。帯域1MHzで78dBのSNRを実現
 高い信号帯域に対してはインターリーブで対応の予定。
 消費電力はこれまでの通信用ADCに比べ最少。

S. Lee, A. Matsuzawa, et al., SSDM 2013

1V, 50MSps Operation



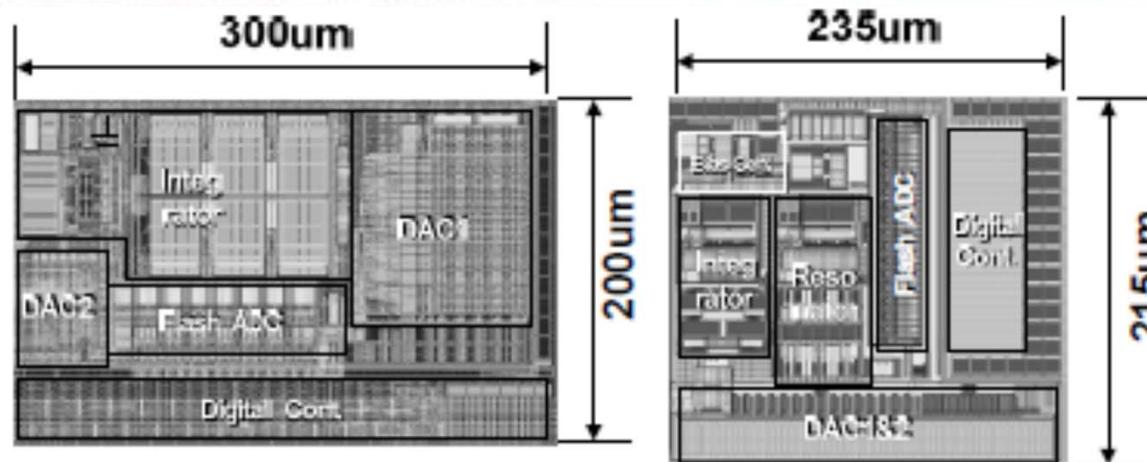
SAR ADCの性能と面積

CTΔΣADCとして最も低いFoMと小さな面積のADCと比較
それでもSAR ADCよりも大きい

SAR ADC: 面積: 0.03mm² (65nm) P_d=2.0mW, SNDR=70dB

CTΔΣADC: 面積: 0.05mm² (40nm) P_d=2.6mW, SNDR=70dB

Conference	Technology	Area (mm ²)	Power (mW)	SNDR (dB)	DR (dB)	BW (MHz)	Fs (MHz)	FOM (fJ/conv.)	FOM2
Modulator-B	40nm	0.051	2.57	70.0	70.6	10	300	50	166.5
Modulator-A	65nm	0.060	1.36	68.8	69.3	3	186	101	162.0
VLSI2011[4]	40nm	0.085	2.80	78.0	83.0	1.92	246	112	171.4
ISSCC2006[5]	130nm	1.2	20.0	74.0	76.0	20	640	122	166.0
ISSCC2011[6]	90nm	0.15	8.0	63.5	70.0	25	500	125	164.9
ISSCC2009[7]	65nm	0.084	4.52	79.1	80.0	2	128	153	166.5
CICC2010[2]	65nm	0.16	3.6	69.8	70.2	4	140	178	160.7



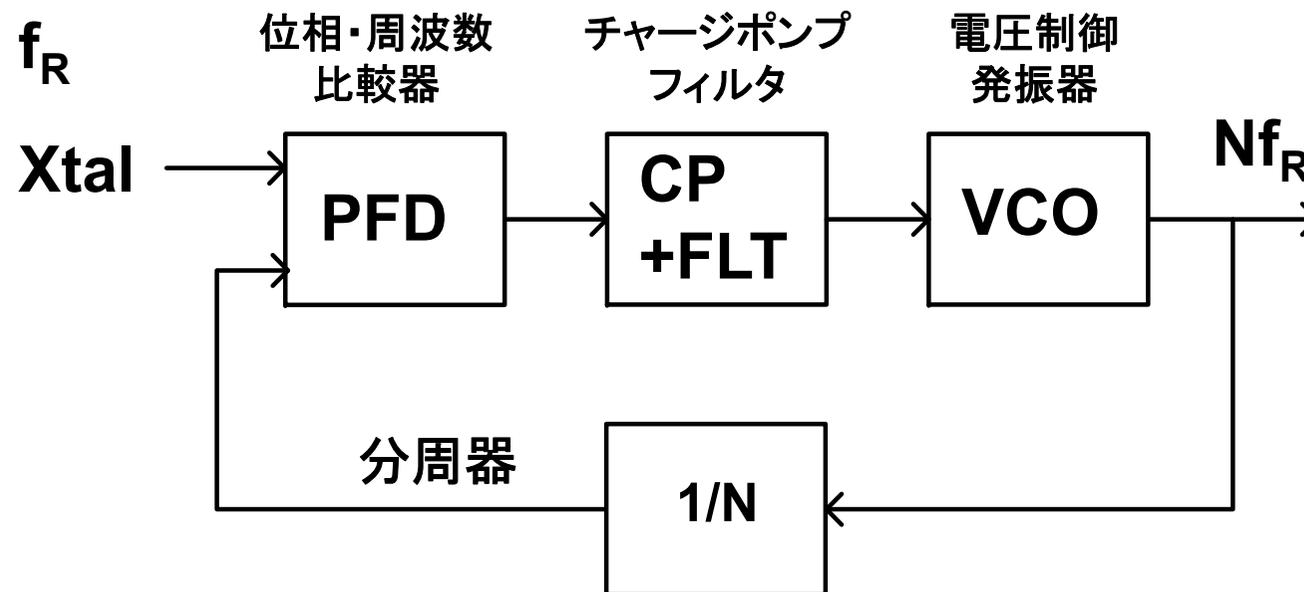
(a) Modulator-A

(b) Modulator-B

K. Matsukawa,
S. Doshio, VLSI 2012

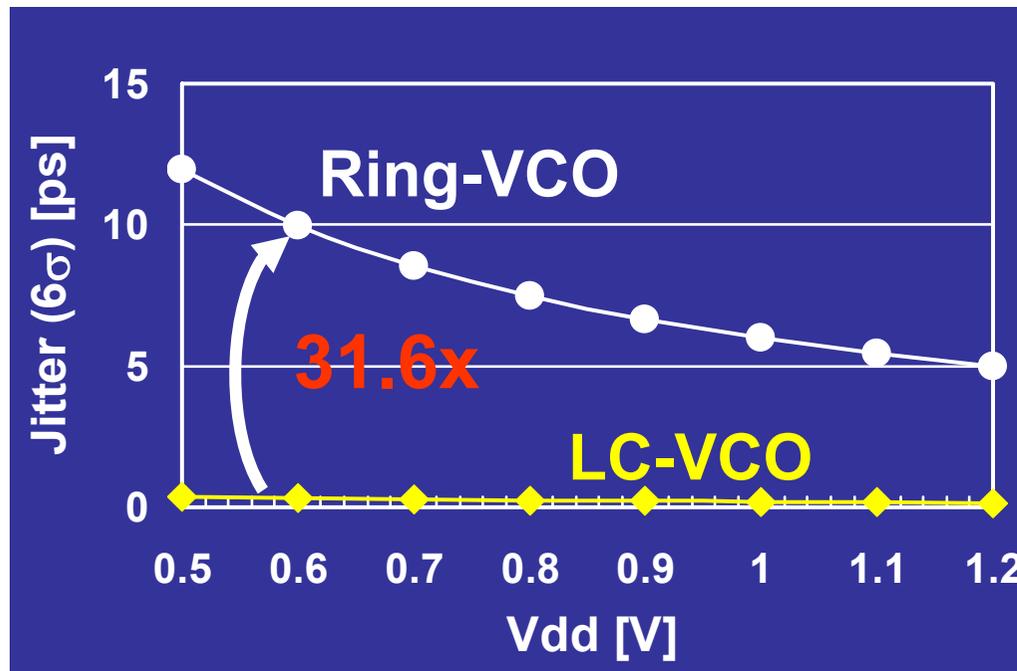
PLL技術

PLL (位相同期ループ) は所望の周波数のクロックを作り出す回路で, 全てのLSIに必要不可欠なものである。システムのタイミングや位相精度を決定するものであり消費電力も大きくなりがちである



PLLのジッタ, 位相ノイズ, 消費電力は主として発振器で決まる。リング発振器はLC発振器に比べ30倍程度ジッタが悪く, 低電圧化により更に悪くなる。しかしLC発振器は面積も大きく, 消費電力も大きい。そこでLC発振器の低電力化とリング発振器の低ジッタ化を進めている。

$$\frac{\text{リング発振器の位相ノイズ}}{\text{LC発振器の位相ノイズ}} = \frac{2MQ^2 \left\{ \frac{V_{DD}}{V_{DD} - V_T} 2\gamma + 1 \right\}}{1 + \gamma}$$

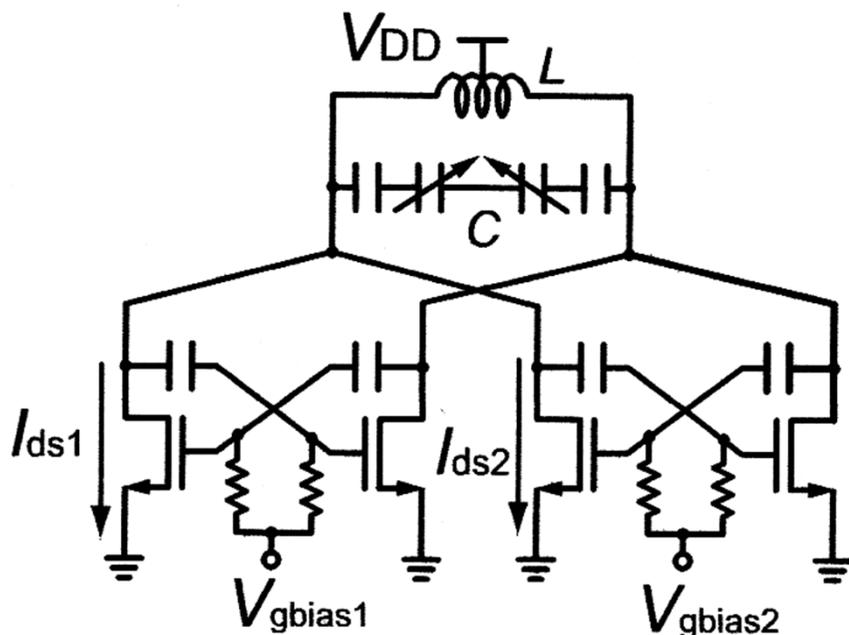


Q: LC共振回路
M: リング段数
γ: ノイズ係数

0.2Vで動作するLC VCOを開発した。
電流が流れる位相範囲を縮小した。

低ノイズ・高効率C級発振器を基本とし、
発振し易いようにスタートアップ回路を設けた。

K. Okada, Y. Nomiyama, R. Murakami, and A. Matsuzawa,
"A 0.114mW Dual-Conduction Class-C CMOS VCO with 0.2V Power Supply,"
Dig. Symp. VLSI Circuits, pp.228-229, June, 2009.



C級発振器用

スタートアップ用

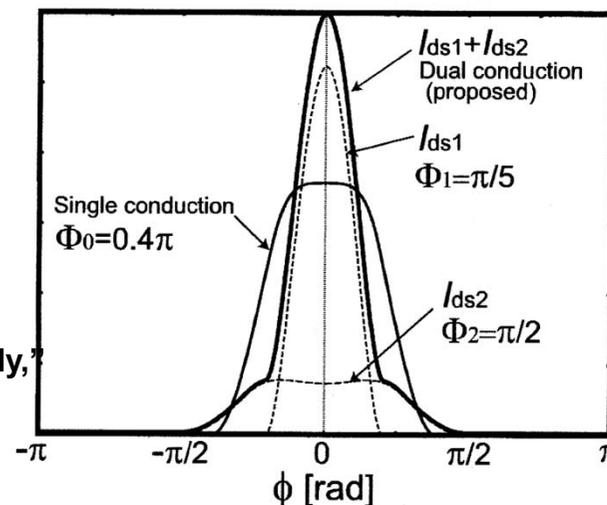


Fig. 2. MOS current waveform of single- and dual-conduction class-C VCOs under the same signal amplitude ($A_t = 3/4 * V_{DD}$, and $V_{th} = 5/2 * V_{DD}$).

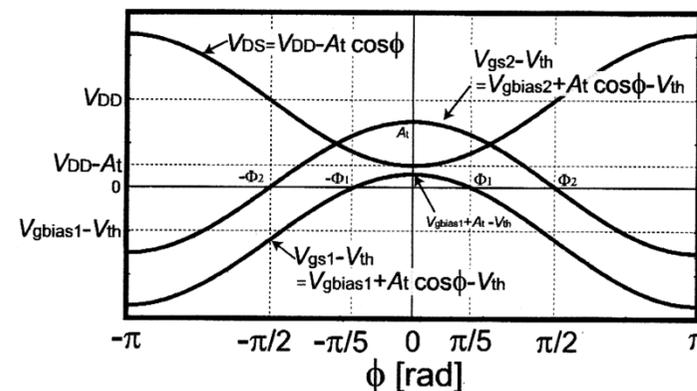


Fig. 3. Voltage waveform of the proposed VCO for drain and both gate voltages.

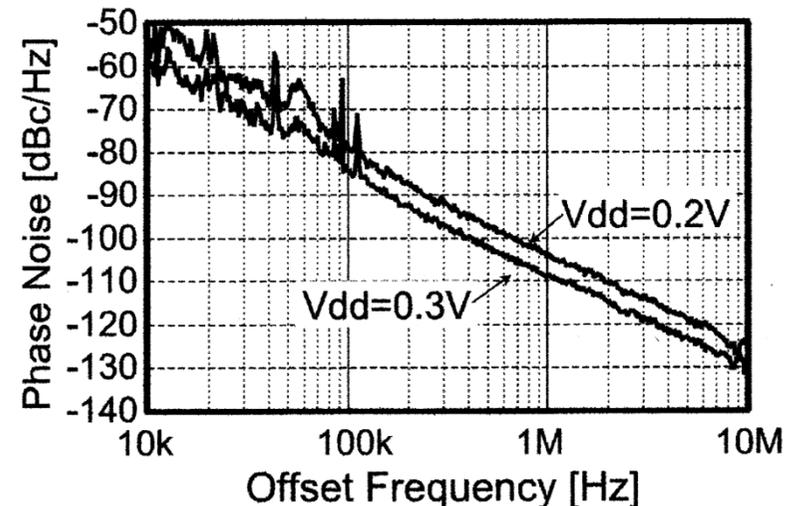
低電圧LC VCOの評価結果

40

TOKYO TECH
Pursuing Excellence

LC発振器はDCカットできるために低電圧設計がし易い。
課題は面積だが、多層配線の利用で、より省面積化が可能である。

0.2Vで動作するLC発振器を開発し、
-104dBc/Hz @1MHz-offset
の位相ノイズ特性を得た。
Pd=110uW, FoM=187dBc/Hz
の低電力動作を確認。

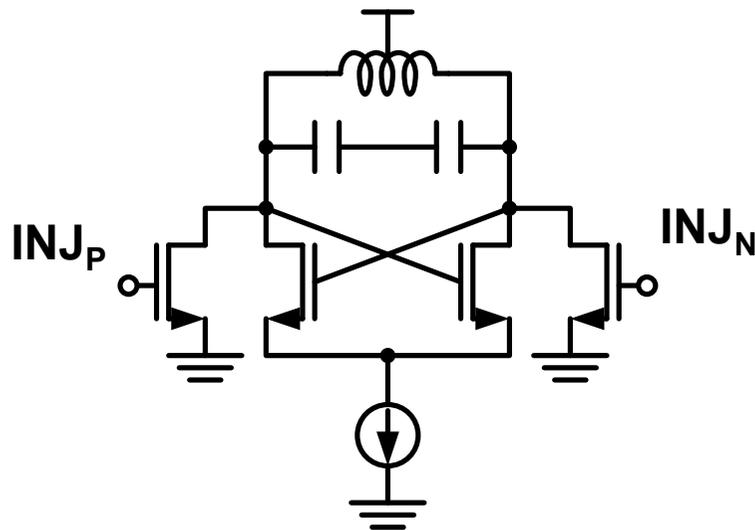


K. Okada, A. Matsuzawa, et al., VLSI Circuits 2009.

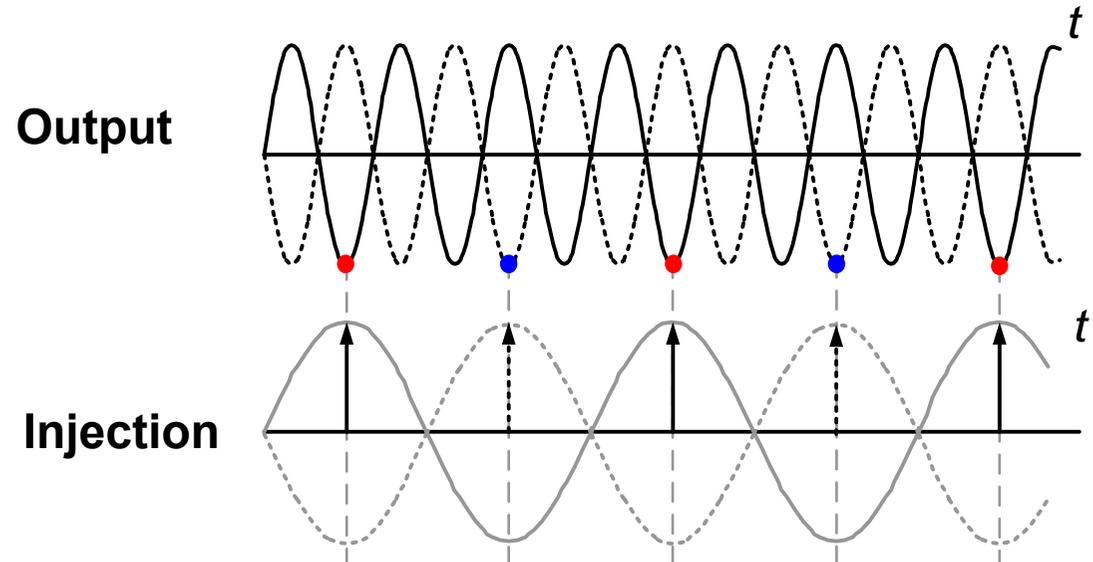
TABLE 1. Performance summary.

	[2]	[1]	[1]	This work	
Technology	0.13 μm CMOS	0.18 μm CMOS	0.18 μm CMOS	0.18 μm CMOS	
Supply voltage	1.0 V	0.5 V	0.35 V	0.3 V	0.2 V
Power consumption	1.3 mW	0.57 mW	1.46 mW	0.159 mW	0.114 mW
Oscillation frequency	4.9 GHz	3.8 GHz	1.4 GHz	4.5 GHz	4.5 GHz
Phase noise	-130 dBc/Hz @3MHz-offset	-119 dBc/Hz @1MHz-offset	-129 dBc/Hz @1MHz-offset	-109 dBc/Hz @1MHz-offset	-104 dBc/Hz @1MHz-offset
FoM	196 dBc/Hz	193 dBc/Hz	190 dBc/Hz	190 dBc/Hz	187 dBc/Hz
Chip area	0.50 mm ²	0.23 mm ²	0.76 mm ²	0.29 mm ²	
Topology	Class-C (single)	TF	TF	Class-C (dual)	

注入同期により高い周波数の発振器の位相を、より低い発振器で制御することができる。



parallel injection



注入信号に位相が同期することで周波数が変化

- 位相雑音(ジッタ)は注入信号に依存
- 周期が短くなる分、相対的にジッタが大きくなる

逡倍器の位相雑音 $PN_{ILO} = PN_{INJ} + 20 \log(N)$ N :逡倍数

ロックレンジ

$$\Delta\omega_L = \frac{\omega_o}{Q} \cdot \frac{I_{inj}}{I_{osc}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{osc}^2}}}$$

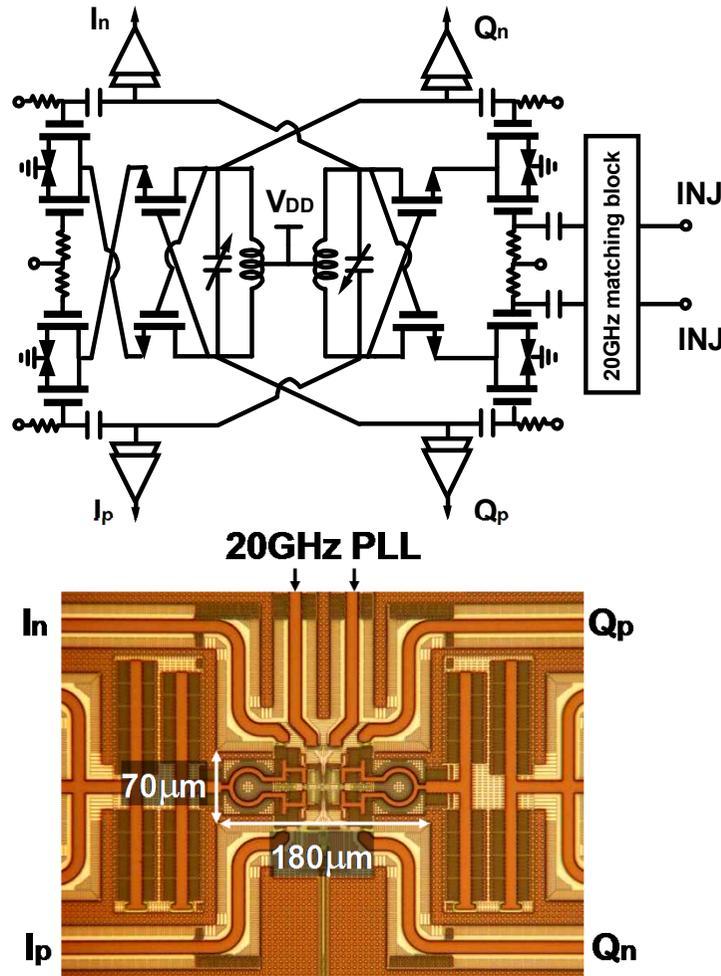
N=3のとき 9.5dB

60GHz用低位相ノイズ直交VCO

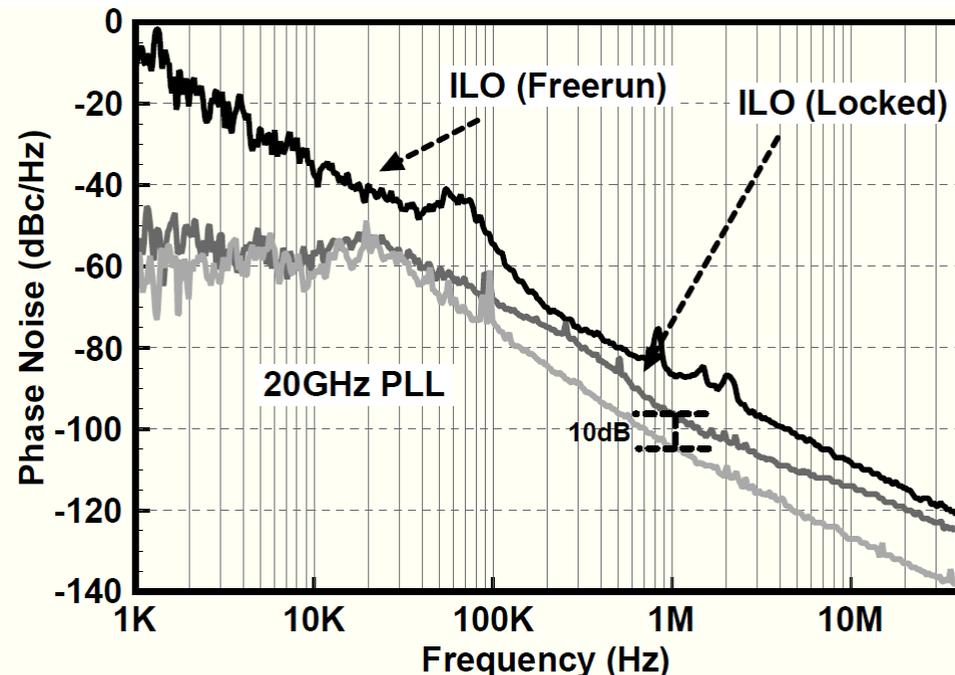
42

TOKYO TECH
Pursuing Excellence

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで
-96dBc/Hz@1MHzの良好な低位相ノイズを実現。
ダイレクトコンバージョンや16QAMが可能となった。



それまでの60GHz 直交VCOの位相ノイズは
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, in A-SSCC
Dig. Tech. Papers, pp. 101–102, Nov. 2010.

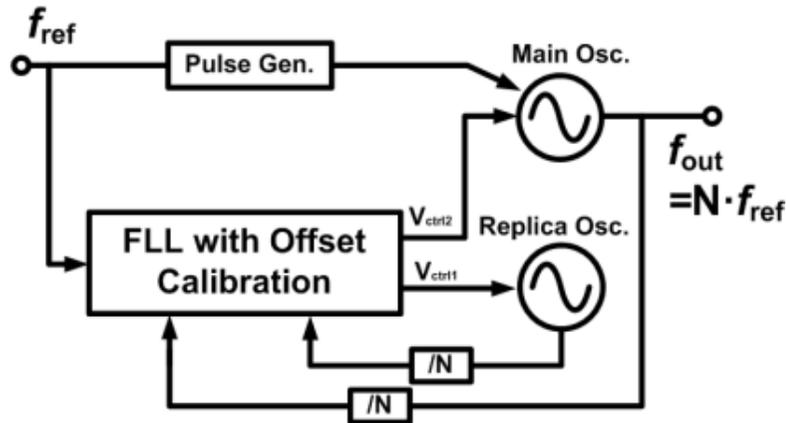
システムクロック発生回路

43

TOKYO TECH
Sustaining Excellence

インジェクションロック技術を用いたLSIのシステムクロック発生用
リング発振器。低ジッタ, 低電力, 小面積 IL VCO, $T_j=1.8\text{ps}$, 1mW ,
 0.02mm^2

従来のPLLに代わるクロック発生器
今後はレイアウト合成が可能に



IL VCO 性能比較

	This work	[1]		[2]	[5]
	IL-PLL	DMDLL	DPLL	MDLL	IL-PLL
Freq. [GHz]	1.2 (0.5-1.6)	1.5 (0.8-1.8)	1.5 (0.8-1.8)	1.6	0.216
Ref. [MHz]	300 (40-300)	375	375	50	27
Power [mW]	0.97	0.89	1.35	12	6.9
Area [mm ²]	0.022	0.25	0.25	0.058	0.03
Integ. Jitter [ps]	0.7	0.4	3.2	0.68	2.4
Jitter RMS/PP [ps]	1.81/19.4 10M hits	0.92/9.2 5M hits	4.2/33 5M hits	0.93/11.1 30M hits	N.A.
FOM [dB]	-243	-248.46	-228.59	-233.76	-225
CMOS Tech.	65nm	130nm	130nm	130nm	55nm

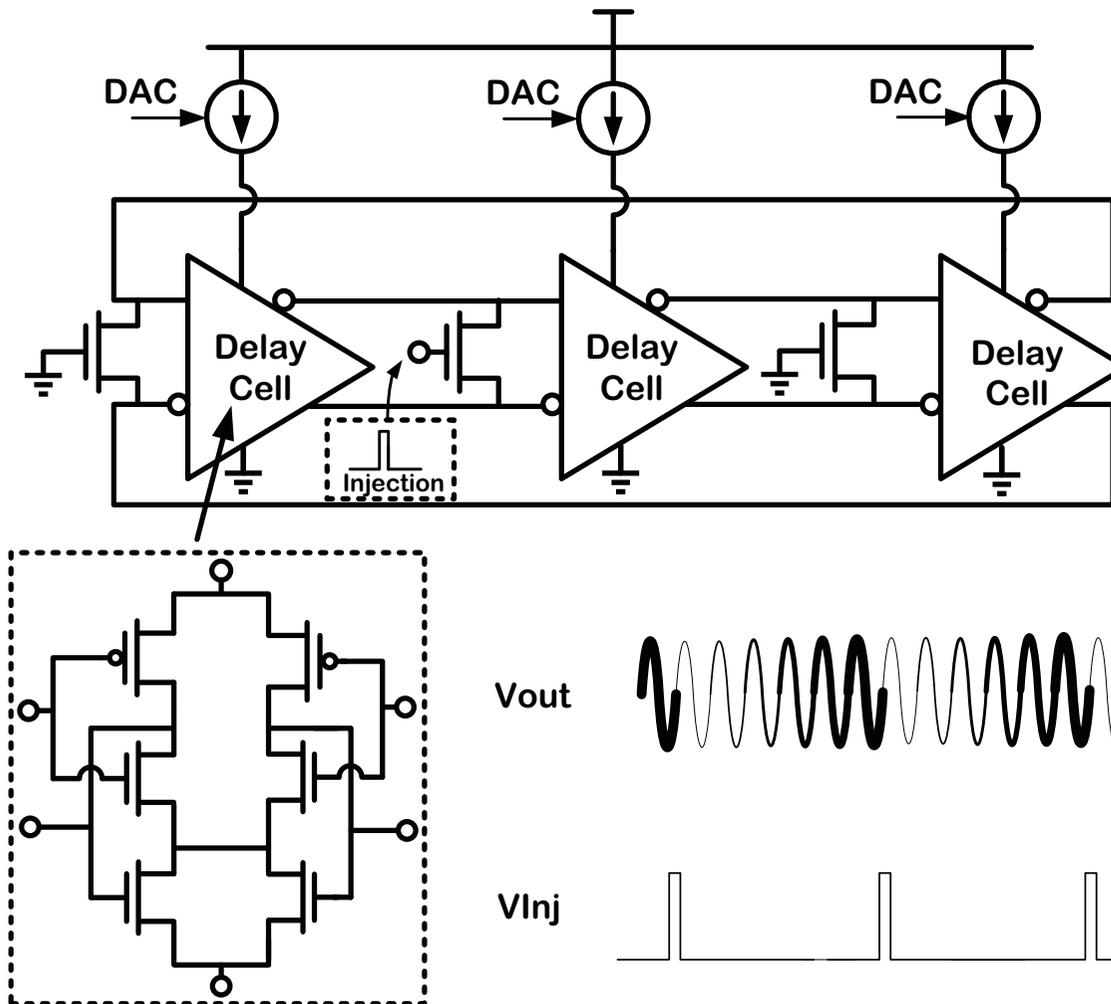
W. Deng., A. Matsuzawa,
et al., ISSCC 2013

Injection-locked Ring Oscillator

44

TOKYO TECH
Pursuing Excellence

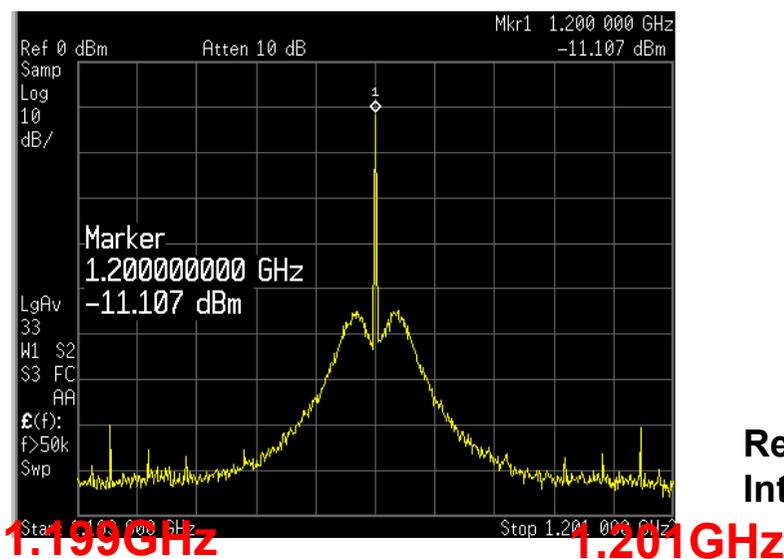
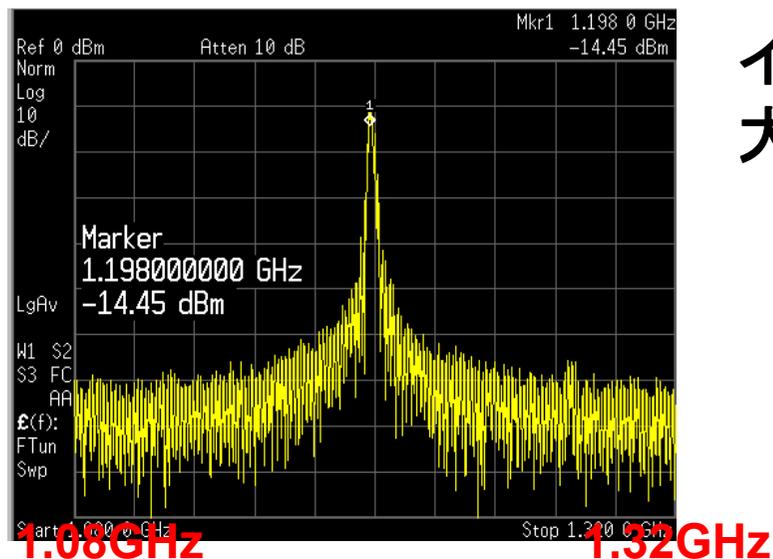
差動型インバータリングVCOにインジェクションを行う



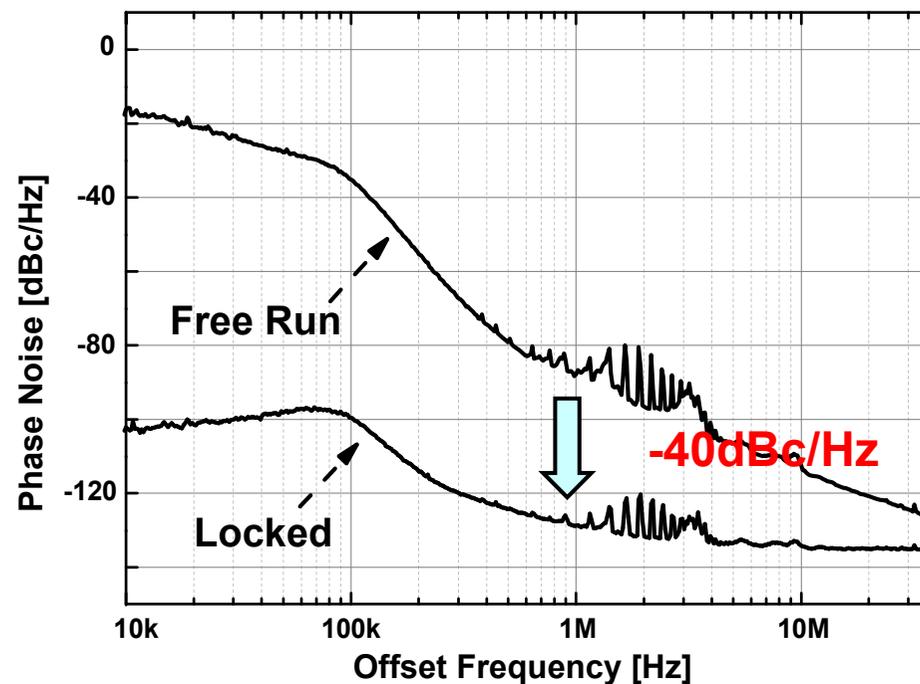
W. Deng. ISSCC 2013

位相雑音の大幅な向上

インジェクションロックにより位相雑音は大幅に低下



W. Deng, A. Matsuzawa, et al., ISSCC 2013



Ref.: 300MHz (40MHz-300MHz) Freq.: 1.2GHz (0.5-1.6GHz)
Integrated jitter: 0.7ps (10kHz-40MHz) Pdc: 0.97mW (1.2GHz)

サブps分解能 時間・デジタル変換器

46

TOKYO TECH
Pursuing Excellence

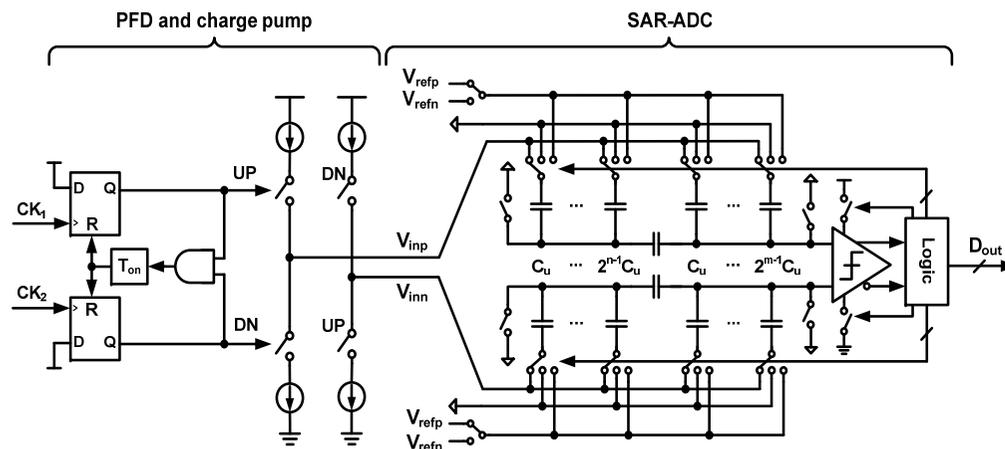
チャージポンプとSAR ADCを用いたTDC 低ノイズデジタルPLLなどに使用予定

これまでのTDCはインバータ遅延を用いていたため10ps以下の分解能は困難

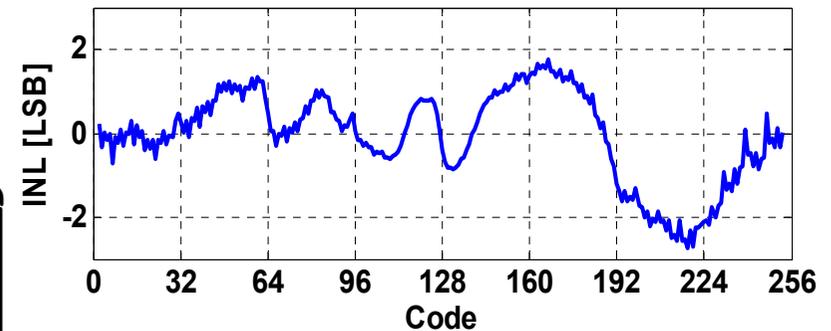
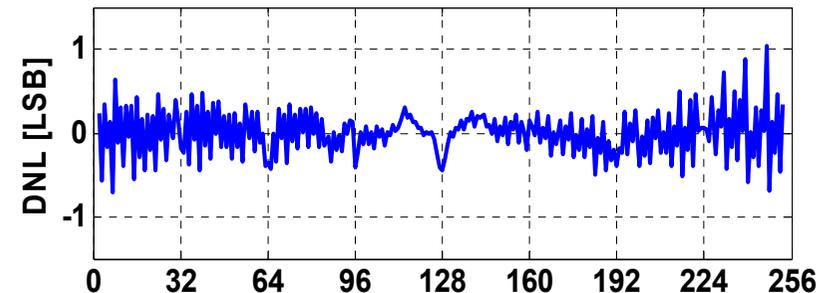
開発中のTDC

0.8ps, 10bit, 100Msps, 4mW, 0.02mm²

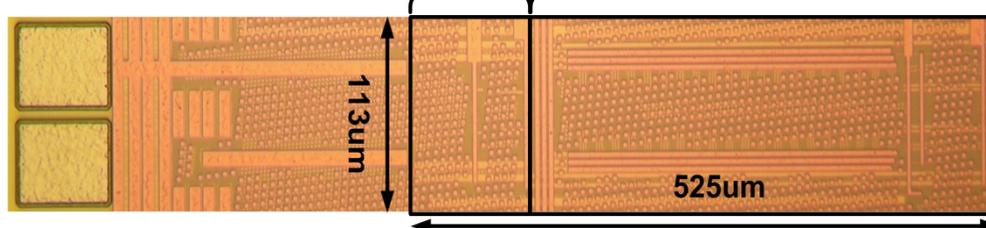
時間分解能: 0.8ps, 8bit, 40Msps, 2.5mW



DNL and INL in 8-bit with 0.84ps/LSB



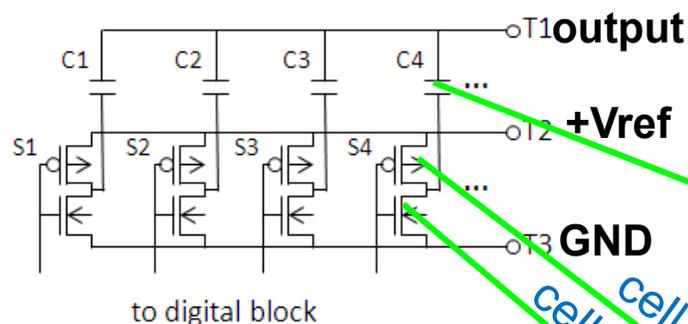
PFD and charge pump SAR-ADC (12-bit topology)



Z. Xu, A. Matsuzawa, et al., CICC 2013.

レイアウトドリブン設計と プログラマブルアナログ回路技術

- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
 - 微細化・低電圧化により設計難易度が上昇
 - 設計人材の減少(事業選択・集中, リストラ)
 - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
 - コア回路の種類をできるだけ絞る
 - 微細化・低電圧化に耐える回路のみを選抜
 - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
 - レイアウトを含め設計の大半を自動化(プログラマブル化)する
 - テスト容易化設計も併せて行う

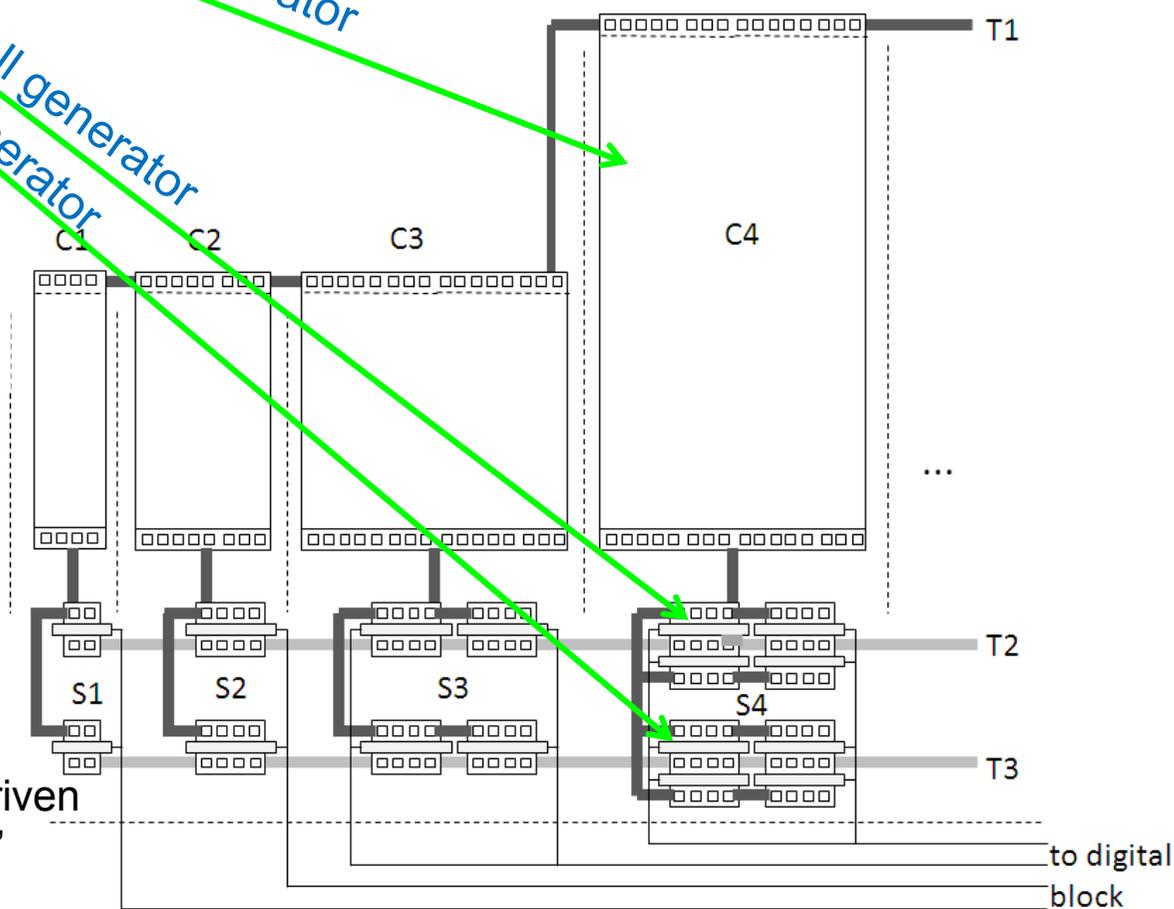


素子を配置して、素子間を結線するという考え方

cell generator

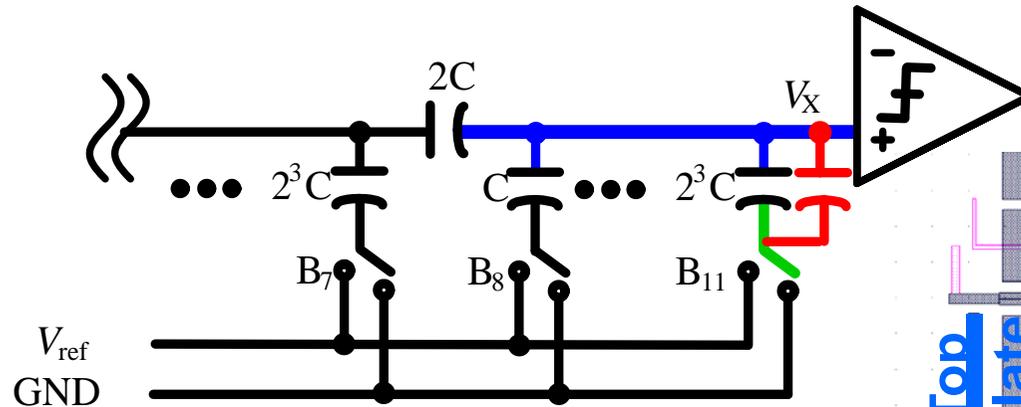
cell generator

1. $C1=20fF, C2=40fF, C3=80fF, C4=160fF, \dots$
2. $S1$ NMOS $W/L=2\mu m/L_{min}, S2=x2, S3=x4, S4=x8, \dots$
3. $S1$ PMOS $W/L=2\mu m/L_{min}, S2=x2, S3=x4, S4=x8, \dots$
4. Separate each capacitors or shield.
5. Separate between capacitors and digital block or shield.

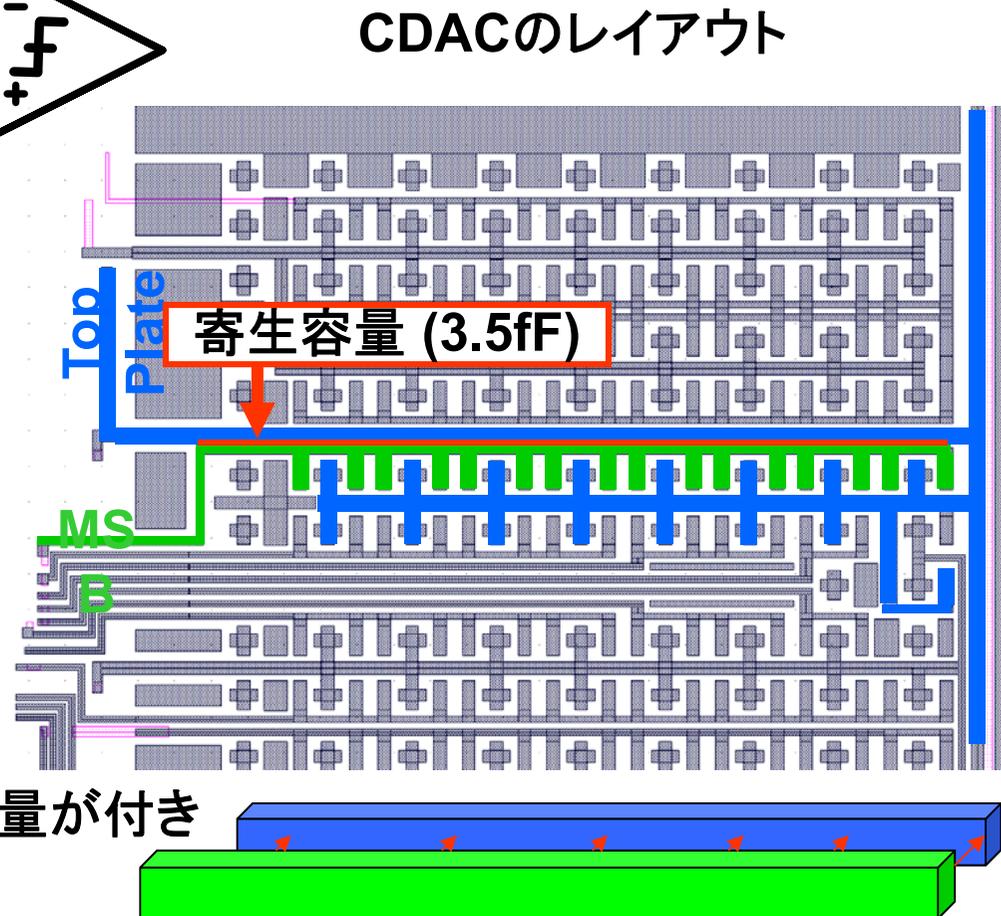


菅原, 松澤 他 “Proposal of layout-driven
1/2.8 size DAC design methodology”
アナログRF 研究会, 2013年11月

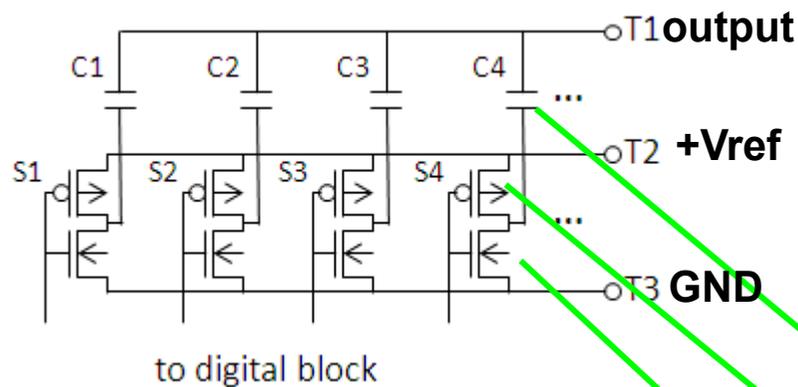
「素子」間を結線するという従来からのレイアウト設計思想では、決して高精度で信頼性の高いアナログ回路は実現できない



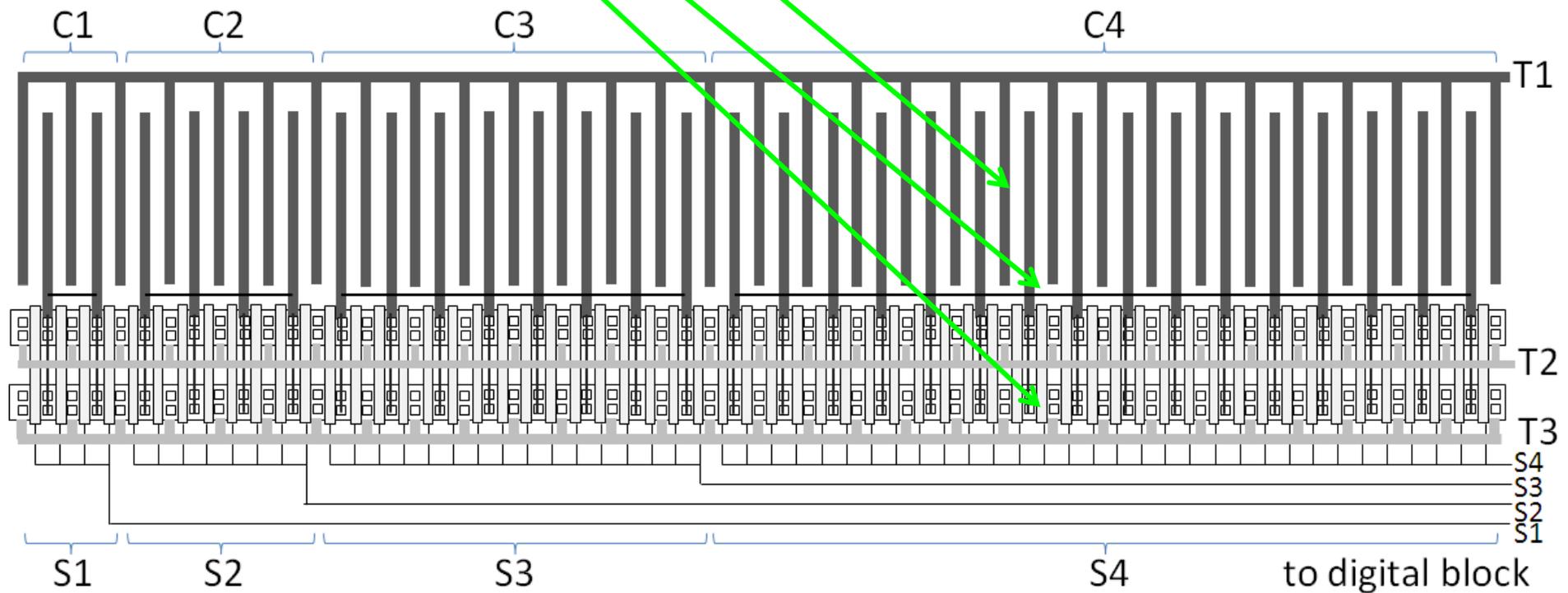
CDACの回路図



CDACにおいて、Top Plate(青)とBottom Plate(緑)に3.5fFの寄生容量が付き最大50LSB程度のエラーが生じた。



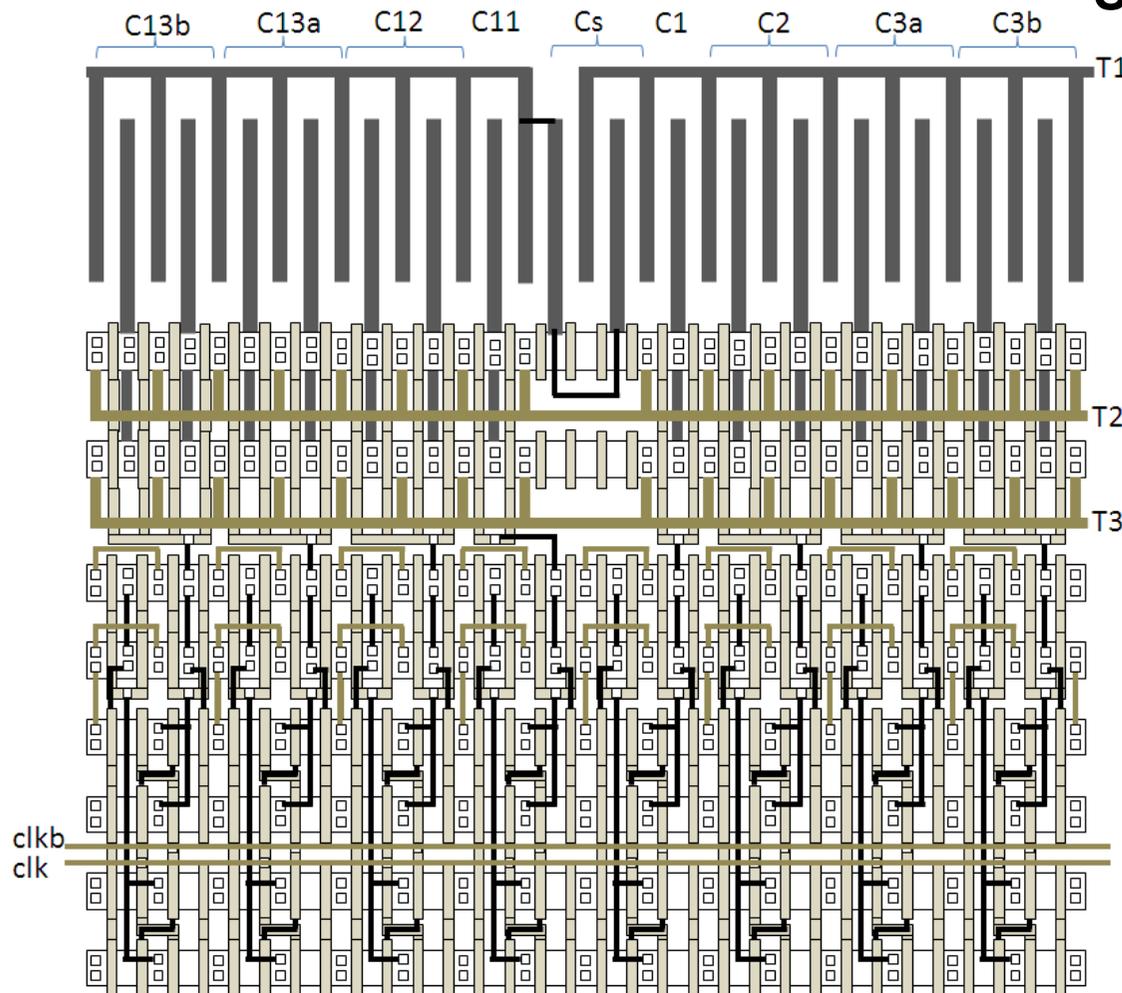
- ・レイアウトの合理性を追求
- ・素子間配線を無くす
- ・素子の規則性を重視
- ・各素子のピッチを合わせる



菅原, 松澤 他, アナログRF 研究会, 2013年11月

はじめから容量, スイッチ, ロジックのピッチを合わせて設計する
寄生容量や配線が最小になり, 性能向上, 低電力, 小面積が実現。
設計の自動化もし易い。

SAR ADCの例



菅原, 松澤 他,
アナログRF 研究会
2013年11月

素子設計, 回路設計段階からレイアウトドリブンの設計を行う

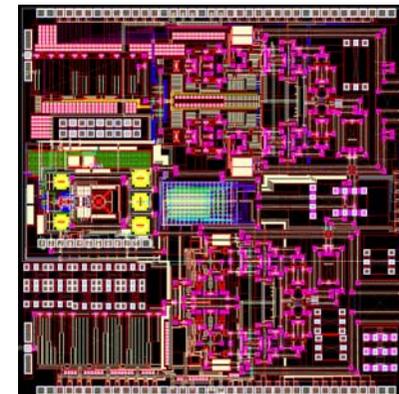
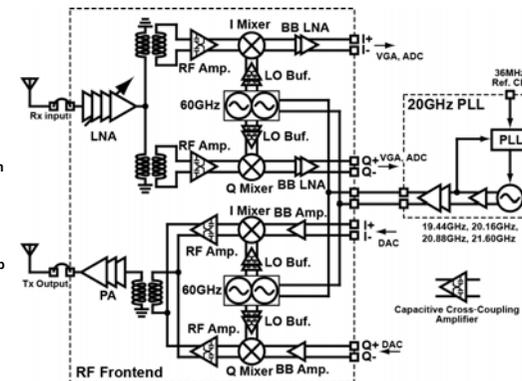
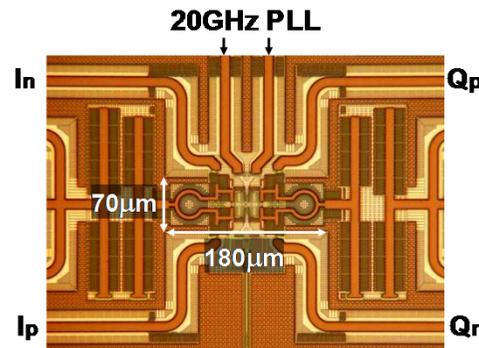
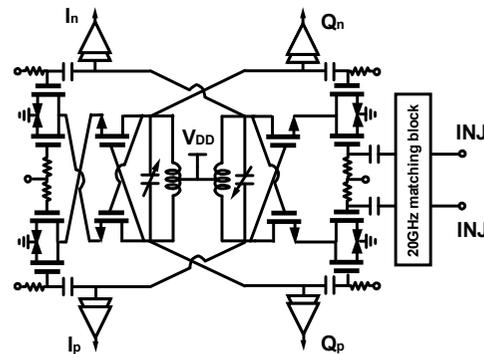
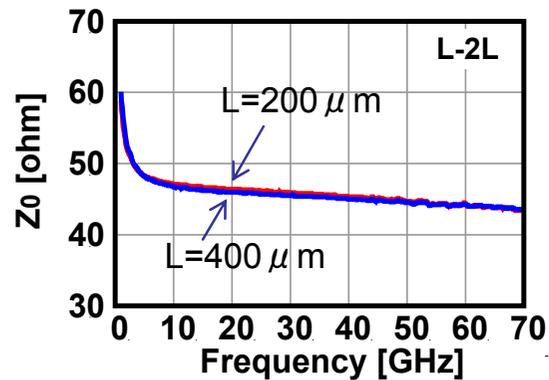
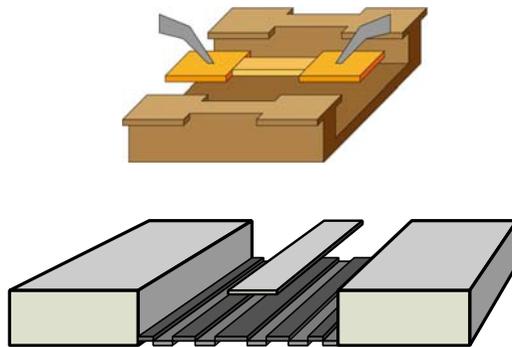
素子設計



回路設計

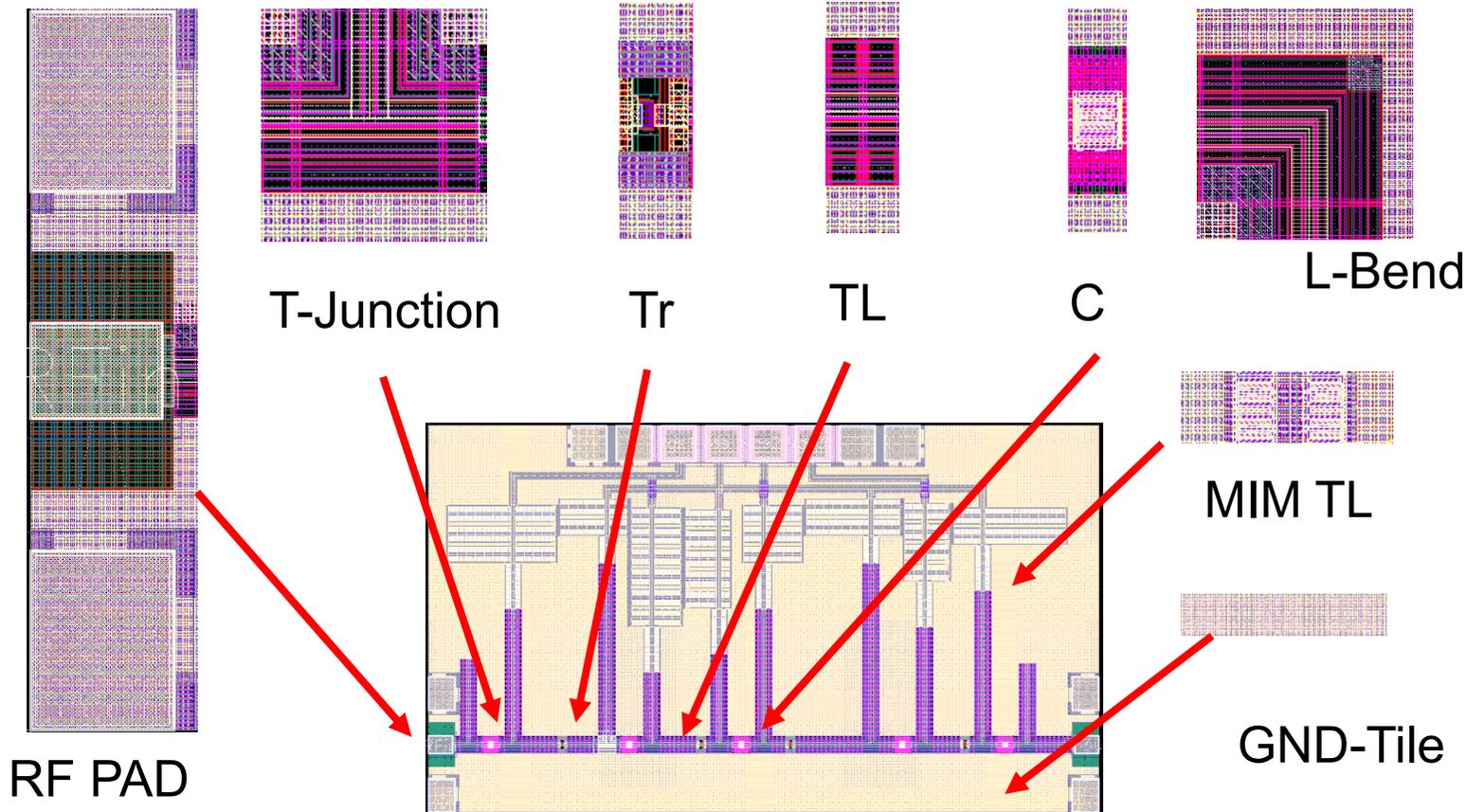


チップ設計



60GHzもの高周波回路設計においては、素子間を接続するときにインピーダンス整合や高周波ロスを考えなければならない。したがって、配線もモデル化し、レイアウトドリブンの設計を行う。

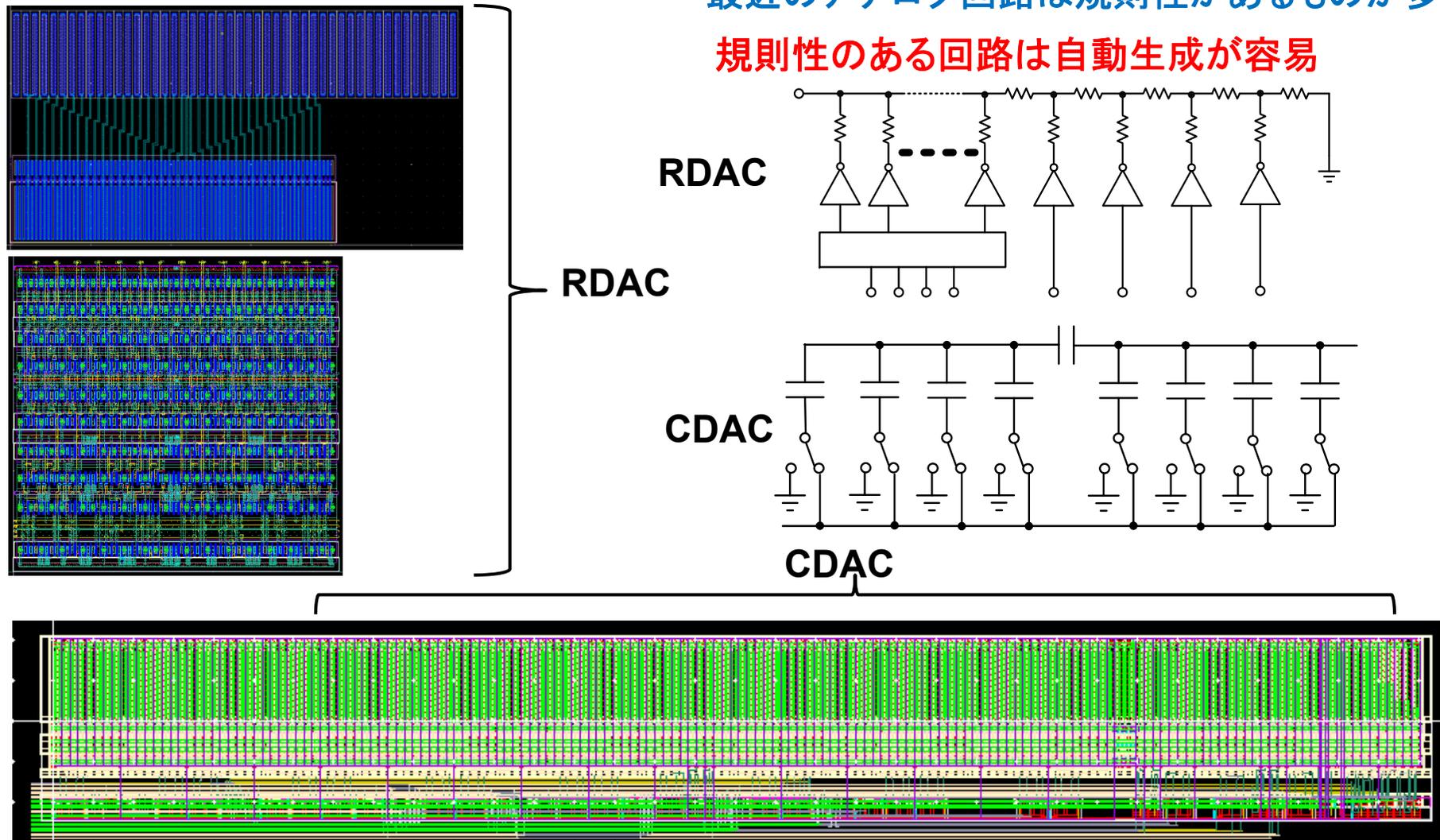
5mm pitch



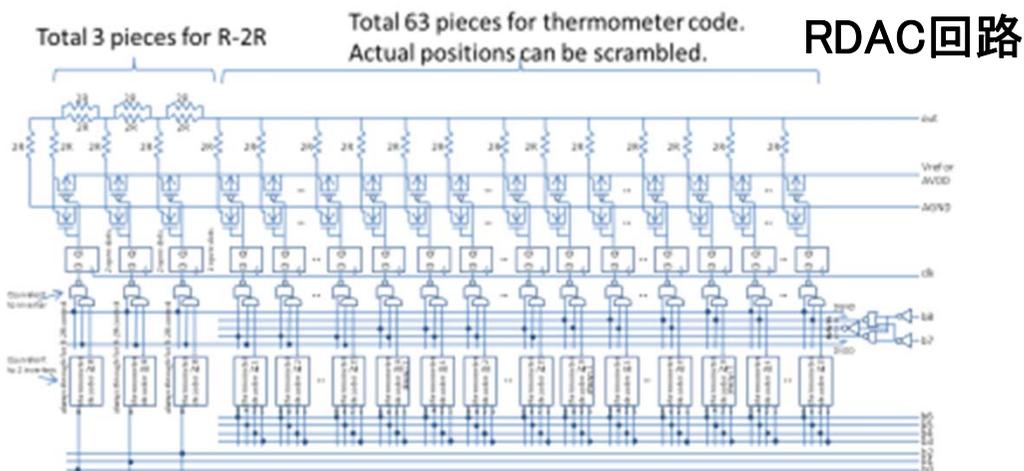
Skill言語を用いてレイアウトを自動生成したRDACおよびCDAC

最近のアナログ回路は規則性があるものが多い

規則性のある回路は自動生成が容易



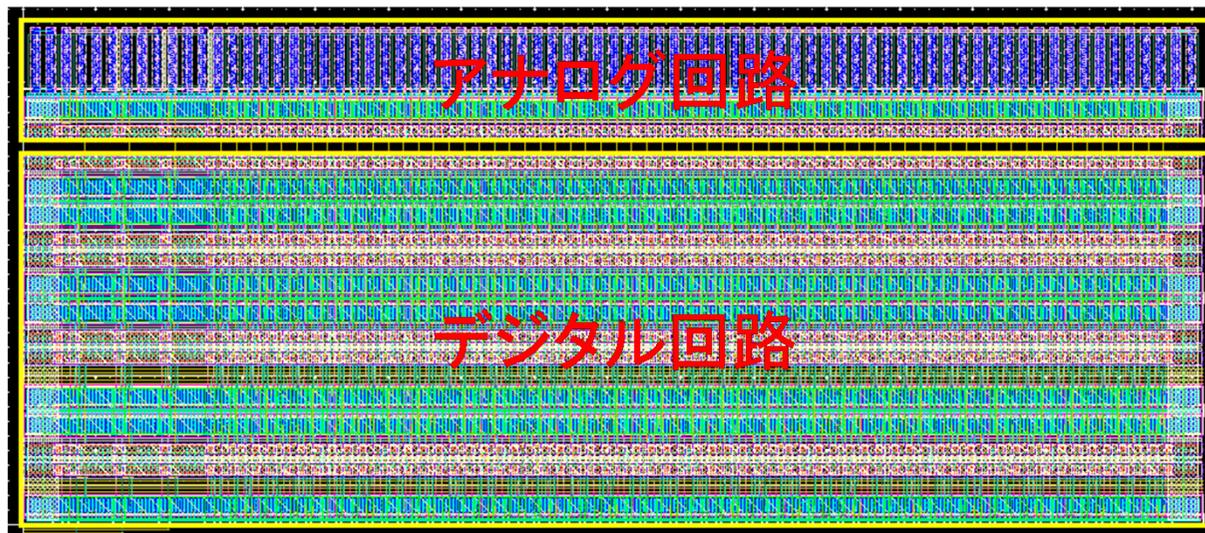
RDAC, CDACなど規則性のあるアナログ回路を自動合成 開発期間の短縮, 高速・低電力・小面積



盛, 松澤 他, "9ビットRDACの自動合成"
アナログRF 研究会, 2013年8月

最適構成の自動計算
SKILL言語による自動レイアウト

自動合成した
RDACレイアウト



アナログ回路自動生成プログラムのフロー / 57

回路設計からレイアウトまでを自動化

ビット数、
消費電力等

設計仕様

プロセス情報 (PDK)

SPICEパラメータ、
デザインルール等

回路設計の自動計算

トランジスタのL、W等の計算結果

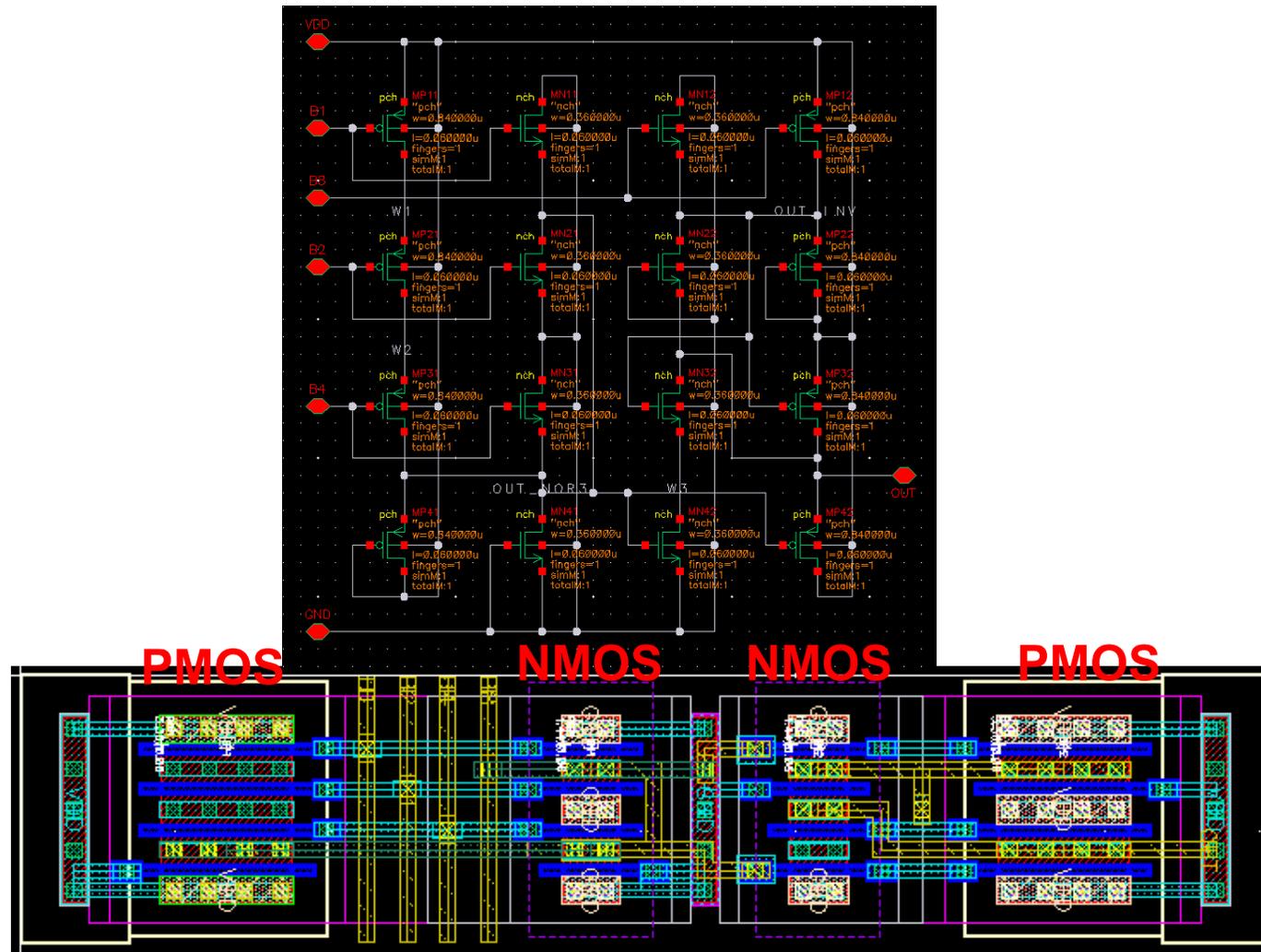
回路図、レイアウト図、シンボル図の生成

回路図

レイアウト図

シンボル図

論理回路も規則性を重視して選択し，自動レイアウトに乗せる。

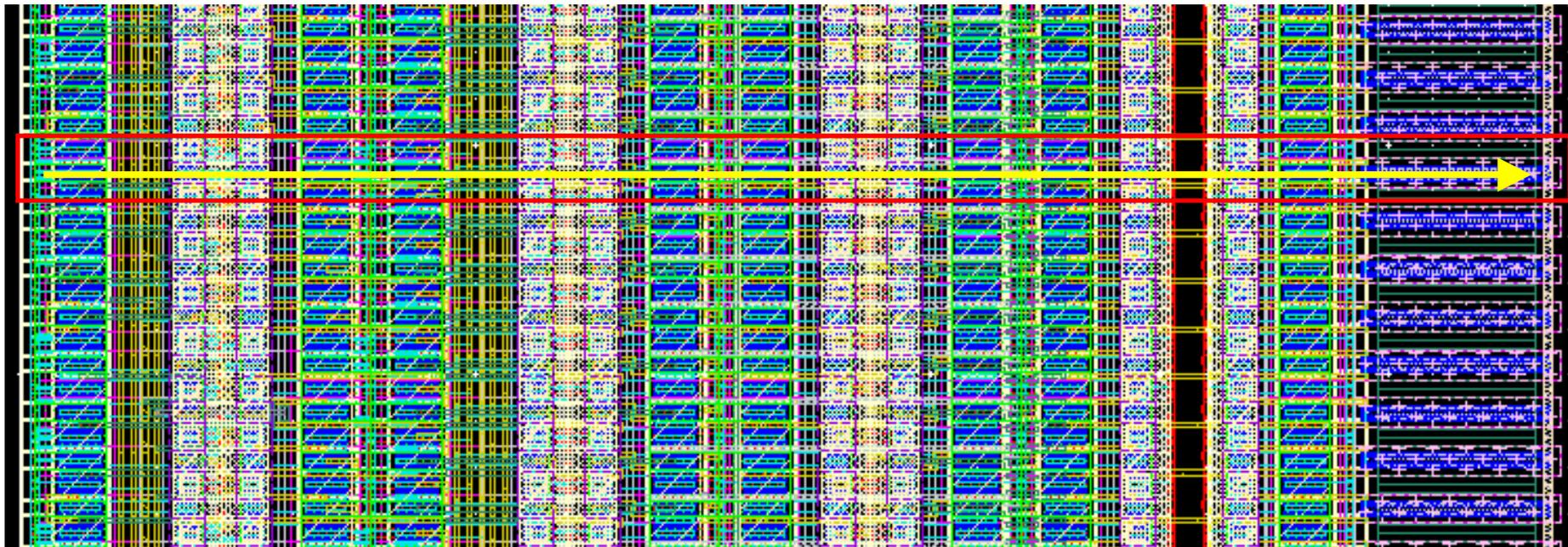


ピッチを合わせる

59

TOKYO TECH
Pursuing Excellence

LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線



- 近年の微細CMOSの高 V_T 化, サブ1V化, 低gm化によりアナログ設計(特に増幅器)のマージン確保が困難になっている。
- **SAR ADC**はOpAmpを使用せず, CMOSロジックのような構造のためエネルギー効率が**高く**, 微細化・低電圧化にも耐える。
- 今後の汎用的ADCとして高速12bit SAR ADCを開発。これまでの無線通信用ADCの性能を最小電力で実現。
- **PLL**の高性能化・低電力化に向けて, クラスC VCO, インジェクションロック発振器, サブps分解能TDCなどを開発中。
- **レイアウトドリブンのアナログ設計手法**を提案。低電力化, 高速化, 高精度化, 小面積化に寄与。プログラムアナログのベース。
- **プログラムアナログ**によりレイアウトを含めた**設計自動化**を推進。
- 今後のアナログ回路は**回路数を絞り込み**, **低電圧に対応でき**, **規則性のあるもの**を残し, 規則構造を活かしてレイアウトを含めた**設計自動化**を推進し, **汎用的に使用**できるようにすべき。