

# バラクタクロスカップルを用いた 60GHz帯 CMOS電力増幅器

◎南 亮, 松下 幸太, 浅田 大樹, 岡田 健一, 松澤 昭

東京工業大学大学院理工学研究科  
電子物理工学専攻

2011/09/14

- 研究背景・目的
- バラクタクロスカップル方式
  - キャパシタクロスカップルによるゲート・ドレイン間容量の中性化を応用
  - 入力電力の大きさに応じた容量値を実現
- 測定結果
  - 電力利得
  - 電力付加効率(PAE)
  - 性能比較
- まとめ

# 研究背景

## 60GHz帯の特徴

- ☹ 伝搬中の減衰が大きい
- ☺ 干渉しにくく、幅広い帯域が無免許で開放されている

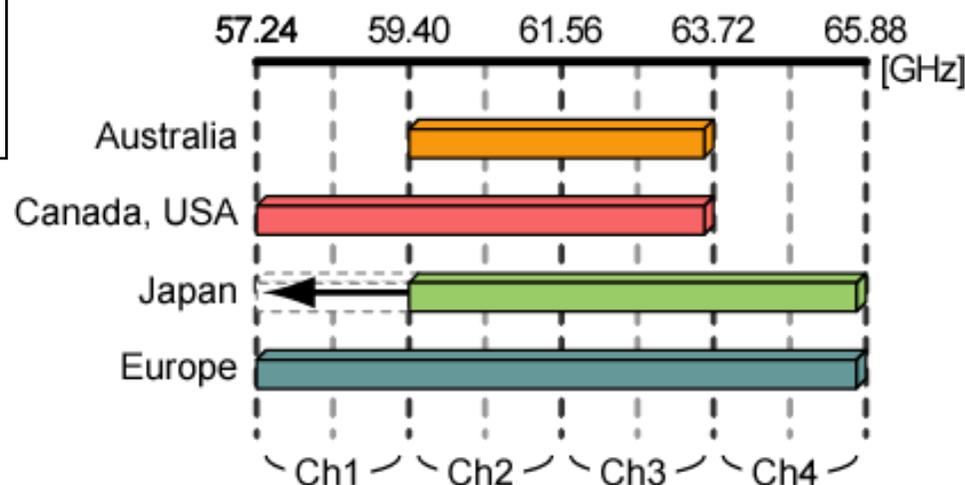


近距離高速無線通信への利用が期待される

## IEEE 802.15.3c

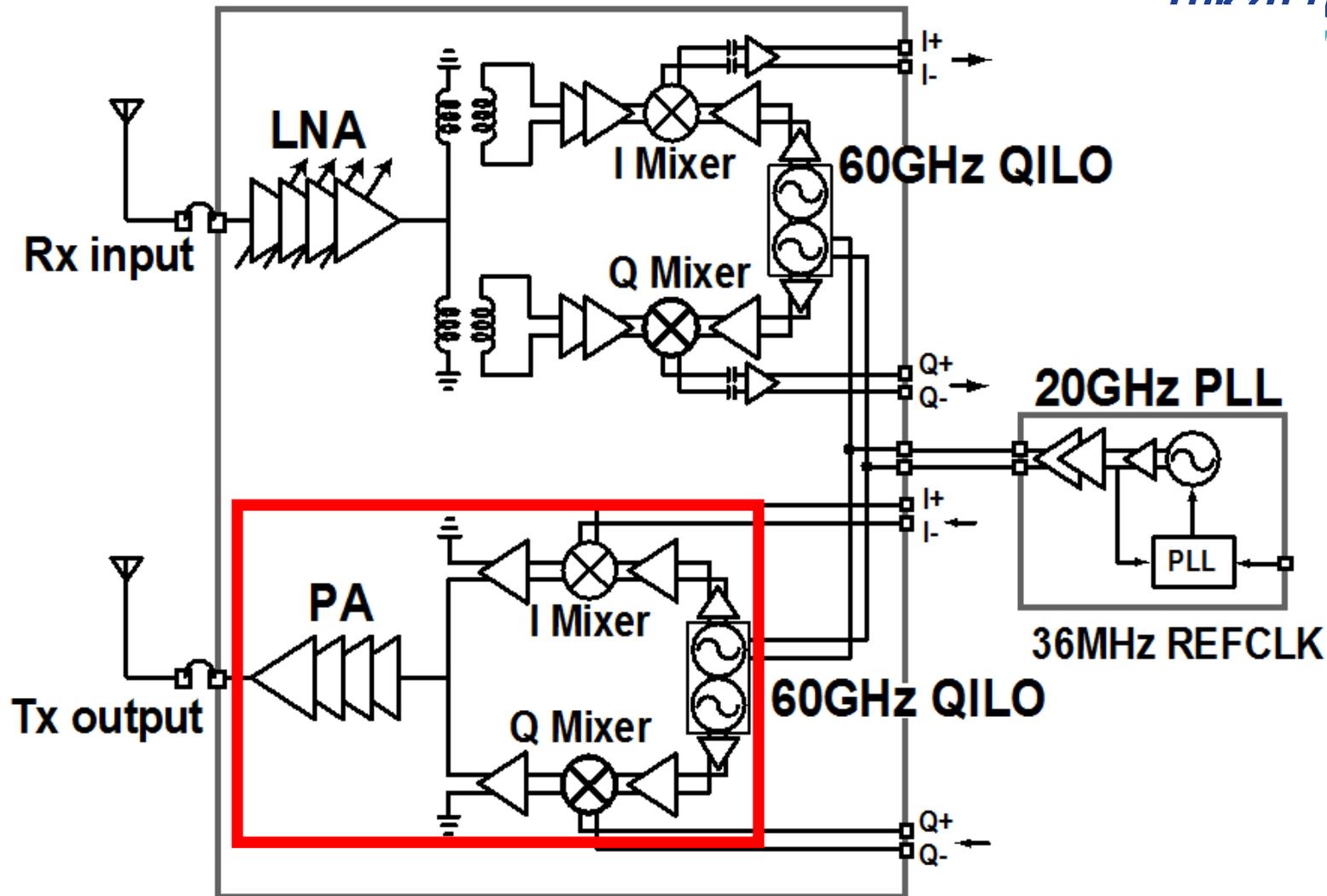
- ・QPSK ⇒ 3.5Gbps/ch
- ・16QAM ⇒ 7Gbps/ch

## Gbps級無線通信が可能



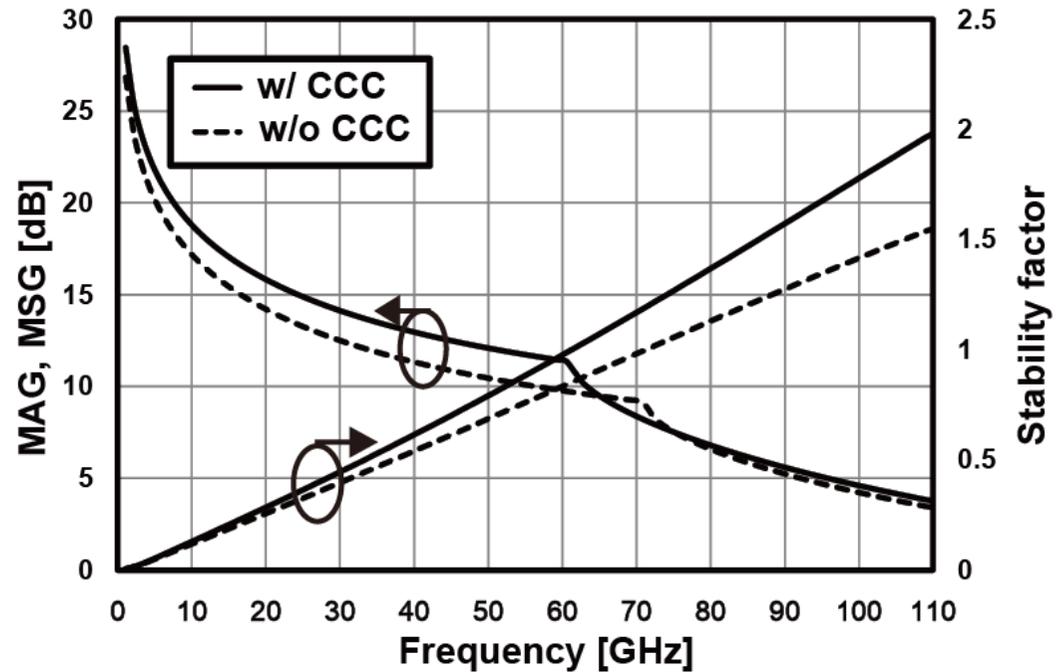
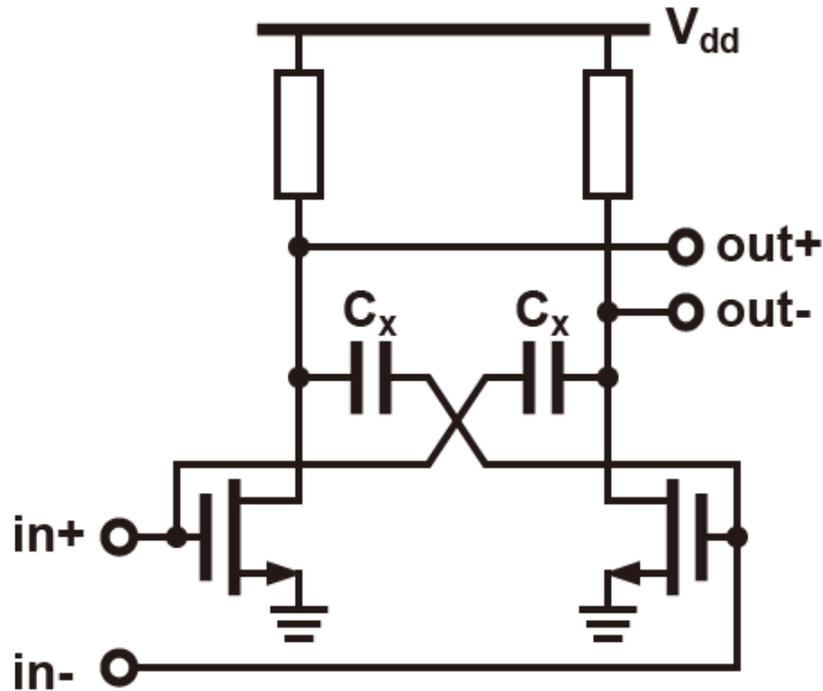
世界各国の無免許帯域

総務省 電波利用HP <http://www.tele.soumu.go.jp/index.htm>



60GHz帯伝送 → 高い出力電力、効率が要求される

# キャパシタクロスカップル [3]



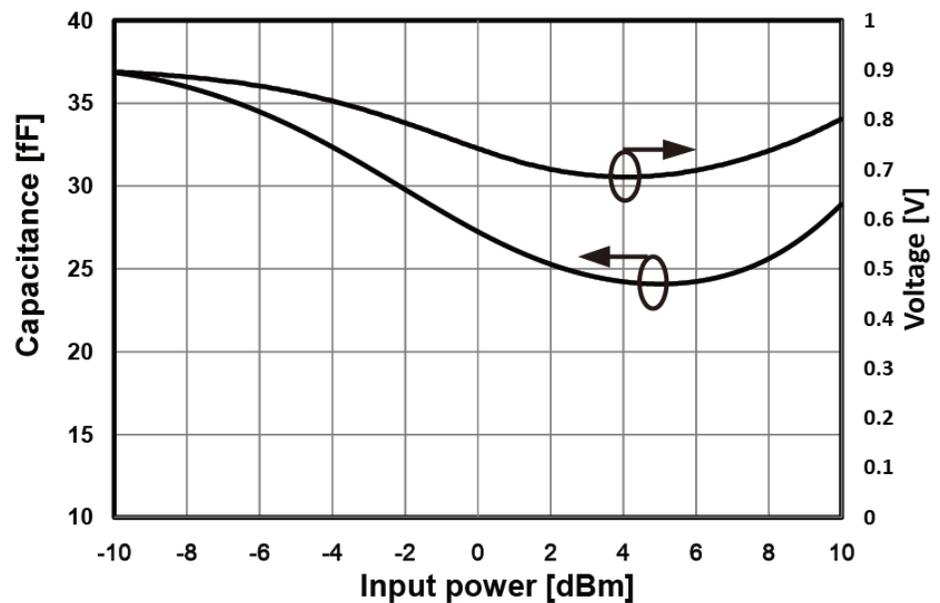
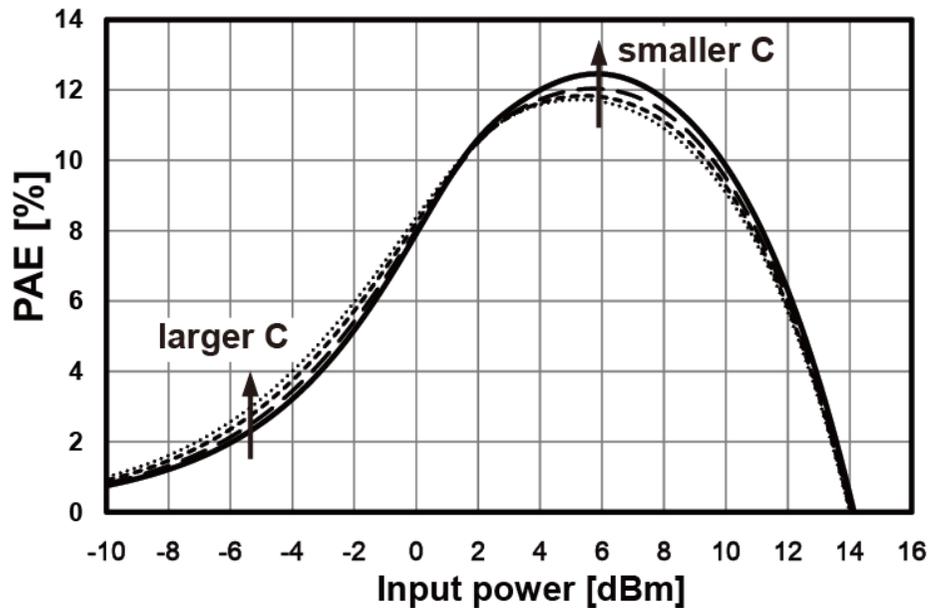
- 差動回路のドレインと他方のゲートを容量を介して接続する手法

➡  $-C_x$  を実現し、ゲート・ドレイン間容量を低減

➡ 最大電力利得、安定係数を大幅に改善

[3] W. L. Chan, et al., ISSCC 2009

# 容量値の最適化

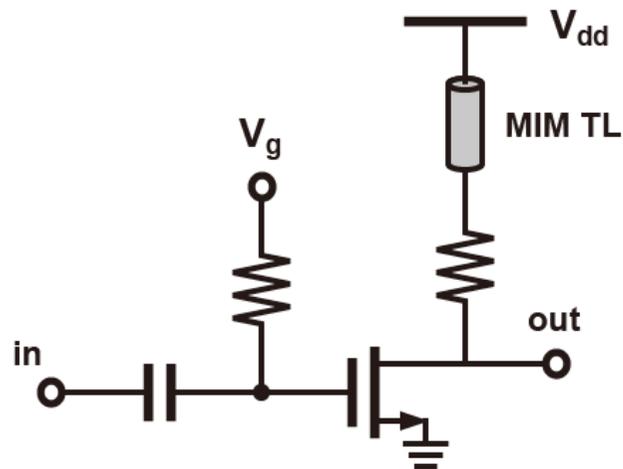
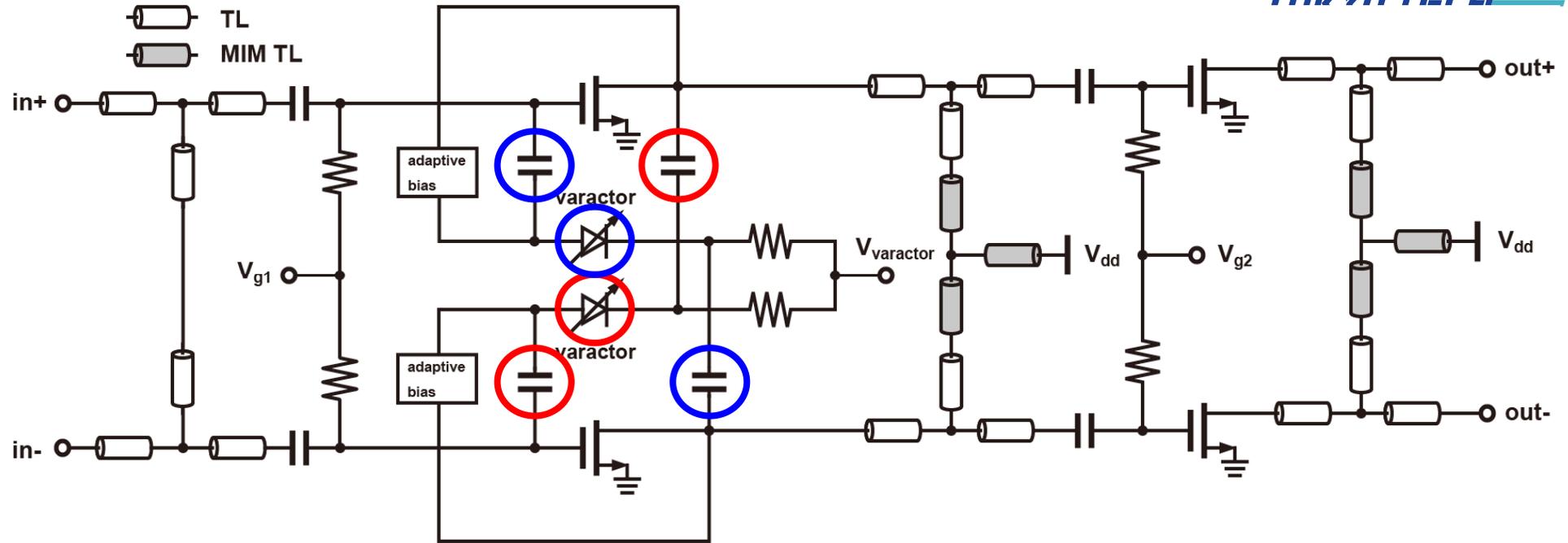


- 入力電力の大きさにより最適な容量値が変化
  - 入力電力が小さい時、容量値が大きいと高効率
  - 入力電力が大きい時、容量値が小さいと高効率
- ➡ クロスカップルさせるキャパシタにバラクタを使用
- 入力電力をフィードバックしバラクタに与えるバイアスを変化させ、最適な容量値を実現(アダプティブバイアス回路)

# バラクタクロスカップル差動電力増幅器

6

TAKYA TELU



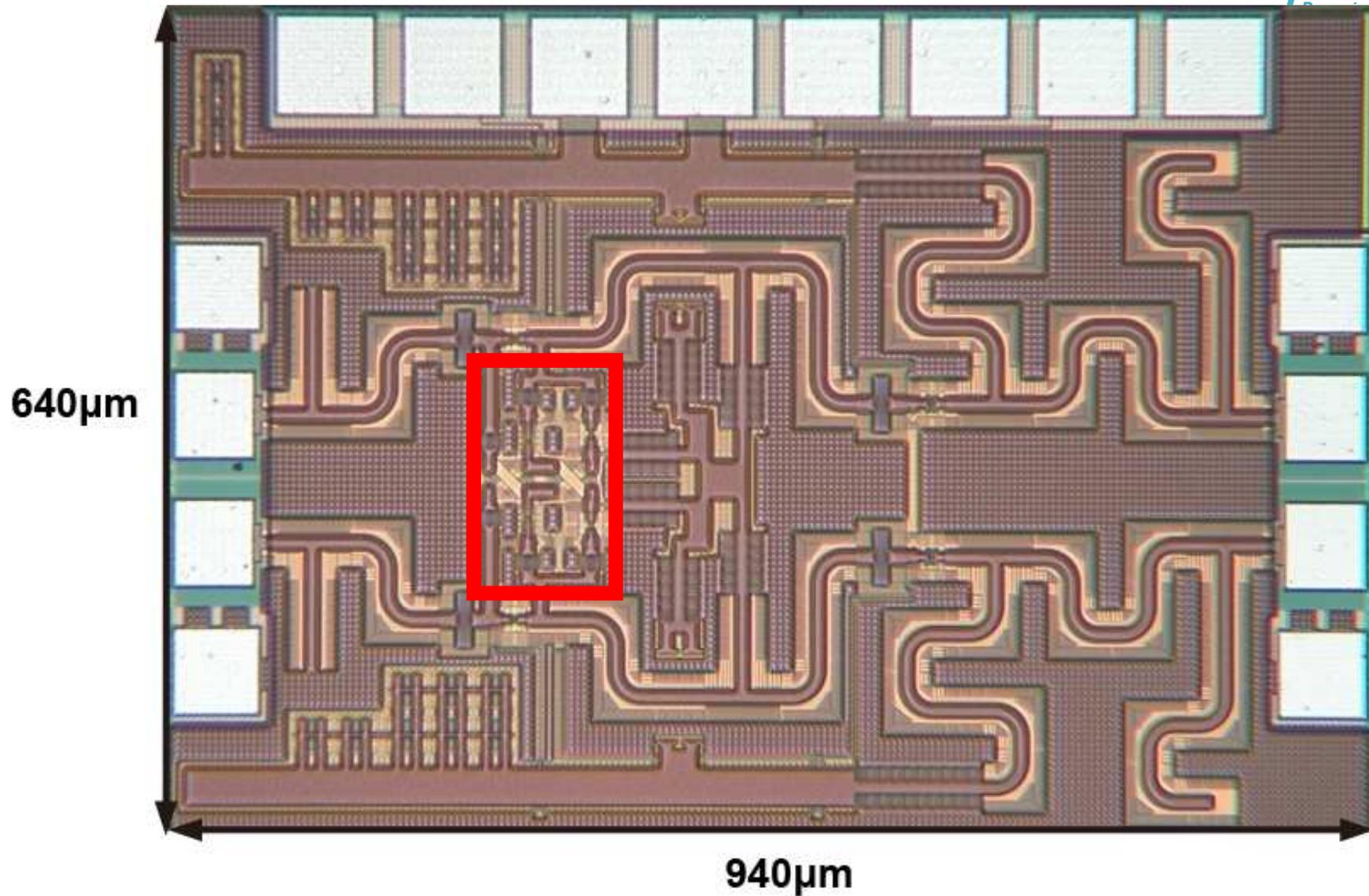
- CMOS 65nmプロセス
- 2段差動
- 低損失な伝送線路を使用
- 最終段のトランジスタサイズは $80\mu\text{m}$
- 1.2Vの電源電圧

## アダプティブバイアス回路

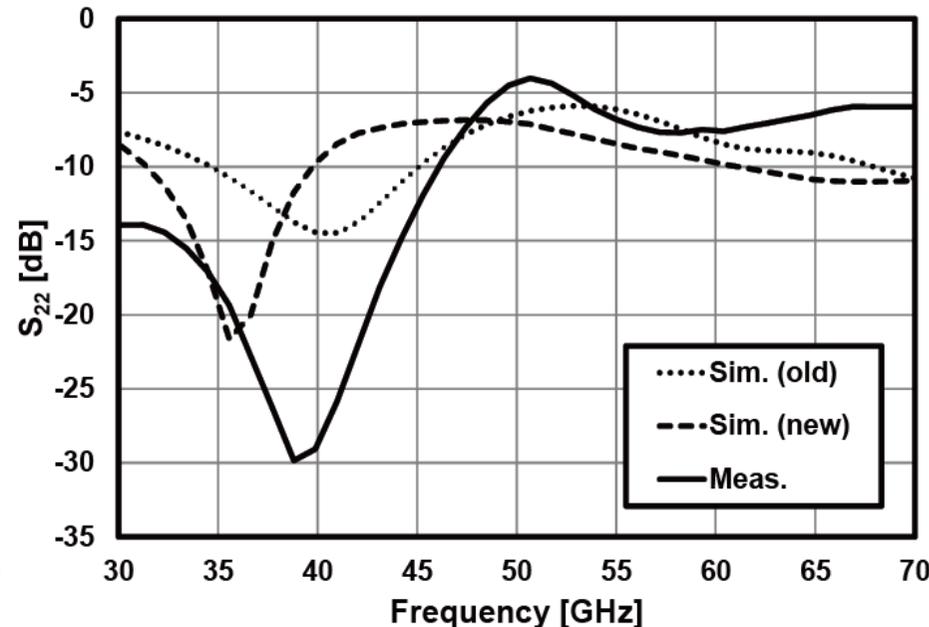
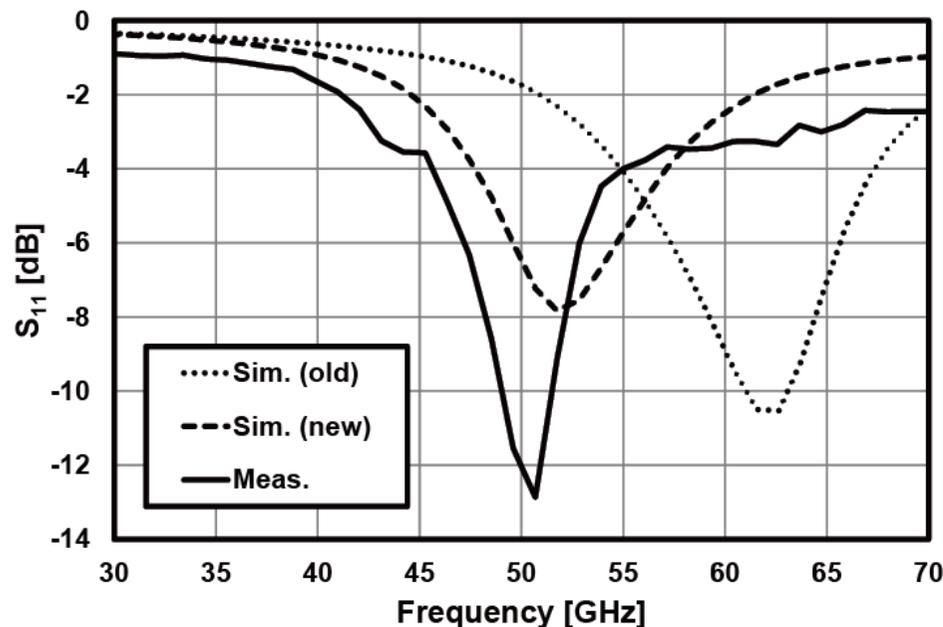
2011/09/14

R. Minami, Tokyo Tech

# チップ写真



# 測定結果(小信号特性)

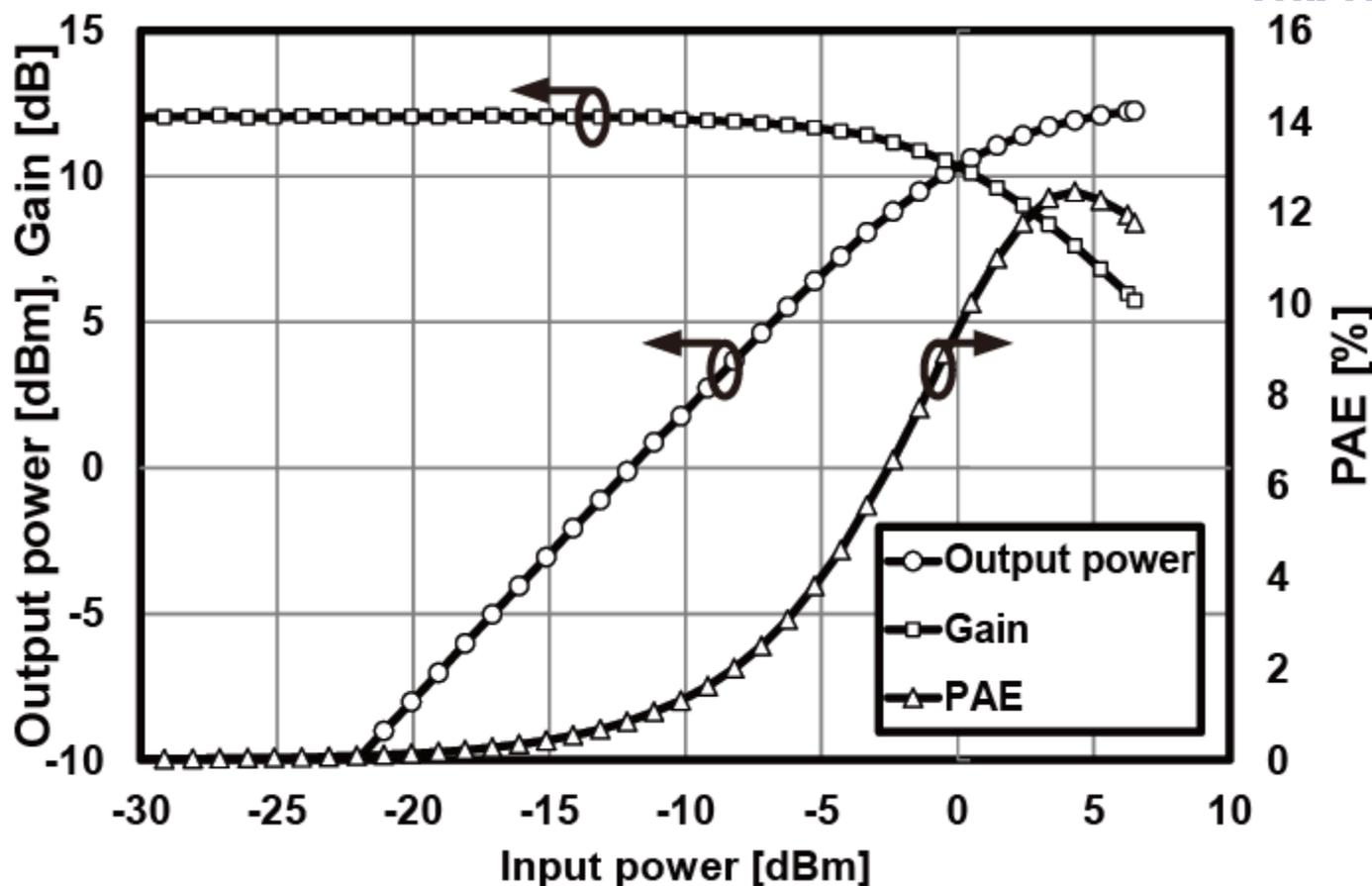


- 実測結果とシミュレーション結果で**10GHz**程度のマッチング誤差が生じた。



使用した伝送線路モデル、Trモデル、キャパシタモデルの精度が低かったため。

# 測定結果(大信号特性)



Gain: 12.1dB       $P_{sat}$ : 12.2dBm

PAE at  $P_{1dB}$ : 7.7%       $P_{DC}$ : 86mW

Peak PAE: 12.5%       $V_{DD}$ : 1.2V

# 性能比較

10

TOKYO TECH  
excellence

	Tech.	Gain [dB]	$P_{1dB}$ [dBm]	$P_{sat}$ [dBm]	PAE@ $P_{1dB}$ [dBm]	Power [mW]	$V_{DD}$ [V]
ISSCC 2008[4]	65nm	5.5	9	12.3	6	—	1.0
ISSCC 2009[3]	65nm	16	2.5	11.5	4.5	43.5	1.0
ISSCC 2010[5]	65nm	14.3	11	16.6	1.3	732	1.2
ISSCC 2010[6]	65nm	19.2	15.4	17.7	7	480	1.0
ISSCC 2011[7]	65nm	20.3	15	18.6	6.3	72	1.0
This Work	65nm	12.1	9.5	12.2	<b>7.7</b>	86	1.2

$P_{1dB}$ におけるPAEで高い値を達成。

- **CMOS 65nm**プロセスを使用し、入力電力をフィードバックさせた**2段構成の60GHz CMOS**バラクタクロスカップル電力増幅器を試作した。
- $P_{1\text{dB}}$ における**PAE**で**7.7%**という、**60GHz帯 CMOS**電力増幅器の中で高い値を実現した。

# REFERENCES

12

[3]: W. L. Chan, J. R. Long, M. Spirito, and J. J. Pekarik, “A 60 GHz-Band 1V 11.5 dBm Power Amplifier with 11% PAE in 65 nm CMOS,” in *IEEE International Solid-State Circuits Conf. Tech. Dig.*, Feb. 2009, pp. 380–381.

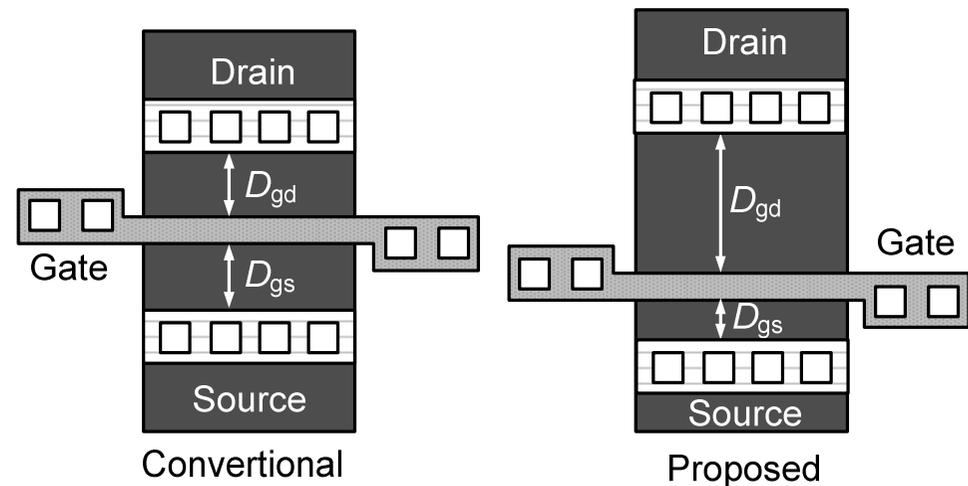
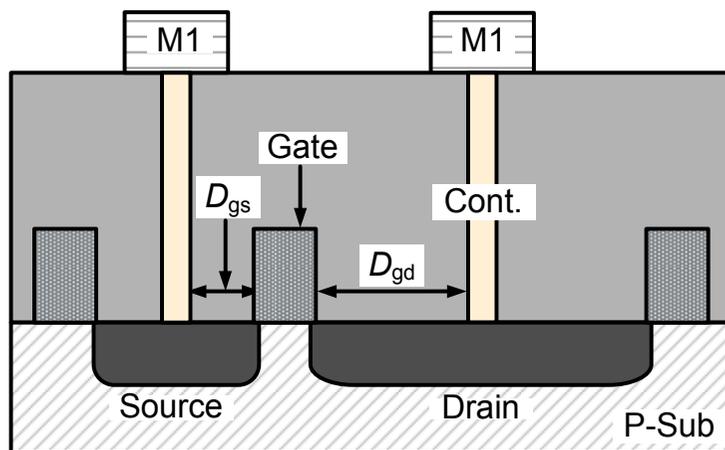
[4]: D. Chowdhury, P. Reynaert, and A. M. Niknejad, “A 60 GHz 1V +12.3 dBm Transformer-Coupled Wideband PA in 90 nm CMOS,” in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, Feb. 2008, pp. 560–561.

[5]: B. Martineau, V. Knopik, A. Siligaris, F. Gianesello, and D. Belot, “A 53-to-68 GHz 18 dB Power Amplifier with An 8-Way Combiner in Standard 65 nm CMOS,” in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, Feb. 2010, pp. 428–429.

[6]: J. Lai and A. Valdes-Garcia, “A 1V 17.9 dBm 60 GHz Power Amplifier in Standard 65 nm CMOS,” in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, Feb. 2010, pp. 424–425.

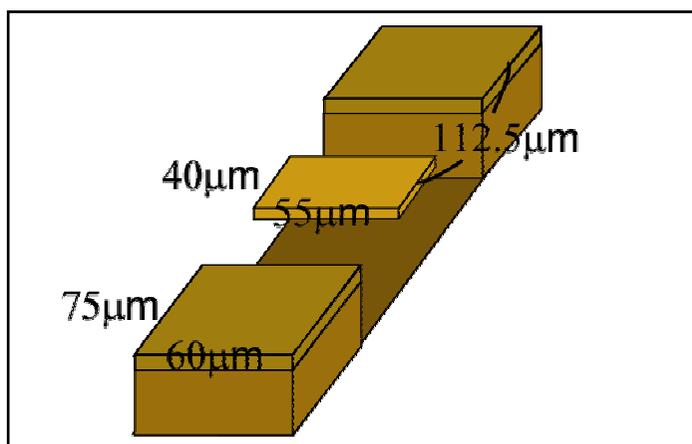
[7]: J. Chen and A. M. Niknejad, “A Compact 1V 18.6dBm 60GHz Power Amplifier in 65nm CMOS,” in *IEEE Int. Solid-State Circuits Conf. Tech. Dig.*, Feb. 2011, pp. 432–433.

- ミリ波においてゲートドレイン間容量は $T_r$ の $f$ 特劣化に影響する
- MAG向上のためにゲートドレイン間距離を小さくし、容量を減らす

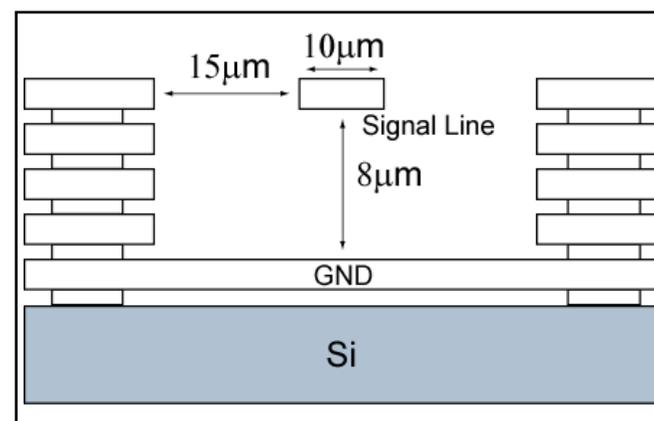


- $D_{gd}$  : ゲートドレイン間距離
- $D_{gs}$  : ゲートソース間距離

- 長さが  $200\mu\text{m}$ ,  $300\mu\text{m}$ ,  $400\mu\text{m}$  の3本の伝送線路で測定
- $200\mu\text{m}$ ,  $400\mu\text{m}$ の測定データからパッドの寄生成分を求め、それぞれの伝送線路に対してディエンベディング



今回用いたパッドの構造



今回用いた伝送線路の構造