

# 寄生容量が補間型パイプライン ADC の性能に与える影響

## An Influence of Parasitic Capacitors on a Performance of Interpolated Pipeline ADC

李 賢義  
Hyunui Lee

宮原 正也  
Masaya Miyahara

松澤 昭  
Akira Matsuzawa

東京工業大学大学院 理工学研究科 電子物理学専攻  
Department of Physical Electronics, Tokyo Institute of Technology

### 1 まえがき

パイプライン ADC は高速動作、高分解能などの優れた特徴を有するが、高利得のオペアンプを必要とするため微細化プロセスでは設計が難しくなっている。この問題を解決するために補間技術とオープンループ型の低利得アンプを用いた ADC を提案した[1]。この ADC は補間動作を実現するために容量 DAC を用いているので、容量間での正確な電荷の移動が重要である。本発表では容量 DAC の寄生容量成分による電荷の移動の誤差が補間パイプライン ADC の性能に与える影響を明らかにし、その解決方法を検討したので報告する。

### 2 容量 DAC の動作と寄生容量の影響

[1]に用いられている容量 DAC は単位容量( $C_U$ )とスイッチ(SW)で構成されている。図 1 に 3 ビット容量 DAC の構成を示す。最初にサンプリングクロック( $\phi_s$ )がオンすると、入力信号( $V_{INPa}$ と $V_{INPb}$ )による電荷が各単位容量にチャージされる。次にホールドクロックがオンすると、比較器によって選択された容量の間に電荷再分配が起こり、出力信号 $V_{OUTPa}$ が生成される。寄生容量 $C_P$ は主にレイアウトによるもので SW4 がオン状態では特に問題にならないが SW4 がオフの状態では電荷移動に誤差を生じさせる。

式(1)と式(2)は寄生容量による誤差がある時とない時の図 1 に示した容量 DAC の補間電圧を示している。式中の  $m$  は比較器の出力によってオンするスイッチの数を意味する。(1)で分かるように容量 DAC に寄生容量の影響がない場合は正確な補間動作が行なわれるが、寄生成分の影響が現れると(2)のように補間信号に誤差が生じ ADC の性能を劣化させる。

$$V_{OUTPa\_no\_err} = -\frac{mV_{INPa} + (8-m)V_{INPb}}{8} \quad (1)$$

$$V_{OUTPa\_err} = -\frac{\{mV_{INPa} + (8-m)V_{INPb}\} + \frac{C_P}{C_U + C_P} \{(8-m)V_{INPa} + mV_{INPb}\}}{8 \left(1 + \frac{C_P}{C_U + C_P}\right)} \quad (2)$$

### 3 シミュレーション結果

図 2 は寄生容量の大きさと ADC 性能の関係を示すシミュレーション結果である。寄生容量がサンプリング容量の 1% 程度になる時点で 10 ビット ADC の有効ビットが 0.7 ビット程低下している。例えば  $C_U$  を 20fF に設定した場合、200aF ほどの  $C_P$  が付いていると、 $C_P$  だけで ADC の有効ビットが 0.7 ビット下がる事を意味する。

この問題を解決するために比較器出力の反転信号でオンするスイッチ(図 1 の SW3)を追加し、SW4 がオフの状態での電荷の移動を抑制した。この方法によって寄生容量が付いても ADC の性能が劣化しない事が確認できる。

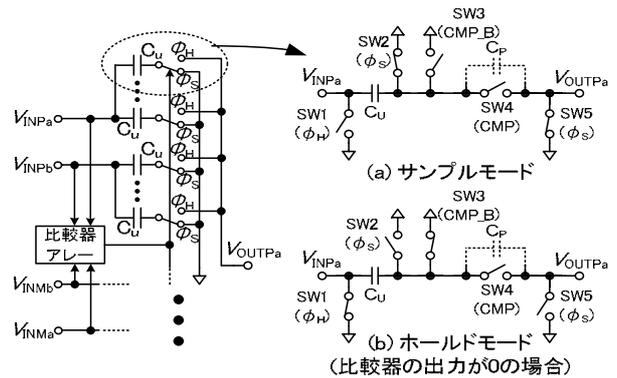


図 1 3 ビット補間パイプラインステージ

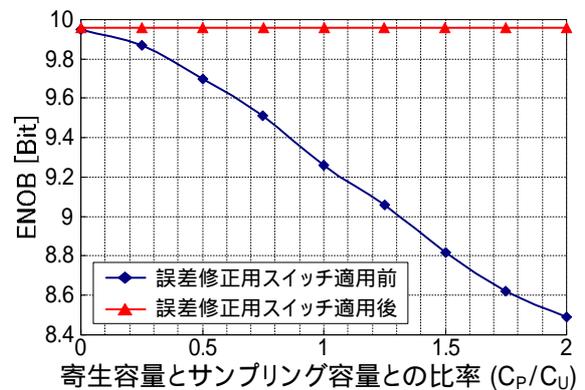


図 2 寄生容量の大きさと ADC 性能劣化の関係

### 4 まとめ

容量 DAC のスイッチの寄生容量が補間パイプライン ADC の性能に与える影響について検討を行い、ビハイブアモデルを用いたシミュレーションで寄生容量の影響とその対策方法による性能の改善を確認した。

### 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、並びに、東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社の協力で行われたものである。また AFS プラットフォームを提供いただいた Berkeley Design Automation 社に感謝する。

### 参考文献

[1] Masaya Miyahara, et. al., "A 10b 320 MS/s 40 mW Open-Loop Interpolated Pipeline ADC," *IEEE Symposium on VLSI Circuits*, Kyoto, Japan, pp.126-127, June 2011.