

# 遅延時間補間を用いた 0.5V 6-bit 500MS/s FLASH ADC の検討

A 0.5V 6-bit 500MS/s Flash ADC using Delay Time Interpolation Technique

真野 息吹  
Ibuki Mano

宮原 正也  
Masaya Miyahara

松澤 昭  
Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻  
Department of Physical Electronics, Tokyo Institute of Technology

## 1 はじめに

FLASH 型 A/D 変換器 (FLASH ADC) は高速変換に適した ADC であるが、 $2^N$  ( $N$  は分解能) 個のコンパレータを必要とするため、高分解能を実現するには消費電力や面積の増大が問題となる。

この問題を解決する方法として、ダイナミック・コンパレータの出力信号の遅延時間を用いた補間 (遅延補間) が有用であることを示した [1]。この補間を FLASH ADC に適用した場合の効果、シミュレーションによって確認したので報告する。

## 2 回路構成

図 1 に、FLASH ADC の回路構成を示す。これは 0.5V 5bit 500MSPS FLASH ADC (TSMC 90nm) [2] に、遅延補間回路を追加して分解能を 6bit としたものである。

遅延補間回路は図 2 のような SR ラッチによって構成されている。この SR ラッチが 2 つのコンパレータの出力遅延時間を比較することによって、新たな電圧比較点 1 つ生成することができる。そのため、各コンパレータの出力間に遅延補間回路を設けることによって、FLASH ADC の分解能を 1bit 増加させることが可能となる。

[2] の ADC ではコンパレータのオフセットのばらつきを小さくするために、ラッチタイミングの調整によるキャリブレーションを行っているが、この回路は  $490\mu\text{m}^2$  の面積を必要とし、コンパレータのコア面積  $100\mu\text{m}^2$  と比べて非常に大きくなっている。一方補間回路は感度が高く、キャリブレーション回路の必要無しに、コンパレータとほぼ同等のオフセットばらつきを得ることができる [1]。更に補間回路の SR ラッチはスタンダードセルを用いることができるため、必要となる面積は  $17\mu\text{m}^2$  となり、補間を用いずにコンパレータの数を 2 倍にして分解能を増加した場合と比較して、面積を大幅に削減することが可能となる。

## 3 シミュレーション結果

遅延補間適用前、適用後のそれぞれの回路の特性をシミュレーションによって評価した。

サンプリング周波数を 500MHz とした場合のシミュレーション結果を表 1 に示す。遅延補間を適用することによって、消費電力の増加を 16% に抑えつつ、有効ビット数 ENOB をほぼ 1bit 増加することができた。そのため、A/D 変換の効率を示す指標 FoM (Figure of Merit) ( $= \text{POWER} / (f_s \times 2^{\text{ENOB}})$ ) は、 $94.5[\text{fJ}/\text{conv.}]$  から

59.4[fJ/conv.] に低減され、変換効率が 37% 向上することが確認できた。

また、面積の増加も FLASH ADC 全体で +15% に抑えることができ、面積効率が向上することを確認した。

## 4 まとめ

FLASH ADC に遅延補間を適用することによって、消費電力や面積の増加を抑えつつ分解能を増加することができ、高効率化に有効であることを、シミュレーションによって確認した。

### 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、並びに東京大学大規模集積システム設計教育研究センターを通じ、日本ケイデンス株式会社の協力で行われたものである。また AFS プラットフォームをご提供いただいた Berkeley Design Automation 社に感謝する。

### 参考文献

- [1] Ibuki Mano, IEICE General Conference, pp.113, Mar. 2011  
[2] Masaya Miyahara, IEEE A-SSCC, pp.233 - 236, Nov. 2010

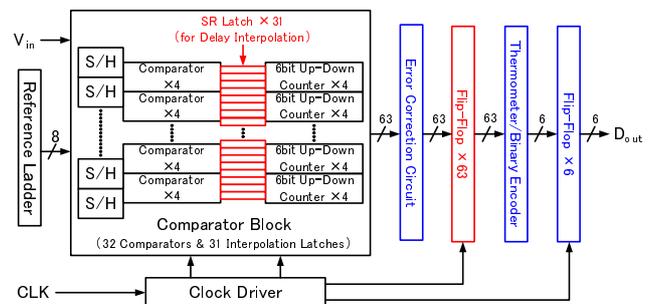


図 1 FLASH ADC の回路構成

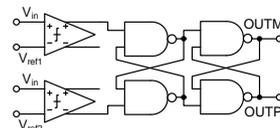


図 2 遅延補間回路

表 1 遅延補間適用前後の FLASH ADC の比較

	補間前 (5bit)	補間後 (6bit)
消費電力 [mW]	1.39	1.61
有効ビット数 [bit]	4.74	5.64
FoM [fJ/conv.]	94.5	59.4
面積 [mm <sup>2</sup> ]	0.0832	0.0960