

遅延時間補間を用いた 0.5V 6-bit 500MS/s FLASH ADCの検討

◎真野息吹, 宮原正也, 松澤昭

東京工業大学大学院理工学研究科

- 研究背景
- 遅延時間補間の原理
- 補間比較点の特性
- 回路構成
- シミュレーション結果
- 結論

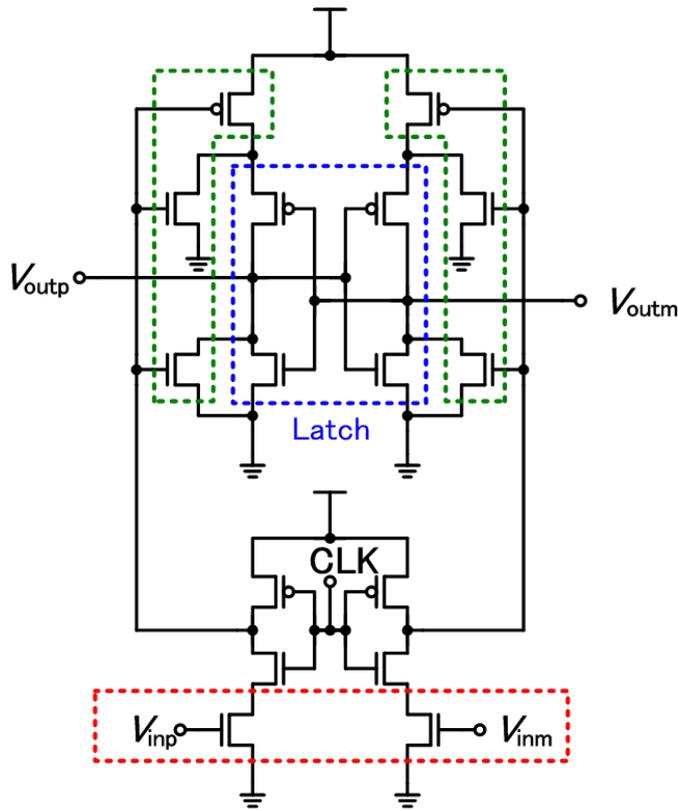
FLASH型A/D変換器 (FLASH ADC) は $2^N - 1$ 個のコンパレータを必要とする。(N=分解能)

- 分解能を1bit増やすと
- 消費電力が倍増
 - 面積が倍増

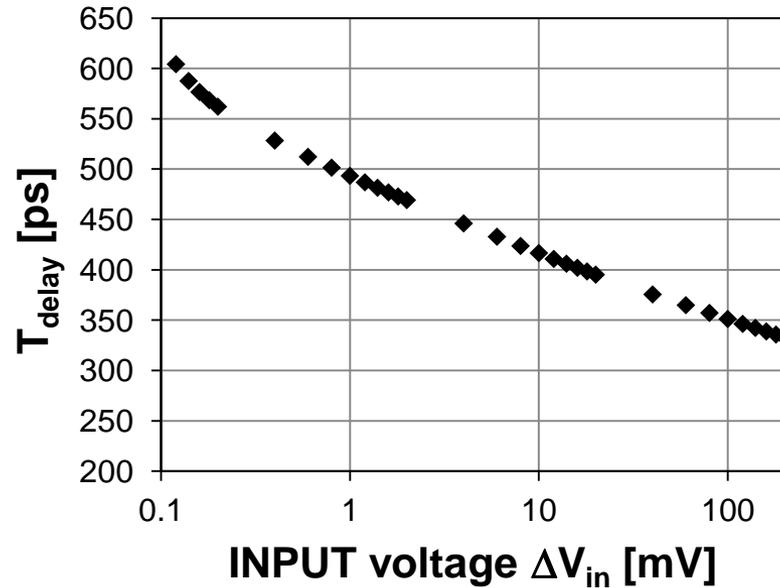
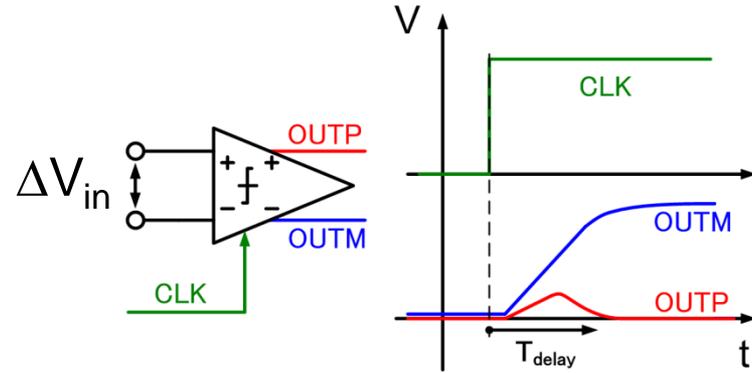
高分解能を実現する際の問題となっている。



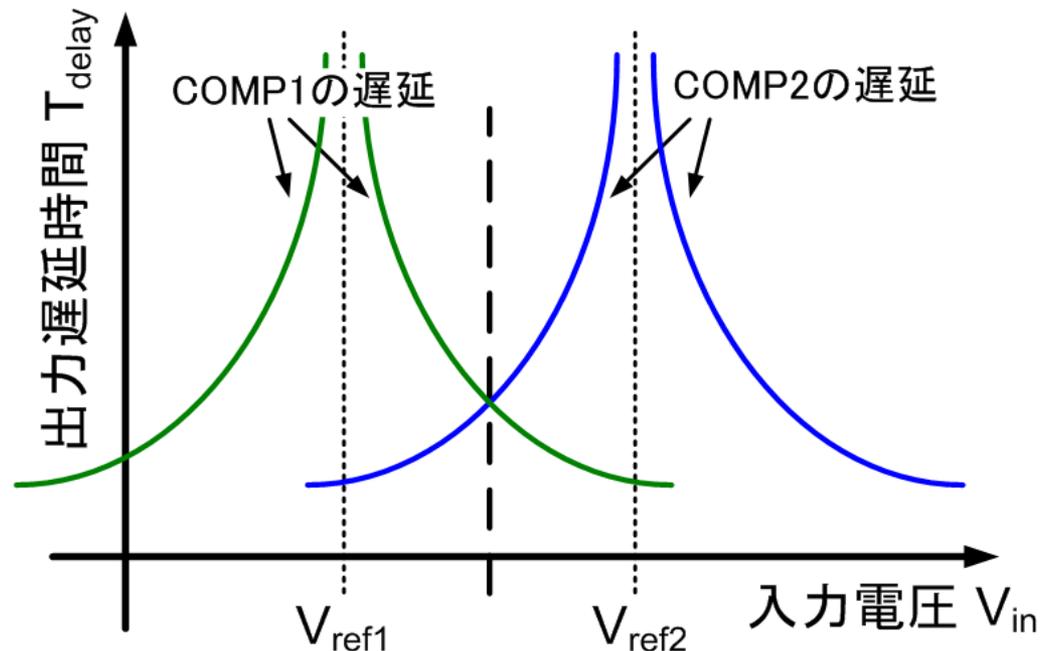
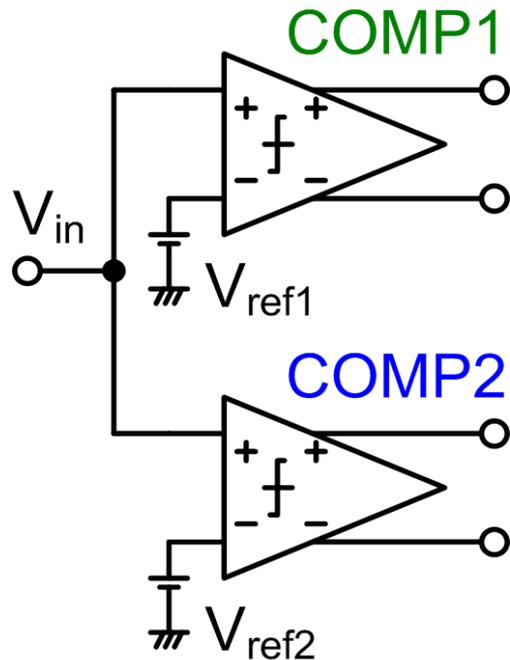
コンパレータの出力遅延時間を用いた補間
(遅延時間補間)を提案



0.5V double tail latch comparator

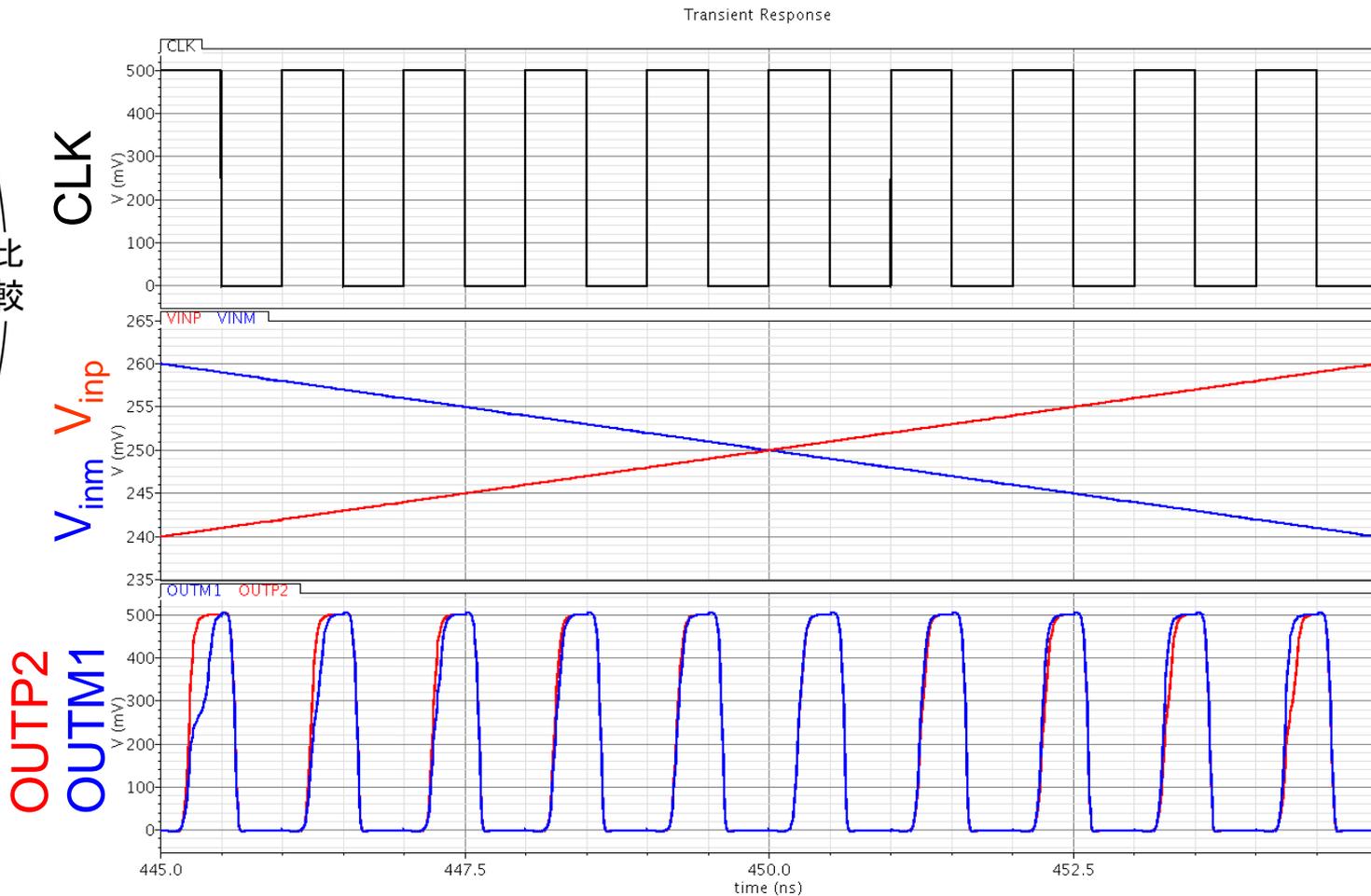
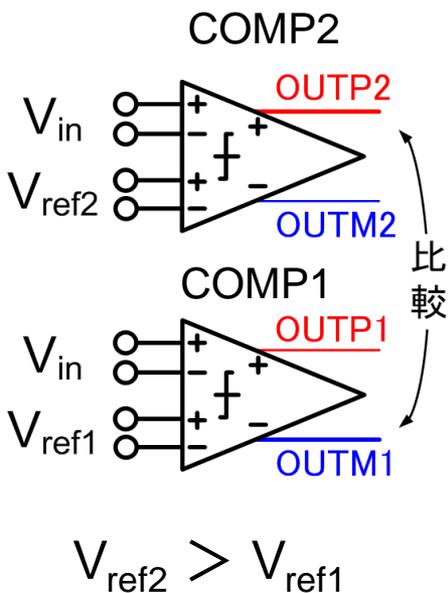


出力信号の遅延時間は、入力電圧差に依存

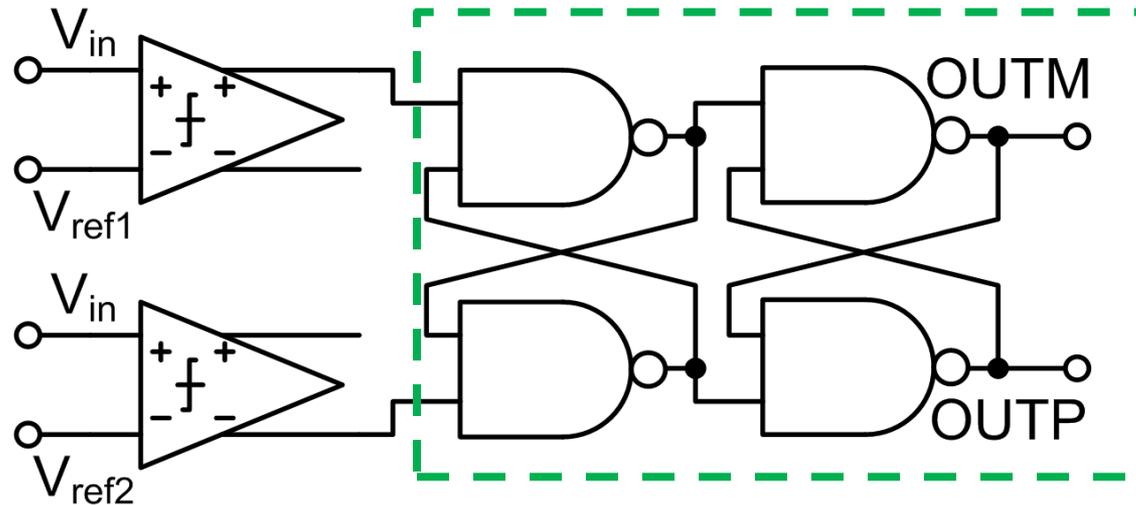


コンパレータの出力遅延時間を比較することによって、
参照電圧の midpoint に新たな比較点を生成可能

遅延時間補間の原理(ii)



0.5V double tail latch comparators



遅延時間比較回路

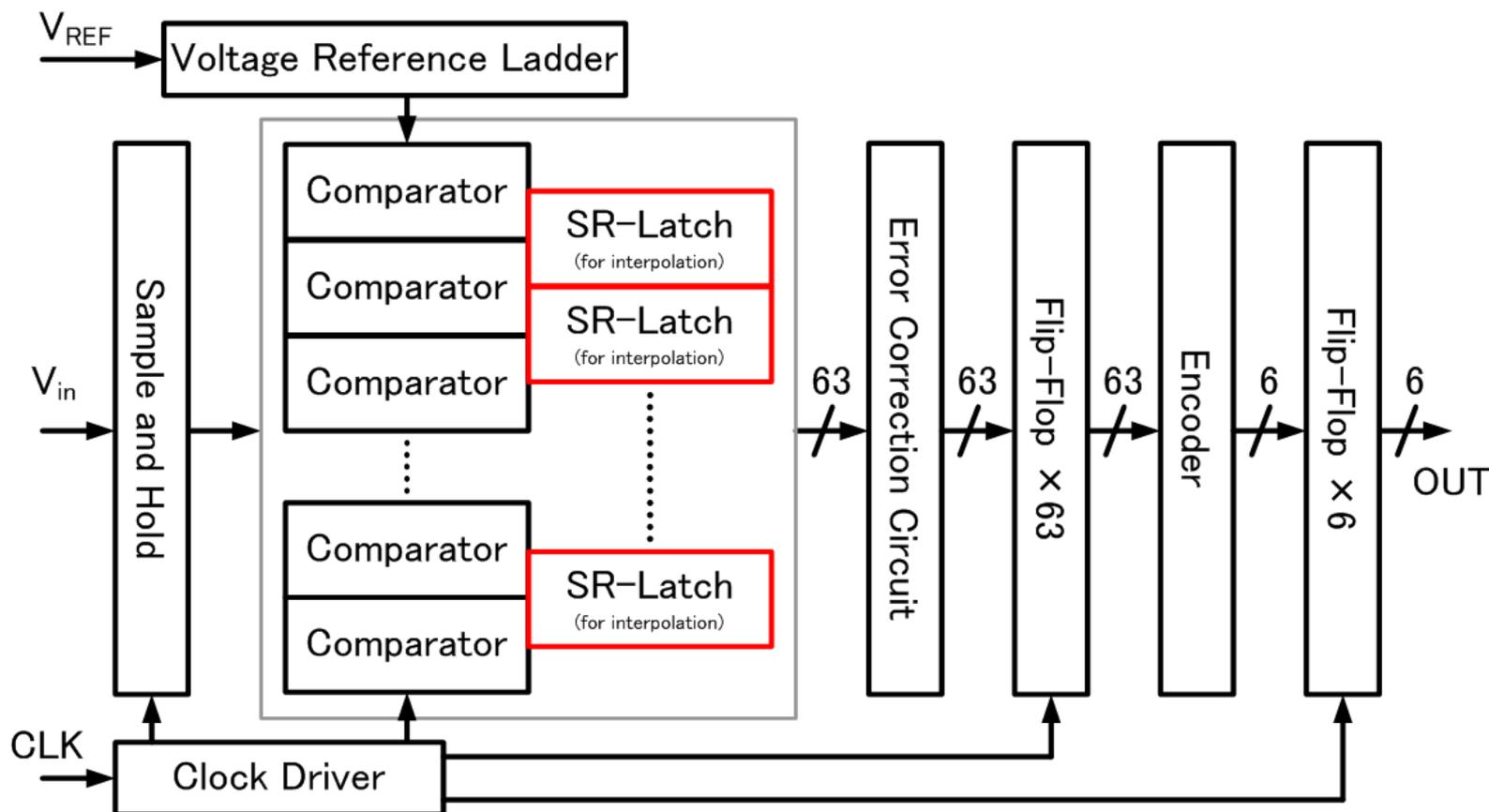
遅延時間の比較は、コンパレータの出力にSRラッチを接続することによって行なう

	ΔV_{ref} [mV]	ノイズ σ_{noise} [mV]	オフセットばらつき σ_{offset} [mV]
コンパレータ w/o CAL	—	1.78	11.8
コンパレータ w/ CAL	—	—	1.14
補間比較点	40	1.18	7.12
	20	1.23	4.36
	15.6	1.33	3.99
	10	1.17	3.42
	4	1.15	3.14

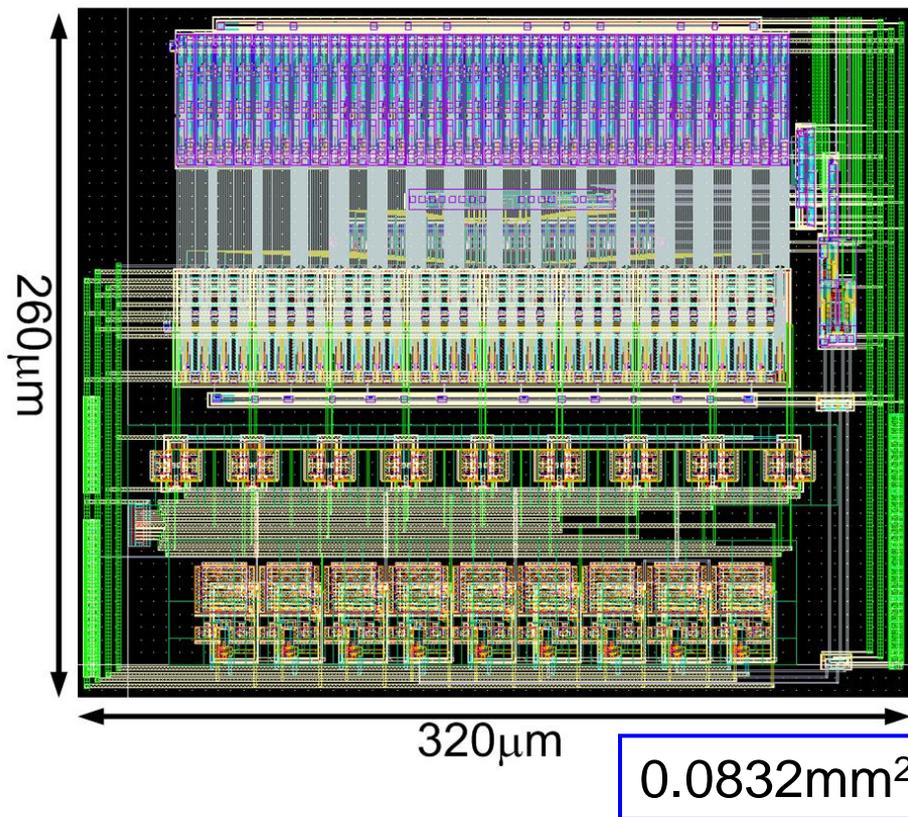
0.5V double tail latch comparator with clock timing calibration

FLASH ADCの回路構成

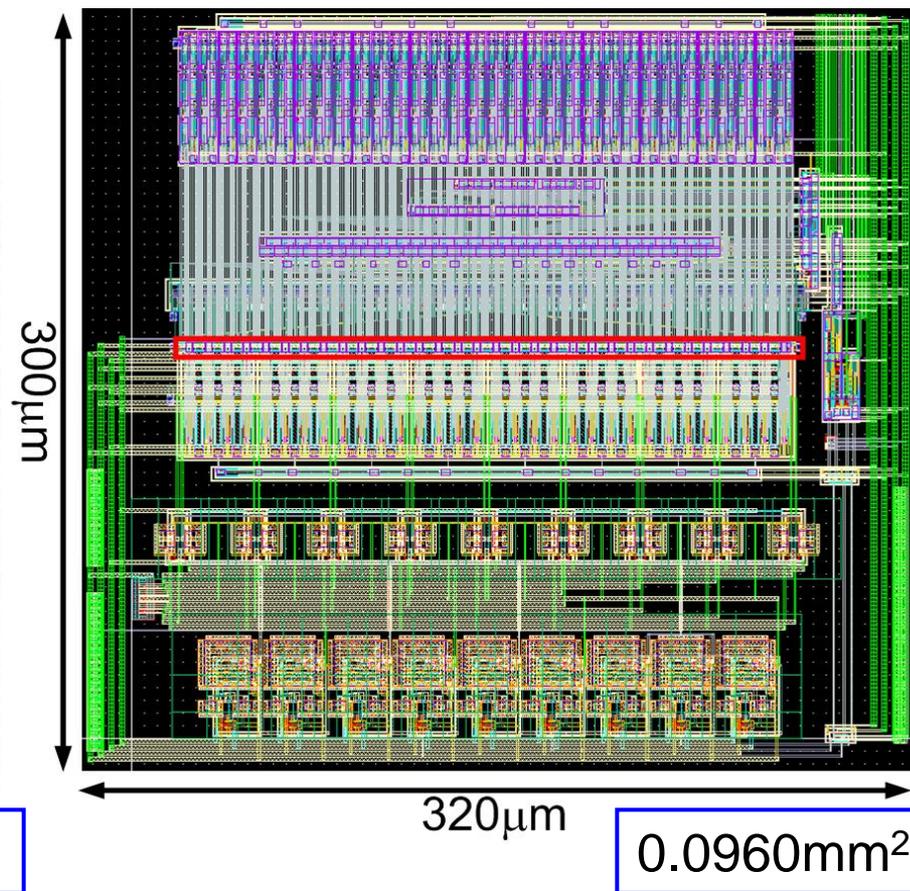
5bitのFLASH ADC に遅延時間補間を適用し、
0.5V 6bit 500MSPS FLASH ADC を設計



補間適用前(5bit)



補間適用後(6bit)



面積は15%増加

赤枠: 遅延時間比較回路

VDD=0.5V 500MS/s

	補間適用前 (5bit)	補間適用後 (6bit)
消費電力[mW]	1.39	1.61
有効ビット数[bit]	4.74	5.64
FoM[fJ/conv.]	104	64.6

Figure of Merit (FoM)

$$\text{FoM} = \frac{\text{Power}}{2^{\text{ENOB}} \cdot f_s}$$

Power:消費電力
ENOB:有効ビット数
 f_s :サンプリング周波数

消費電力 16%増加
有効ビット数 0.9bit増加



FoMが
38%減少

変換効率が38%向上

- 2つのダイナミックコンパレータの出力遅延時間の比較を行なうことにより、比較点を1つ生成できることを確認した。
- FLASH ADC に遅延時間補間を適用することによって、消費電力や面積の増加を抑えつつ、分解能を1bit 増加させることが可能であり、FLASH ADCの変換効率の向上に寄与することを、シミュレーションによって確認した。