

Dual-Conduction Class-C VCO における FoM の改善

FoM Improvement of Dual-Conduction Class-C VCO

竹内 康揚¹
Yasuaki Takeuchi

岡田 健一²
Kenichi Okada

松澤 昭²
Akira Matsuzawa

東京工業大学 工学部 電気電子工学科¹
Department of Electrical and Electronic Engineering, Tokyo Institute of Technology
東京工業大学 大学院理工学研究科 電子物理専攻²
Department of Physical Electronics, Tokyo Institute of Technology

1 はじめに

Dual-Conduction Class-C VCO[1] は通常の Class-C VCO と比較すると、その構造上 FoM が悪化する。そこで Class-C 動作開始後に始動部トランジスタの V_{GS} を減少させることで FoM が改善出来ることをシミュレーションによって示す。

2 改善手法

Dual-Conduction Class-C VCO は低電源電圧下でも発振出来るように、Class-C 動作部とは別に始動部を設けている。この始動部は発振を開始しやすくするためにクロスカップルトランジスタのゲートバイアスを Class-C 動作部と比べて高く設定している。しかし、これによりクロスカップルトランジスタの導通時間が長くなるために位相雑音が劣化する。また、始動部の消費電力が加わることで回路全体の消費電力が増加する。これらの問題は Class-C 動作開始後も始動部が動作し続けていることが原因である。そこで、発振開始後にクロスカップルトランジスタのゲートバイアスを小さくすることで、始動部の影響を小さくし位相雑音を改善する。また、飽和領域で動作するトランジスタを流れる電流は式 (1) の近似式で表される事から、ゲートバイアスを小さくすることは消費電力の低減にもつながる。

$$I_{DS} = \frac{\mu C_{ox} W}{2L} (V_{GS} - V_T)^2 \quad (1)$$

3 シミュレーション結果と考察

今回のシミュレーションでは始動部にあるクロスカップルトランジスタのソース-GND間に 10Ω の抵抗を追加した。抵抗を追加することでソースの電位は GND から上昇するため、 V_{GS} を減少させることができる。使用したプロセスは CMOS $0.18\mu\text{m}$ である。 V_{DD} と FoM の関係を図 2 に示す。グラフから読み取れるように 0.35V 付近からは抵抗追加による FoM の改善が見られる。またノイズ源解析を行ったところ、 $V_{DD} \geq 0.35\text{V}$ では始動部の雑音が Class-C 動作部の雑音よりも大きくなっていった。一方 $V_{DD} < 0.35\text{V}$ では始動部の雑音は Class-C 動作部の雑音よりも小さくなっていった。つまり、 $V_{DD} < 0.35\text{V}$ では FoM を悪化させているのは始動部ではなく Class-C 動作部であることから FoM の改善が見られなかったと考えられる。

4 まとめ

Dual-Conduction Class-C VCO の Class-C 動作開始後に、始動部の V_{GS} を減少させることにより FoM が改善されることを示した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、科学研究費補助金、半導体理工学研究センター、NEDO、キヤノン財団、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

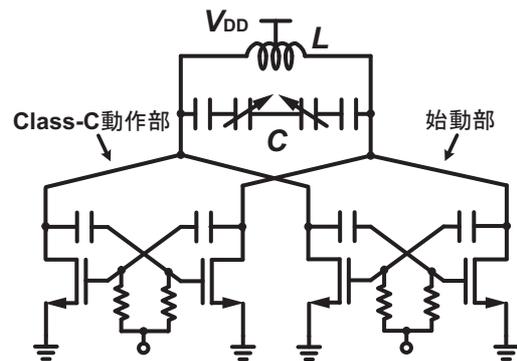


図 1 Dual-Conduction Class-C VCO の回路図

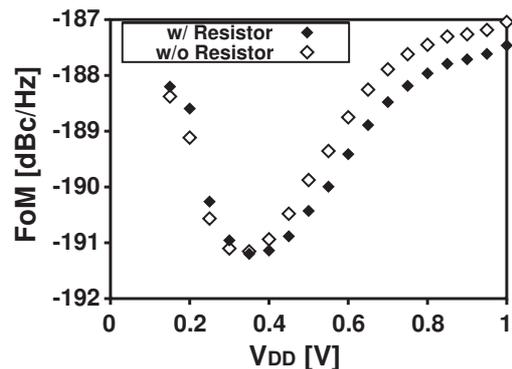


図 2 FoM のシミュレーション結果

参考文献

- [1] K. Okada, et al., "A 0.114mW dual-conduction class-C CMOS VCO with 0.2-V power supply," *IEEE symp. VLSI Circuits*, pp.228-229, Jun. 2009.