

容量 DAC の寄生容量が SAR ADC の精度に与える影響の検討

A Research on Influence of Parasitic Capacitors upon the Performance of a SAR ADC

李 承鍾

白 戴和

宮原 正也

松澤 昭

Seungjong Lee

Daehwa Paik

Masaya Miyahara

Akira Matsuzawa

東京工業大学大学院理工学研究科電子物理工学専攻

Department of Physical Electronics, Tokyo Institute of Technology

1. まえがき

近年アナログデジタル混載システムの発達と共に、アナログ・デジタル変換器(ADC)の更なる高性能化が望まれている。その中で逐次比較型ADC(SAR ADC)は図1に示すように比較器、容量DAC及び簡単なロジックで構成でき、低消費電力動作が可能なADCとして注目を浴びている。SAR ADCの構成要素のうち、主に容量DACがADCの精度及び面積を決定しており、いかに面積を小さく抑えて精度を保つかが設計上重要な点となる。容量DACを小面積化する手法の一つとして、図1のように2つの容量アレイの間に直列に容量Csを接続した2-Stage Weighted Capacitor DAC(2-Stage WCDAC)が用いられる[1]。しかし、直列容量Csを挿入することにより、寄生容量(C_{X1}、C_{X2})に起因する性能の劣化が問題となる。本発表では、Coarse m bitsとFine n bitsの2-Stage WCDACにおいて寄生容量が変換精度に与える影響について解析を行う。

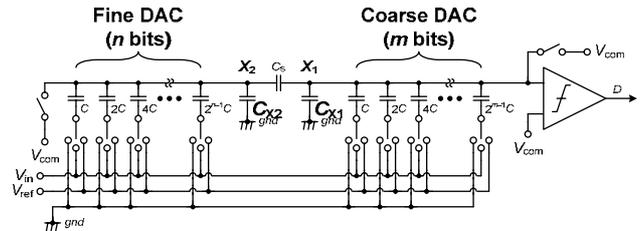


図1 2-Stage WCDAC

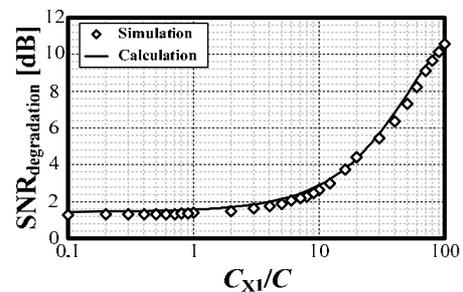


図2 C_{X1}の影響

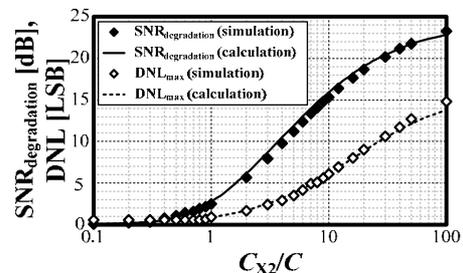


図3 C_{X2}の影響

2. Coarse DAC 側の寄生容量 (C_{X1}) の影響

Coarse DAC 側の寄生容量 C_{X1} は比較器で検知される信号を減衰させる。比較器の不感帯を V(σ_n)とすると、C_{X1}によって比較器の入力信号に対する不感帯は以下のように広がる。

$$\sigma_{n,\text{in}} = \left(1 + \frac{C_{X1}}{2^m C}\right) \times \sigma_n \quad (\text{式-1})$$

不感帯によって比較器が誤った結果を出力する確率の (σ_{n,in}/2ⁱ⁻¹)² から、C_{X1}によって増加したノイズを計算する。

$$N \approx \left(1 - \left(\frac{\sigma_{n,\text{in}}}{2^{N-1}}\right)^2\right) \left(1 - \left(\frac{\sigma_{n,\text{in}}}{2^{N-2}}\right)^2\right) \cdots \left(1 - \left(\frac{\sigma_{n,\text{in}}}{2}\right)^2\right) (\sigma_{n,\text{in}})^2 \quad (\text{式-2})$$

C_{X1} による SNR 劣化の計算結果とシミュレーション結果を図2に示す。

3. Fine DAC 側の寄生容量 (C_{X2}) の影響

Fine DAC 側の寄生容量 C_{X2} は、Fine DAC からの出力信号を減衰する。それによって ADC の線形性は劣化する。C_{X2} による DNL の最大値は以下の式で表される。シミュレーション結果との比較を図3に示す。

$$DNL_{\text{max}} = \frac{1}{\frac{1}{2^n} + \frac{C}{C_{X2}}} \quad (\text{式-3})$$

4. まとめ

本発表では2-Stage WCDACにおいて寄生容量 C_{X1} と C_{X2}

が起こす性能劣化を確認した。Coarse 側の寄生容量は比較器の比較感度の劣化を、Fine 側の寄生容量は A/D 変換の線形性の劣化を起こすことを解析し、その影響を数値化した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、並びに、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] Y. S. Yee, L. M. Terman, and L. G. Heller, "A two-stage weighted capacitor network for D/A-A/D conversion," in *IEEE Journal of Solid-State Circuits*, vol. SC-14, no. 4, pp. 778-781, Aug., 1979.