

CMOS プロセスによる 60GHz 帯無線送信回路の開発

A CMOS Integrated Transceiver at 60 GHz

高山直輝
Naoki Takayama

松下幸太
Kouta Matsushita

岡田健一
Kenichi Okada

松澤昭
Akira Matsuzawa

東京工業大学大学院理工学研究科電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 まえがき

近年、CMOS プロセスを用いた 60GHz 帯無線通信回路の研究が盛んに行われている。無線通信システムをすべてオンチップで作りに上げることによって、より小型かつ省コストでの製造が可能となる。CMOS トランジスタの耐圧の限界から難しいとされていた送信系のコンポーネントも様々な論文で紹介されてきた [1], [2]。本研究では CMOS65nm プロセスを用いて、ダイレクトコンバージョン型 60 GHz 帯無線送信回路の試作を行い、コンポーネントのみの試作結果との比較を行った。

2 回路構成

図 1 にアップコンバージョンミキサの回路図を示す。差動の IF 入力、LO 入力、そして単相の RF 出力を持つパッシブ型のダブルバランスミキサを採用した。入出力には IF 用のバッファと RF 用のバッファが接続されている。インピーダンスマッチングについては、IF 部分は周波数が 0~2 GHz であるため抵抗で、LO、RF 部分は 60 GHz 程度であるためコプレーナ型伝送線路を用いている。

図 2 にパワーアンプの回路図を示す。4つのトランジスタを用いた多段構造となっており、各段の間は 1、2、3 段目はゲインマッチング、最終段はパワーマッチングを伝送線路を用いている。

3 測定結果

パワーメータ、ネットワークアナライザ、シグナルジェネレータを用いて、パワーアンプ単体、そしてパワーアンプとアップコンバージョン・ミキサを接続したものについて測定を行った。図 3 に接続したもののチップ写真を示す。表 1 はそれらの測定結果を纏めたものである。

接続したものが動作していることを確認し、PA の利得に比べて PA+Mixer の変換利得は減少しているものの、その減少幅を 0.5dB に抑えることができた。

4 まとめ

CMOS 65nm プロセスを用いて 60GHz 帯の無線送信回路を設計した。IF:300MHz、LO:60GHz における実測で、変換利得が 15.9dB 得られていることを確認した。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、NEDO、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

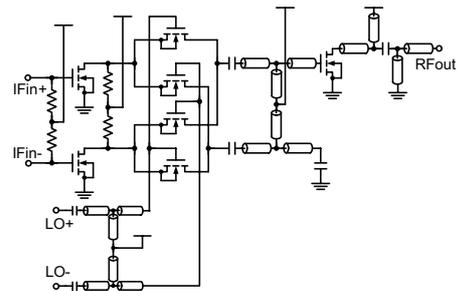


図 1 アップコンバージョンミキサの回路図

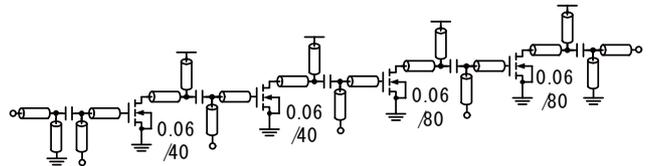


図 2 パワーアンプの回路図

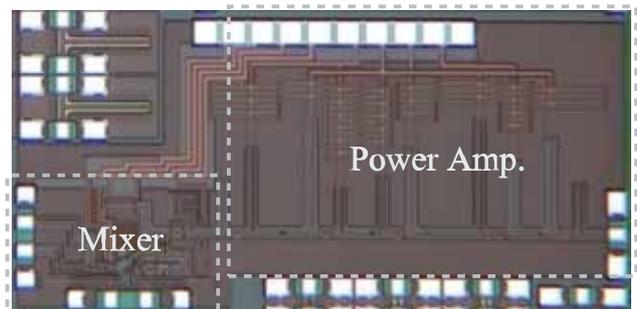


図 3 チップ写真

表 1 測定結果

	PA 単体	PA + Mixer
利得 / 変換利得 [dB]	16.4	15.9
Pout@1dB-CP [dBm]	4.6	4.5
消費電力 [mW]	144	195
ローカル信号電力 [dBm]	-	0
周波数 [GHz]	60	IF : 0.3 RF : 60.3

参考文献

- [1] S. R. Alberto Valdes-Garcia and J.-O. Plouchart, "60 GHz transmitter circuits in 65nm CMOS," in *RFIC*, Apr. 2008, pp. 641-644.
- [2] M. K. K. H. Dan Sandstrom, Mikko Varonen, "W-Band CMOS amplifiers achieving +10dBm saturated output power and 7.5dB NF," in *ISSCC*, Feb. 2009, pp. 486-487.