

# 60 GHz 注入同期型周波数4逓倍器

60 GHz Injection-Locked Frequency Quadrupler with Quadrature Outputs

原 翔一                      岡田 健一                      松澤 昭  
Shouichi Hara                      Kenichi Okada                      Akira Matsuzawa

東京工業大学 理工学研究科 電子物理工学専攻  
Department of Physical Electronics, Tokyo Institute of Technology

## 1 はじめに

近年、高速無線通信を可能とする技術として、ミリ波 (30-300GHz) が注目されている。中でも IEEE 802.15.3c で規格される 60GHz 帯のミリ波による無線伝送は多くの国で無免許で使用できることから、現在も盛んに研究が行われている [1, 2]。ミリ波帯無線通信においても、必須のコンポーネントである PLL に要求される性能として、他の周波数帯と同様に、位相雑音特性や周波数帯域、消費電力などがある。しかしダイレクトコンバージョン方式で変調を行う場合、PLL 中の VCO の動作周波数をキャリア周波数と同程度にしなければならず、クロスカップルのトランスコンダクタンスの低下や寄生容量による周波数低下など多くの問題がある。

この設計上の困難を打破するために、注入同期型周波数逓倍器 (ILO) を用いる手法が提案されている [3]。ILO は回路構成により可能な逓倍比が異なり、逓倍比が大きくなると入力信号を生成する PLL の設計が容易になる一方で、同期しにくくなるというトレードオフがある。本論文では、60GHz の信号を生成するために、15GHz の PLL と 4 逓倍器を用いる手法を提案する。

## 2 注入同期型周波数逓倍器

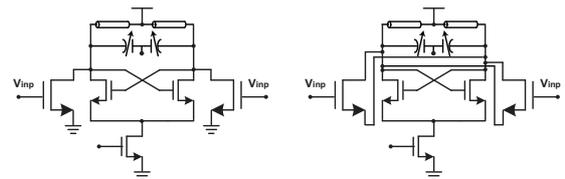
高周波数帯に用いられる ILO の回路構成に平行方式 (図 1(a)) とダイレクト方式 (図 1(b)) がある。他にテールトランジスタに信号を入力するものがあるが、図 1 の構成は共振器に直接接続することで、入力トランジスタを小さくできるという点で共通している。一方、この二つの構成は入力信号との同期の取り方で異なる。平行方式は ILO の出力がグラウンド側に近づく際に同期がかかる。そのため偶数倍には向かない。一方、ダイレクト方式は ILO の出力電圧がクロスする際に同期がかかる。こちらは偶数倍ができる代わりに奇数倍には向かない。また両構成とも逓倍比が大きすぎると同期がとりにくなる。今回は 4 逓倍させるために、ダイレクト方式を採用した。図 2 は今回試作した回路である。

## 3 測定結果

表 1 に測定結果をまとめる。測定は全てオンウェーハプロービングで行った。試作した ILO の面積は  $300\mu\text{m} \times 60\mu\text{m}$ 、消費電力は 3.1 mW ~ 6.8 mW であった。動作周波数帯域は 56.3 GHz ~ 63.3 GHz、バイアス条件を一定にした場合のロックレンジは 80MHz であった。

## 4 まとめ

60 GHz の信号を生成する手法として 4 逓倍器を用いることを提案し、それが実現可能であることを示した。



(a) 平行方式.                      (b) ダイレクト方式.

図 1 注入方式による比較.

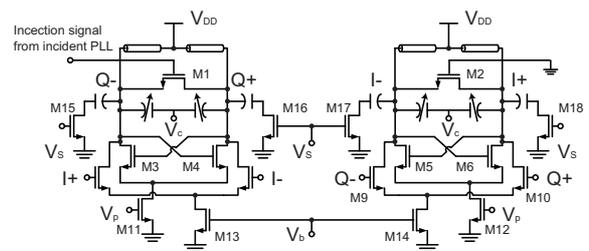


図 2 提案回路.

表 1 ILO 性能まとめ.

	This work	ISSCC2008 [3]
電源電圧 $V_{DD}$	0.6 V	1.0 V
構成	direct	parallel
逓倍比	4	3
周波数帯域	56.3 ~ 63.3 GHz	59.7 ~ 60.6
ロックレンジ	60.36 ~ 60.44 GHz	56.5 ~ 64.5 GHz
消費電力	3.1 ~ 6.8 mW	9.6 mW

本論文が提案する手法を用いることにより、60GHz LO を設計する上での困難が緩和され、より高性能な 60GHz 帯周波数シンセサイザが実現可能となる。

### 謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

### 参考文献

- [1] T. Mitomo, R. Fujimoto, N. Ono, R. Tachibana, H. Hoshino, Y. Yoshihara, Y. Tsutsumi, and I. Seto, "A 60-GHz CMOS Receiver Front-End With Frequency Synthesizer," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 1030-1037, April 2008.
- [2] C. Doan, S. Emami, D. Sobel, A. Niknejad, and R. Brodersen, "Design considerations for 60 GHz CMOS radios," *IEEE Communications Magazine*, vol. 42, no. 12, pp. 132-140, Dec. 2004.
- [3] W. L. Chan, J. R. Long, and J. J. Pekarik, "A 56-to-65 GHz injection-locked frequency tripler with quadrature outputs in 90nm CMOS," in *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, Feb. 2008, pp. 480-481.