

# 補間技術とバックグラウンド補償技術を用いた 8-bit 600-MSps 並列型 ADC に関する研究

白 戴和 浅田 友輔 宮原 正也 松澤 昭

東京工業大学電子物理工学専攻 〒152-8552 東京都目黒区大岡山 2-12-1

E-mail: paik@ssc.pe.titech.ac.jp

**あらまし** 補間技術と巡回バックグラウンド補償技術を使用した並列型 A/D 変換器 (ADC) に関して報告する. 並列型 ADC は分解能が上がるほど回路規模が増大し、消費電力が増加する. この問題に対し、容量補間とゲート幅補間の長を生かした補間技術を提案し、分解能の増加による消費電力の増加を抑制した. 巡回バックグラウンド自己補償技術は素子ばらつきによるオフセットと温度や電源電圧変動による影響を抑える. 試作 ADC は 90-nm 1P10M CMOS プロセスで製作された. 測定の結果、入力周波数 500 MHz、変換周波数 600 MSps の際 ENOB は補償技術未使用下で 6.07 bits、使用下で 6.74 bits を達成した. 1.2 V 電源電圧で 98.5 mW を消費し、FoM は 1.54 pJ/conversion step を達成した.

**キーワード** アナログ・デジタル変換器、巡回バックグラウンド補償、自己補償、補間技術

## An 8-bit 600-MSps Flash ADC Using Interpolating and Background Self-Calibrating Techniques

Daehwa PAIK Yusuke ASADA Masaya MIYAHARA and Akira MATSUZAWA

Department of Physical Electronics, Tokyo Institute of Technology

2-12-1 O-okayama, Meguroku, Tokyo, 152-8552 Japan

E-mail: paik@ssc.pe.titech.ac.jp

**Abstract** This paper describes a flash ADC using interpolation (IP) and cyclic background self-calibrating techniques. The proposed IP technique that is cascade of capacitor IP and gate IP with dynamic double-tail latched comparator reduces non-linearity, power consumption, and occupied area. The cyclic background self-calibrating technique periodically suppresses offset mismatch voltages caused by static fluctuation and dynamic fluctuation due to temperature and supply voltage changes. The ADC has been fabricated in 90-nm 1P10M CMOS technology. Experimental results show that the ADC achieves ENOB of 6.07 bits without calibration and 6.74 bits with calibration up to 500 MHz input signal at sampling rate of 600 MSps. It dissipates 98.5 mW on 1.2-V supply. FoM is 1.54 pJ/conversion step.

**Keyword** Analog-to-digital converter, cyclic background calibration, self-calibration, and interpolation

### 1. はじめに

固定無線接続 (FWA) は 38 GHz 帯の周波数を用いて大量情報を転送する通信システムである. FWA の目標データ転送量は約 1 Gbps で、16QAM もしくは 64QAM の使用を想定しており、ADC の分解能としては 7 bits 以上、変換周波数は 500 MSps 以上が要求される.

本研究では 8-bit 600-MSps の並列型 ADC を 90-nm プロセスで試作した. 微細プロセスの使用により高速変換が可能となる反面、電源電圧と信号振幅の低下により変換精度の向上が困難となる. 微細プロセスの使用による精度劣化を克服するために、補間技術と比較器のオフセット除去にバックグラウンド補償を用いた.

並列型 ADC は ADC の変換手法の中で最も高速動作に向いているが、分解能が上がるほど回路要素数と占有面積が増加する短所がある. 占有面積が増えるほど寄生抵抗と寄生容量の影響を大きく受け、その影響で変換速度は制限される. そこで本研究では補間技術[1-4]を使用して回路要素数と占有面積の増加を抑えた.

### 2. ADC の構成と巡回バックグラウンド補償

#### 2.1. ADC の構成

ADC の構成を図-1 に示す. 提案回路は増幅器、容量補間、比較器、参照電圧回路と巡回補償用の論理回路

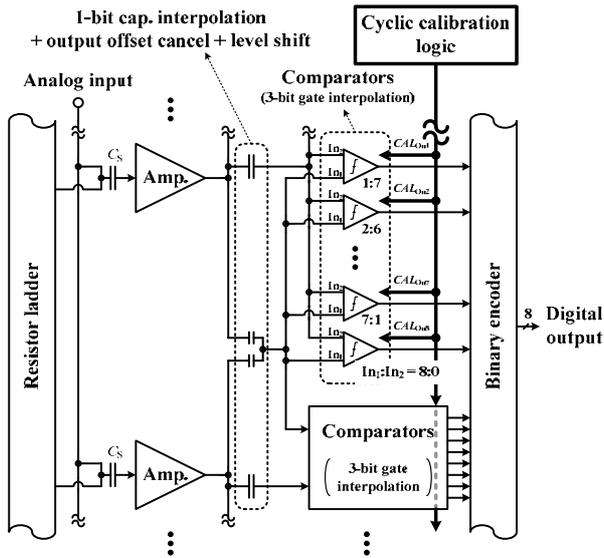


図-1 ADC の構造

で構成される．比較器の  $3\sigma$  分のオフセット ( $V_{\text{offset}} (\sigma) = 1.69\text{mV}$ ) は  $0.25 \text{ LSB}$  ( $\sim 1 \text{ mV}$ ) より大きいため、比較器の前に増幅器を配置する[5]．熱雑音と容量ミスマッチの条件より、最小サンプリング容量値は定まる．増幅器の消費電流は変換速度と熱雑音から決まる．本研究で比較器の熱雑音の  $4.52 \times 10^{-6} \text{ V}^2$  は、量子化雑音の  $1.27 \times 10^{-6} \text{ V}^2$  を超えている．例え、増幅器で比較器の入力換算熱雑音を減らそうとすると、ADCの全入力換算熱雑音を減らすためには増幅器の消費電流を増やすしかない．微細化によりMOSの固有利得が低減して[6]、増幅器の設計可能利得が落ちた影響である．もし比較器ごとに増幅器を配置すると、熱雑音を減らすために変換速度に必要な電流以上を流すことになって電力効率が落ちる．本研究では、複数の比較器ごとに増幅器を配置するこちによって1個の増幅器の消費電流を増やす．その結果、変換速度に必要な電流だけを流しながら熱雑音も抑える．

## 2.2. 巡回バックグラウンド補償

90-nm プロセスにおいて、比較器の製造ばらつきによるオフセットは  $40 \text{ mV}$  に至る[5]．さらにチップ温度変化、電源電圧変動もオフセットに影響を及ぼす．オフセットを低減させるため、チャージポンプ (CP) を比較器に挿入し[5]、比較器のオフセットをバックグラウンドで周期的に補償した．

本手法によるバックグラウンド動作には欠点がある．補償動作と A/D 変換動作が同時に行なわれるため、補償動作に入った比較器は信号変換ができなくなる．このため図-2のようなバブリングエラーを起こすが、バブリングエラーコレクションで対処できる．この手法は、補正動作に入った比較器の両側の比較結果が同じ

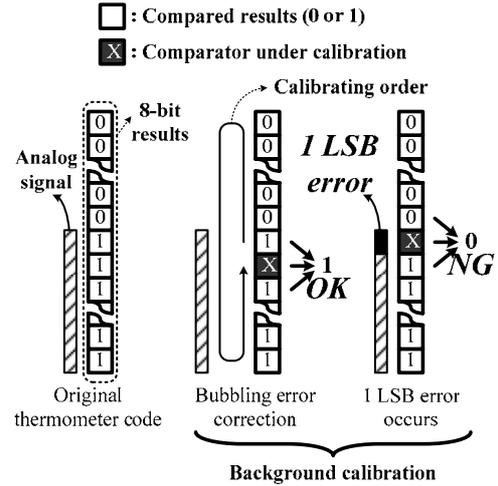


図-2 バックグラウンドによるエラー発生とその補償

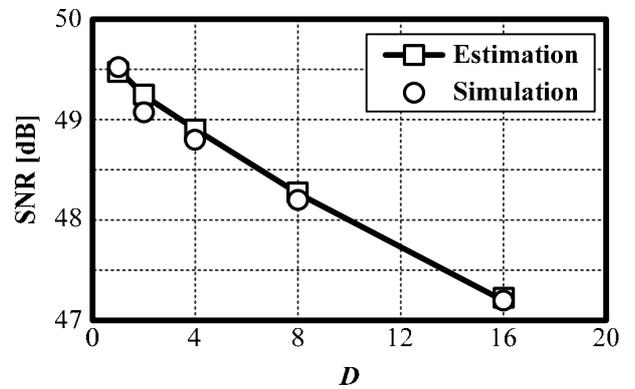


図-3 SNR vs. 補償される比較器の数 ( $D$ )

なら補償中の比較器の判定も隣の値に直す方法である．しかし、両側の比較器の判定結果が異なる場合には補償中の比較器の判定を強制的に  $0$  にさせるから、A/D 変換結果に誤差が起こることがある．

バックグラウンドで補償される比較器の数が増えると、前述したように A/D 変換性能が劣化し、有効分解能が落ちる．これはほぼ雑音として扱え、

$$v_{n, \text{cal}}^2 = \frac{D}{2^N - 1} V_q^2 \quad (1)$$

より与えられる．ここで  $D$  は同時に補償される比較器の数を、 $N$  は ADC の分解能を、 $V_q$  は量子化電圧を意味する．もし熱雑音に対してバックグラウンド補償による雑音の大きさが充分小さいときには、巡回補償による変換誤差は無視できる．図-3 は  $D$  と signal-to-noise 比 (SNR) の関係を表す．本研究では  $4$  を選択した．

## 3. 回路の詳細説明

### 3.1. ゲート補間型比較器の自己補償

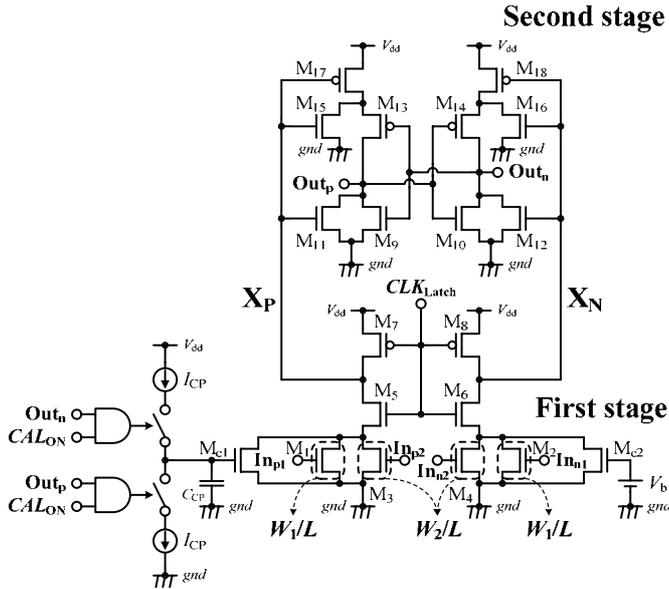


図-4 ゲート補間と自己補償回路を用いた提案比較器

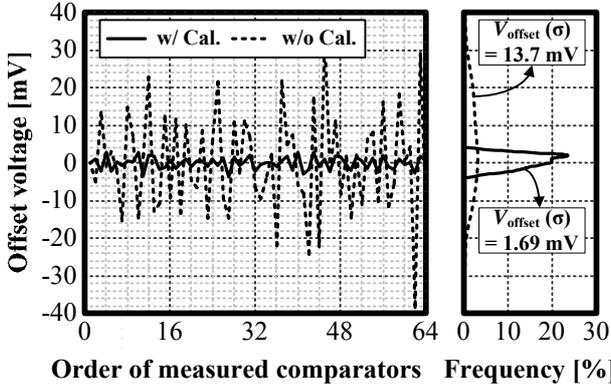


図-5 CP型補償回路によるばらつき低減の測定結果 (比較器の構造は文献[5])

図-4は提案するゲート補間とオフセット補償回路を用いたダブルテールラッチ型比較器を表す。図-5はCP型補償回路による素子ばらつき低減の測定結果を示す。比較器を各々の zero-crossing 地点で補償する際、比較器のオフセットは正確に低減される。しかし、この方法を本研究で採択すると、3-bit ゲート補間の場合は15種類の補償用基準電圧が要る。また、図-1で比較器は増幅器の後段に配置されている。これは比較器の補償用基準電圧を提供するためには、余分な増幅器が要ることを意味する。レイアウトを考慮すると、補償用増幅器から出力される15種類の電圧を8 bits分の全比較器に遅延と電圧降下なしに配線することは困難である。現実的な対案として、本研究では全補間比較器を比較器の入力コモン電圧を用いて補償を行う。図-6は15種類の基準電圧で補償する場合(従来)と、入力コモン電圧だけで全補間比較器の補償を行った際の補償精度の比較結果である。

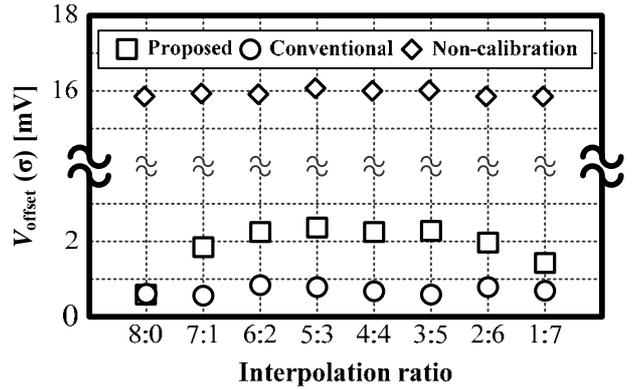


図-6 提案補償方法の効果 (シミュレーション)

モンテカルロシミュレーション結果から、補償後のオフセットは提案方式が従来方式より2~3倍程度大きい。補償性能の劣化は微細化によって速度飽和などの影響を受けることが一つの原因として考えられる[7]。それで、比較器の入力信号の大きさによって、MOSのドレイン電流とゲート・ソース電圧間の関係が変わる。その結果、補償地点と zero-crossing 地点でのドレイン電流とゲート・ソース電圧間の関係が一致なくなり、補償精度が落ちたと考える。しかし、使用目標に対してオフセットの増加分は大きくないため、本研究では提案方式を使用して全ての比較器をただ一つの基準電圧で補償を行なった。

### 3.2. ゲート補間型比較器

補間は二つの参照信号  $Ref_1$  と  $Ref_2$  の間に仮想的な比較地点を生成することによって、粗い参照信号の間を細かく比較する。 $Ref_1$  と  $Ref_2$  間を  $a:b$  で内分する信号は、 $Ref_2$  に  $a$  の重みを、 $Ref_1$  には  $b$  の重みを与えることで生成する。

$$Interpolation = \frac{a \times Ref_2 + b \times Ref_1}{a + b} \quad (2)$$

特に、ゲート補間は MOS のアスペクト比に重みを与える方法により MOS のドレイン電流値を調整して内分を行なう。

ゲート補間には定常電流を流すスタティック型[1]と比較時のみ電流を流すダイナミック型[2]が存在する。シミュレーション結果、変換周波数 1 GSps と電源電圧 1.0 V の条件で 8 bits 分の比較器の消費電力は、スタティック型は 32.6 mW でダイナミック型は 10.0 mW であった。比較器をダイナミック型にすることによって消費電力を 69% 低減できるため、本研究ではダイナミック型で比較器の設計を行なった。

次に提案回路の動作を簡単に説明する。 $CLK_{Latch}$  が低の期間に  $X_p$  と  $X_n$  は  $V_{dd}$  まで充電される。その後、

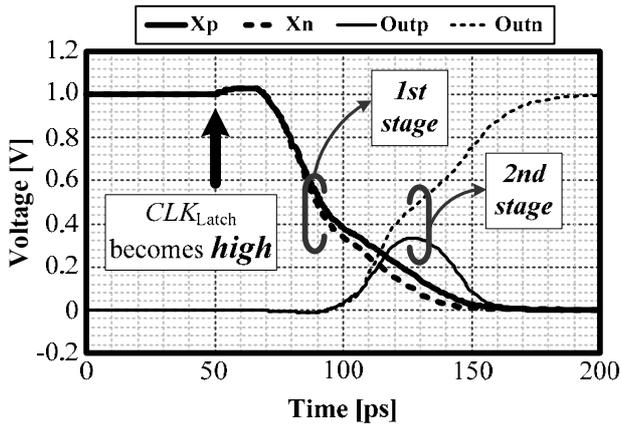


図-7 提案比較器の動作波形 (シミュレーション)

比較器が入力信号を検知してから  $CLK_{Latch}$  が High になると、ノード  $X_p$  と  $X_n$  から  $M_5$  と  $M_6$  を経由して  $gnd$  へ電流が流れる。入力信号によって電流値が決まり、その電流によって  $X_p$  と  $X_n$  の電圧の立下り時間の差が発生する。その時の差電圧を図-4 のセカンドステージが検知して、比較器の出力を  $V_{dd}$  もしくは  $gnd$  に決定する。図-7 は、電源電圧が 1.0 V の際の動作波形を表す。

提案回路は文献[5]の比較器を基本にするが、ラッチ用の MOS ( $M_5$ ,  $M_6$ ) の位置だけを変更している。ラッチ用の MOS が入力側 MOS ( $M_1 \sim M_4$ ) のソース側に配置されると、キックバックノイズによって増幅器の出力信号が著しく劣化する。従来型でキックバックノイズ発生 の主な原因は、入力側 MOS のゲート・ソース間容量である。ラッチクロックが High になった瞬間、その容量に充電された電荷は  $gnd$  に向けて流れてキックバック電流を発生する。キックバックノイズの問題は、その値が信号の大きさによって異なることであり、比較器を差動型にしても防ぐことができない。キックバックノイズが増幅器の出力信号に及ぼす影響のイメージを図-8 に表し、式で表すと

$$V_{out} = V_{out,amp} - R_{out,amp} \times i_{kick-back\ noise} \quad (3)$$

$V_{out}$  は比較器への入力信号を、 $V_{out,amp}$  は増幅器の出力信号を、 $R_{out,amp}$  は増幅器の出力抵抗を、 $i_{kick-back\ noise}$  は比較器のキックバックノイズによって発生したノイズ電流を示す。式 (3) からキックバックノイズの対策には、増幅器の出力抵抗値を減らす方法とキックバックノイズ量を減らす方法がある。図-4 ではキックバックノイズ量を減らす対策を選んだ。その方法は、ラッチ用の MOS を入力側 MOS のソース側からドレイン側に移すことである。これによりラッチクロックが Low の期間、入力側 MOS のドレイン電圧がソースと同じ電圧になっており、ラッチクロックが High になっても入力ノードの電圧を従来型のように大きく乱さない。

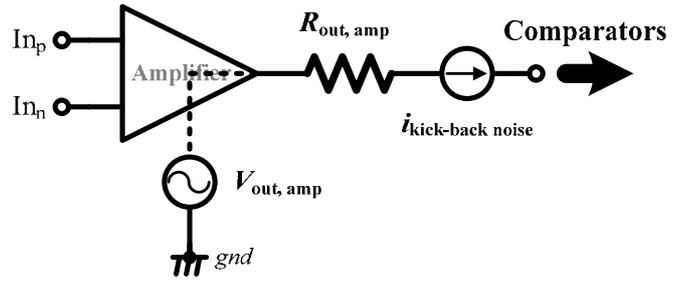


図-8 キックバック電流と増幅器の出力抵抗

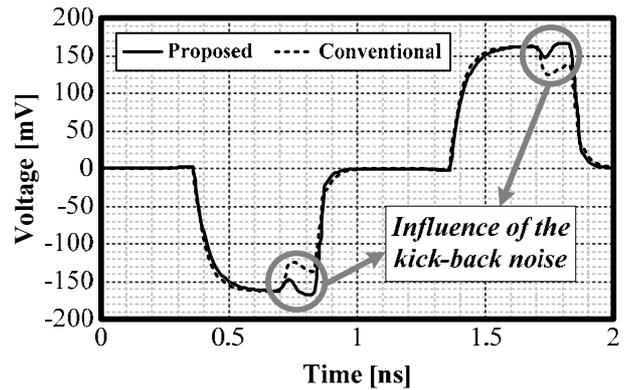


図-9 増幅器の差動出力信号に対するキックバックノイズの影響 (シミュレーション)

図-9 にその効果を示す。従来回路のキックバックノイズ量が 40 mV になったことに比べ、提案回路は 15 mV 以下に抑えられることが確認できた。

### 3.3. 容量補間

容量補間[3]を増幅器と比較器の間に挿入することによって比較器の最大入力信号の大きさを低減できる。設計上での増幅器の出力信号範囲は約 150 mV 程度である。また、比較器の入力側 MOS の閾値ばらつきは数十 mV である。容量補間を用いずにゲート補間だけで 4-bit 補間を行なう場合、比較器の入力バイアス電圧を MOS の閾値から数百 mV 以上の電圧に設定しなければならない。文献[5]によると、比較器の不感帯は入力バイアスが高いほど悪化する。従って、容量補間を利用してゲート補間の補間数を減らすことにより、比較器を感度の良いバイアス電圧で使用できる。

さらに、容量を増幅器の後段に配置することにより、アウトプットオフセットキャンセル方法が適用できる。モンテカルロシミュレーション結果から、増幅器のオフセット  $V_{offset}$  ( $\sigma$ ) を 3.03 LSB から 0.0250 LSB まで低減した。

図-10 は提案する補間構造の効果を表す。比較器のオフセットが 0 V だと仮定すると、A/D 変換の歪の原因は増幅器だけになる。補間技術は歪による誤差の影響を 4 bits の全内分地点に分散させ、differential non-

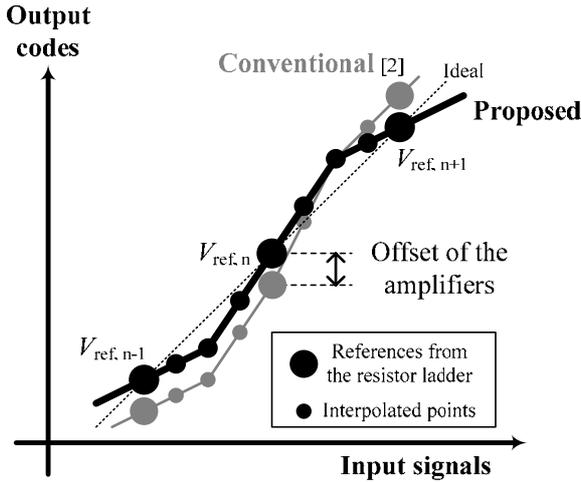


図-10 提案する補間構造の効果

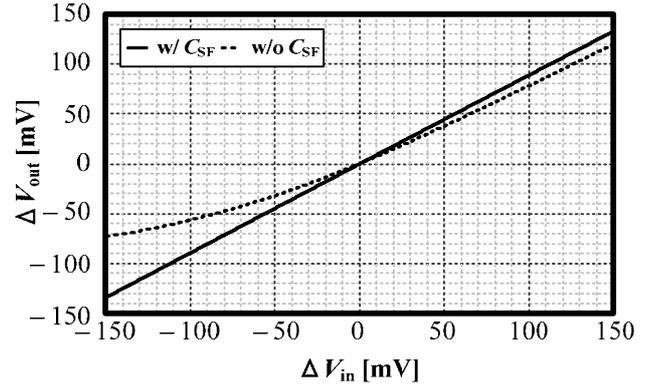


図-12  $C_{SF}$ によるソースフォロワー応答の線形性向上

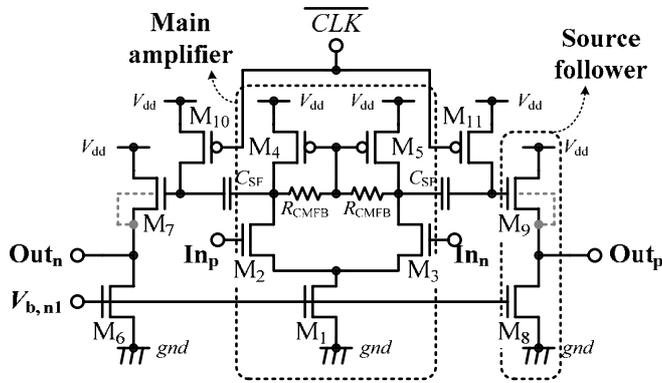


図-11 増幅器の構造

linearity (DNL) 誤差を低減する。従来のゲート補間 [2]と異なり、本研究では容量を利用して増幅器のオフセットを除去している。そのため抵抗ラダーから決まる比較地点は不動点になる。従って、増幅器の素子ばらつきによって比較地点が動いたとしても、その不動点が比較地点のずれの最大値を抑える。その結果、integral non-linearity (INL) 誤差も低減できる。

### 3.4. 増幅器

図-11 に示したように、増幅器の基本構造はメインアンプとソースフォロワーのカスケード接続である。その間に  $C_{SF}$  を挿入してソースフォロワーの入力端子とメインアンプの出力端子を分離させる。メインアンプの後にソースフォロワーを直結させると、低電源電圧ではソースフォロワーの出力バイアスが低くなるため増幅器の出力信号が歪む。その影響を図-12 に表す。

補間は増幅器による誤差を全補間地点に分散させる。そのため増幅器の利得が素子ばらつきなどによって設計値 ( $G_{amp}$ ) から動いても、A/D変換性能の劣化は小さい。増幅器の素子ばらつきによる  $3\sigma$ 分の誤差を 0.25 LSB以下に抑える条件は

$$\frac{\Delta G_{amp}}{G_{amp}} (3\sigma) \leq 2^{-n} \quad (4)$$

$n$  は増幅器間の補間ビット数を示す。

## 4. 実測結果

8-bit ADCを 90-nm CMOSプロセスで試作した。試作ADCのチップ写真は図-13 に示す。占有面積は 0.87  $\text{mm}^2$ である。図-14 はバックグラウンド補償を行なった場合のENOB測定結果を表す。ENOBは 7.0 bitsから変換周波数を増やすと劣化し、662 MSpsの際 10 MHz入力信号に対して 6.36 bitsのENOBとなった。Effective resolution bandwidth (ERBW) は 600 MHzであった。図-15 から補償をかけることにより、SNDRは 4 dB上昇した。FoM = Power dissipation / ( $2^{ENOB} \times \min(2 \times ERBW, \text{Sampling frequency})$ )は 600 MSpsの際 1.54 pJ/conversion stepを達成した。

分解能 7 bits 以上、変換周波数 600 MSps 以上、消費電力 100 mW 以下の ADC を表-1 にまとめた。600 MSps 以上ではインターリーブが主に使用されているが、文献[10]、[13]と本研究はインターリーブを使わなくても同レベルの性能を達成している。[13]は変換速度以外の全性能が本研究より上回った。一方、[10]は直並列型 (Coarse 4 bits, Fine 4 bits) なので、本研究のような full-flash 型より比較器数が 1/8 である。しかし消費電

表-1 ADC 性能比較

Ref.	$f_{\text{samp}}$ [MSps]	$P_d$ [mW]	ENOB (DC/Nyquist) [bits]	FoM [fJ/conv.]	Interleave
[8]	1100	46	6.52 / 5.52	910	used
[9]	800	30	7.65 / 7.05	280	used
[10]	770	70	7.18 / 6.67	940	unused
[11]	2500	50	5.85 / 5.40	480	used
[12]	600	30	7.47 / 7.02	340	used
[13]	500	55	8.99 / 8.49	300	unused
This	600	98.6	6.87 / 6.47	1540	unused

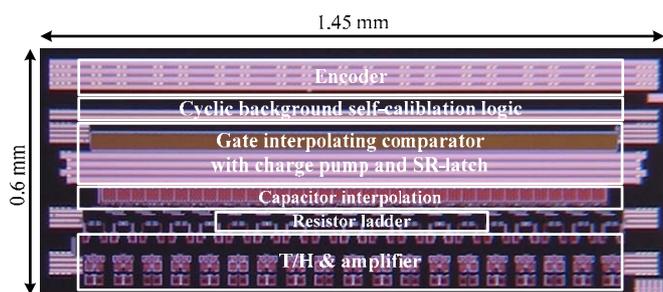


図-13 試作 ADC のチップ写真

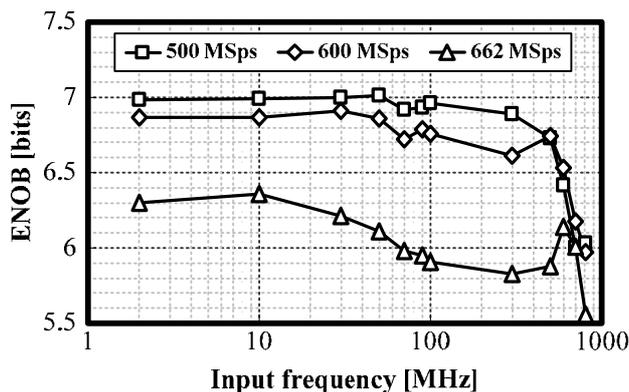


図-14 測定 ENOB vs. 入力周波数 (補償 on)

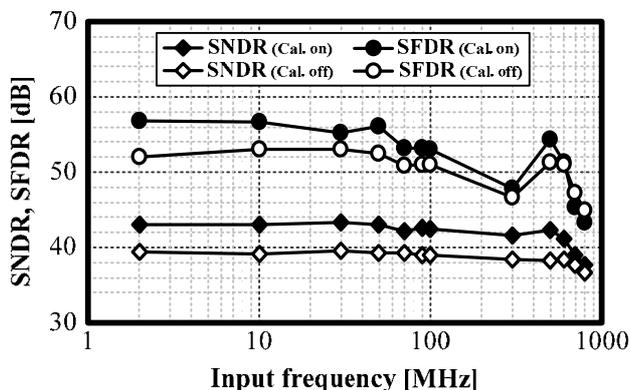


図-15 測定 SNDR、SFDR vs. 入力周波数 (600 MSps)

力が 1/8 倍程度にならないことは、提案した補間技術による消費電力の低減が有効であることを意味する。

## 5. 結論

本発表では補間技術を用いた並列型 ADC に対して巡回バックグラウンド自己補償を適用し、試作を行った結果を報告した。バックグラウンド自己補償技術による ENOB 低下は熱雑音より充分小さい際は無視できる。さらに 3 bits 分のゲート補間型比較器をただ一つの参照信号で補償できることを確認した。

また、容量補間とゲート補間を組み合わせることによって、DNL と INL 誤差の抑制効果以外に ADC の消費電力と占有面積を減らした。サンプリング容量と増

幅器の数は補間使用により 255 個から 19 に減少できた。

試作 ADC の占有面積は  $0.87 \text{ mm}^2$  であり、最大 ENOB は 500 MSps で 7.0 bits を、ERBW は 600 MHz を達成した。補償をかけることで、補償前と比べて SNDR が 4 dB 程度向上した。600 MSps の際 FoM は  $1.54 \text{ pJ / conversion-step}$  を達成した。

## 謝 辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、NEDO、JST、並びに、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

## 文 献

- [1] B. Song, P. L. Rakers, and S. F. Gillig, "A 1-V 6-b 50-MSps current-interpolating CMOS ADC," in *IEEE J. Solid-State Circuits*, vol. 35, pp. 647-651, Apr., 2000.
- [2] K. Sushihara and A. Matsuzawa, "A 7b 450Msamples/s 50mW CMOS ADC in  $0.3\text{mm}^2$ ," in *ISSCC Dig. Tech. Papers*, pp. 170-171, Feb., 2002.
- [3] K. Kusumoto, A. Matsuzawa, and K. Murata, "A 10-b 20-MHz 30-mW pipelined interpolating CMOS ADC," in *IEEE J. Solid-State Circuits*, vol. 28, pp. 1200-1206, Dec., 1993.
- [4] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto and T. Miki, "A 6-bit 3.5-GS/s 0.9-V 98-mW flash ADC in 90nm CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 64-65, Jun., 2007.
- [5] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A low-noise self-calibrating dynamic comparator for high-speed ADCs," in *Proc. of ASSCC*, pp. 269-272, Nov., 2008.
- [6] B. Razavi, "Design of analog CMOS integrated circuits," in McGraw-Hill.
- [7] S. Kang, and Y. Leblebici, "CMOS digital integrated circuits," in McGraw-Hill.
- [8] C. Hsu, C. Huang, Y. Lin, C. Lee, Z. Soe, T. Aytur, and R. Yan, "A 7b 1.1GS/s reconfigurable time-interleaved ADC in 90nm CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 66-67, Jun., 2007.
- [9] W. Tu, T. Kang, "A 1.2V 30mW 8b 800MS/s time-interleaved ADC in 65nm CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 72-73, Jun., 2008.
- [10] K. Ohhata, K. Uchino, Y. Shimizu, Y. Oyama, and K. Yamashita, "A 770-MHz, 70-mW, 8-bit subranging ADC using reference voltage precharging architecture," in *Proc. of ASSCC*, pp. 41-44, Nov., 2008.
- [11] E. Alpman, H. Lakdawala, L. R. Carley, and K. Soumyanath, "A 1.1V 50mW 2.5GS/s 7b time-interleaved C-2C SAR ADC in 45nm LP digital CMOS," in *ISSCC Dig. Tech. Papers*, pp. 76-77, Feb., 2009.
- [12] W. Liu, Y. Chang, S. Hsien, B. Chen, Y. Lee, W. Chen, T. Yang, G. Ma, and Y. Chiu, "A 600MS/s 30mW  $0.13\mu\text{m}$  CMOS ADC array achieving over 60dB SFDR with adaptive digital equalization," in *ISSCC Dig. Tech. Papers*, pp. 82-83, Feb., 2009.
- [13] A. Verma and B. Razavi, "A 10b 500MHz 55mW CMOS ADC," in *ISSCC Dig. Tech. Papers*, pp. 84-85, Feb., 2009.