

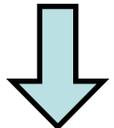
Si CMOSを用いた60GHz帯無線通信 回路の検討

高山 直輝、松下 幸太、伊藤 彰吾、李 寧、
岡田 健一、松澤 昭

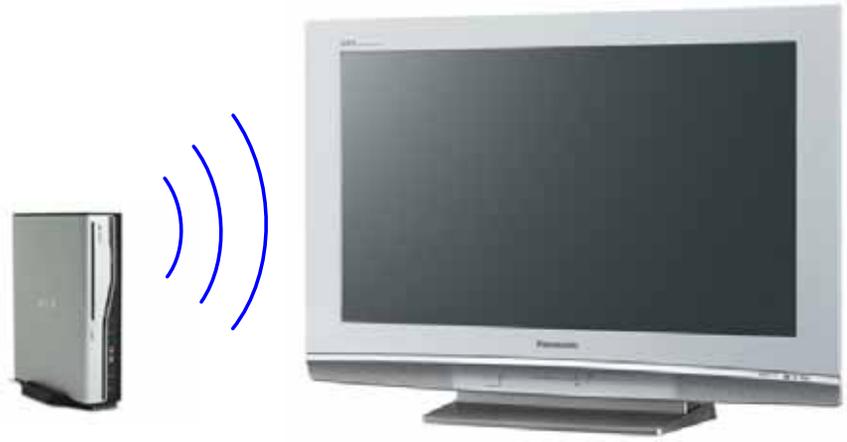
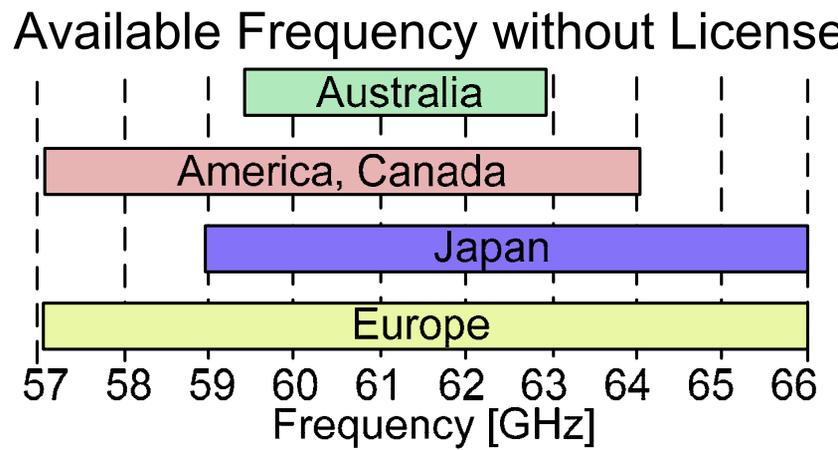
東京工業大学大学院理工学研究科

- 研究背景
- ディエンベディング
- モデリング
 - トランジスタ
 - デカップリングキャパシタ
- 電力増幅器
- 低雑音増幅器

60GHz帯の電波は減衰しやすいため
各地域で幅広い帯域が無免許で使用
できるよう開放されている



近距離での高速無線通信の実現

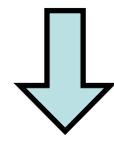


画像伝送用システム
データ伝送用システム

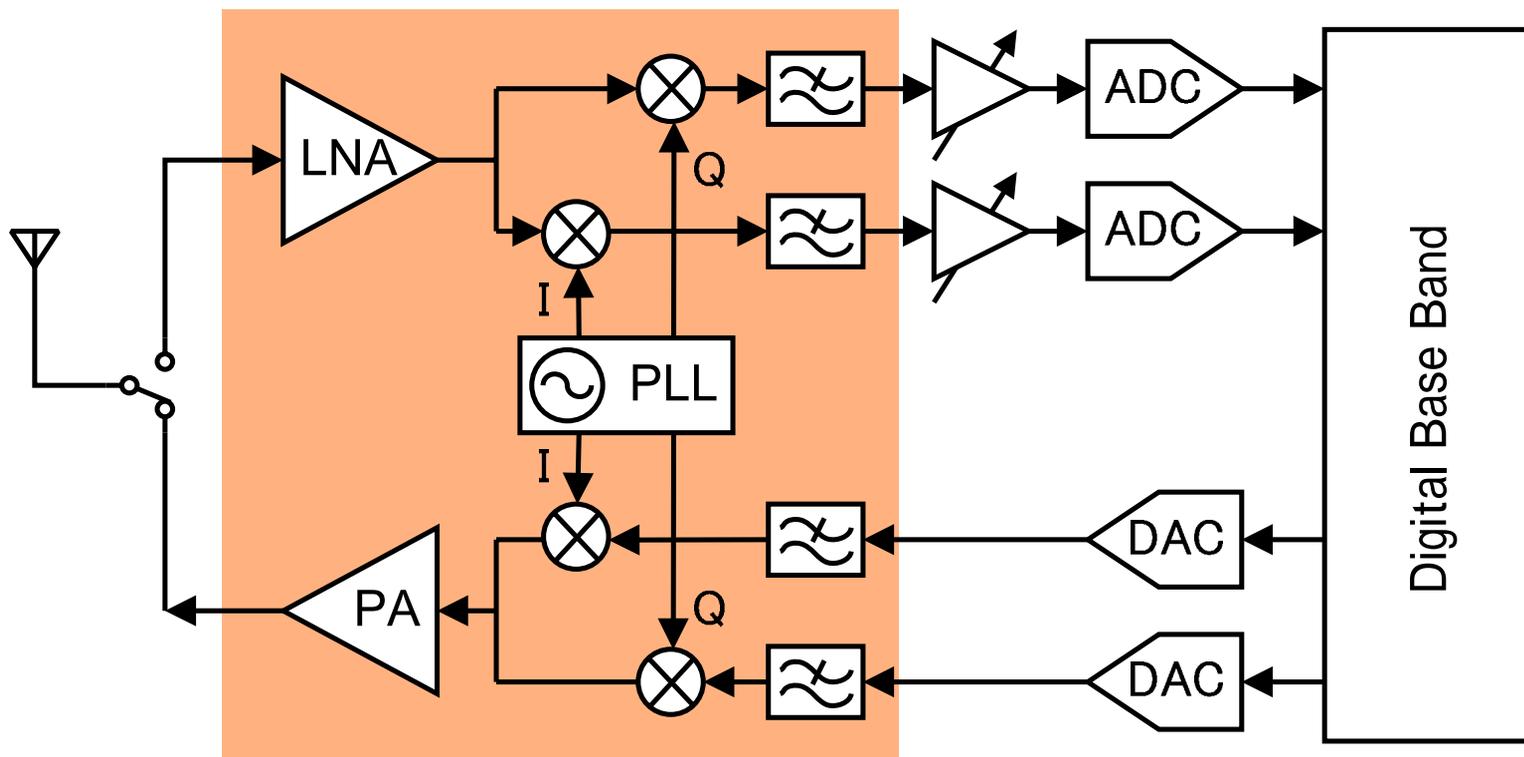
Si CMOSプロセスでの製造



低コスト、高集積化が可能

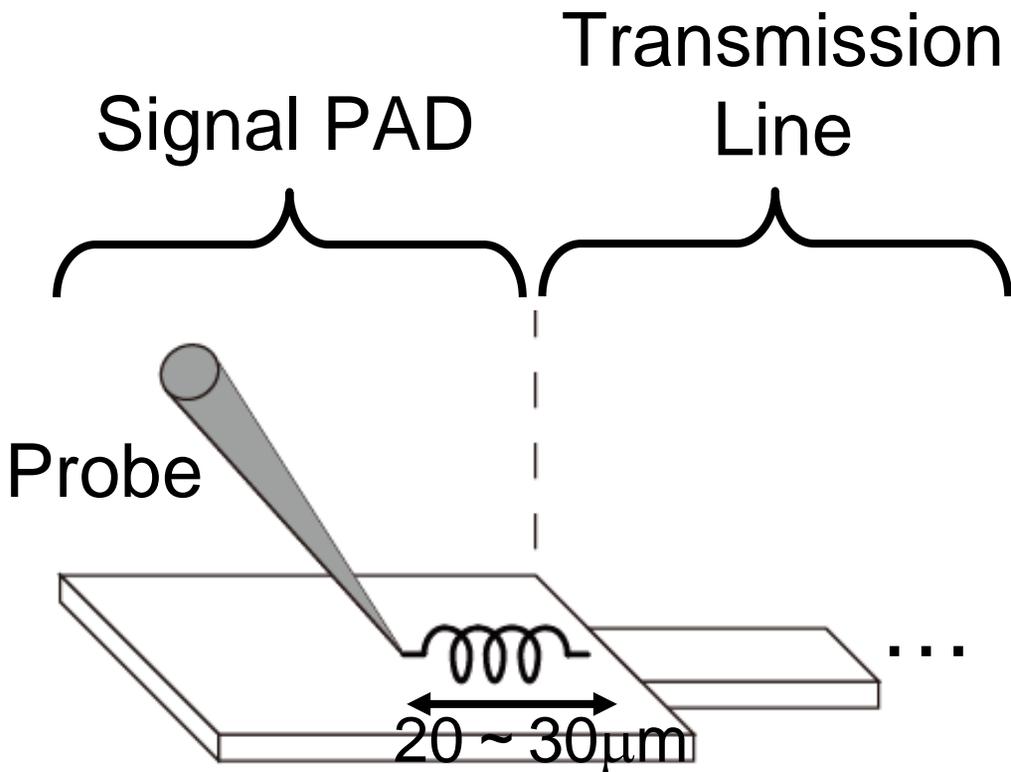


民生機器へのミリ波通信
機能の搭載

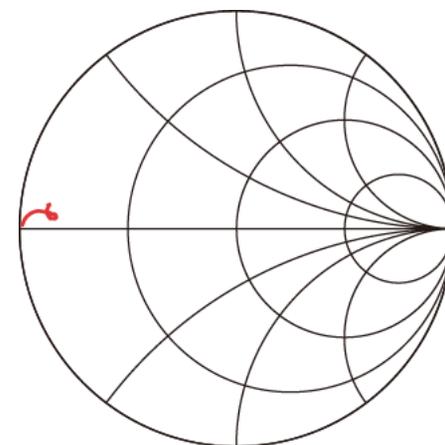
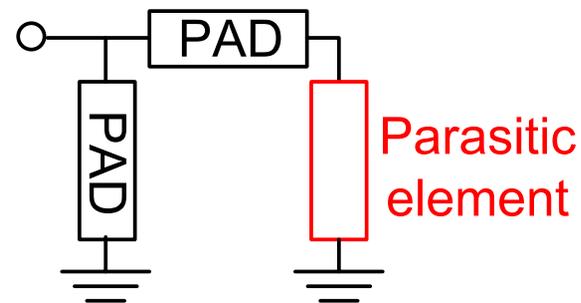


- ・LNA、PA、Mixer、PLLを設計し、1Chipへの集積化を目指す
- ・今回は各コンポーネントの試作を行った

・Open De-embedding



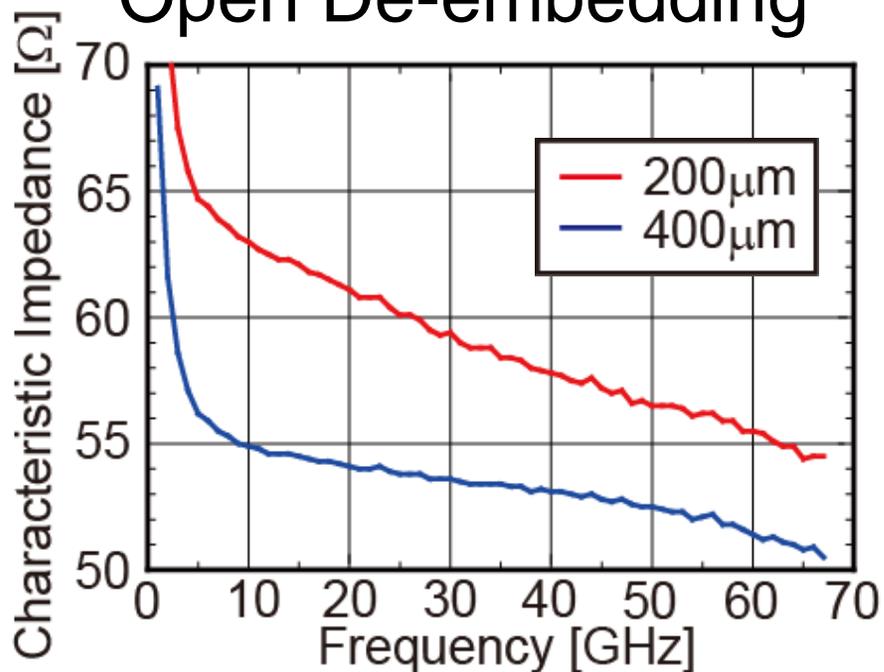
・Open-Short De-embedding



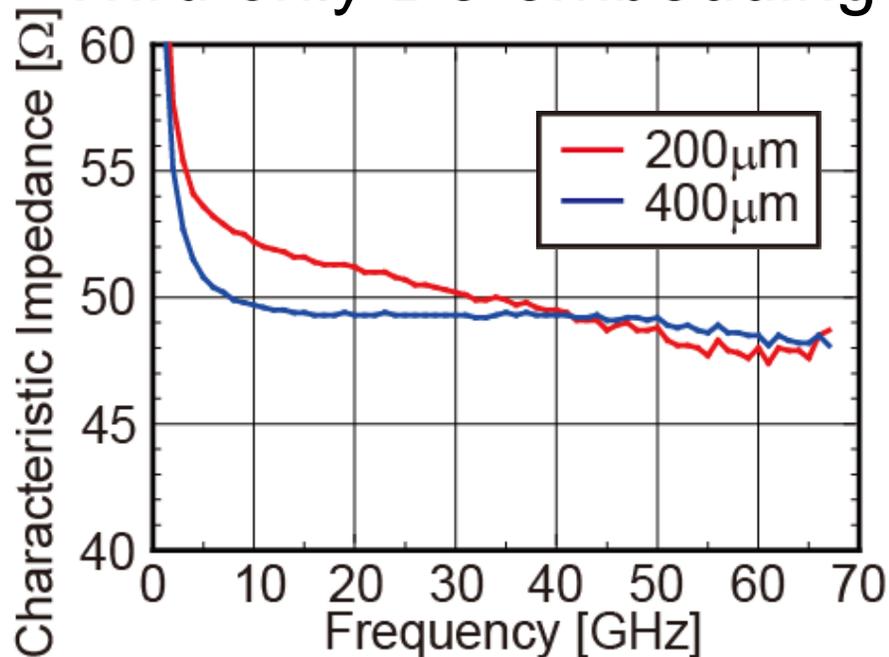
Shortが理想的な短絡にならない

PADのシリーズ成分を引けない
全体の線路長に対し無視できない長さ

Open De-embedding

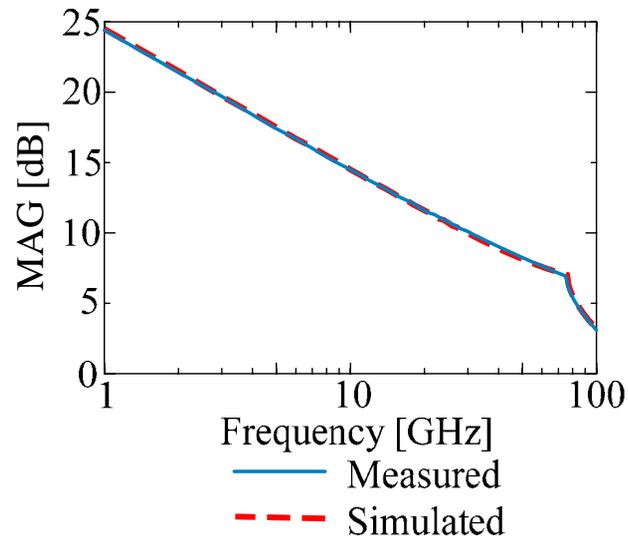
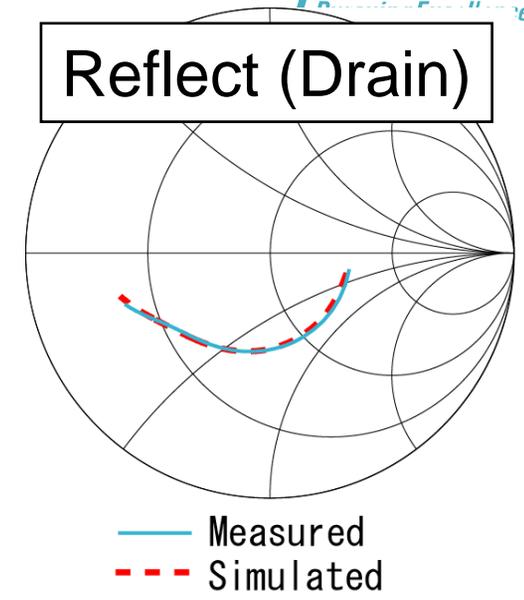
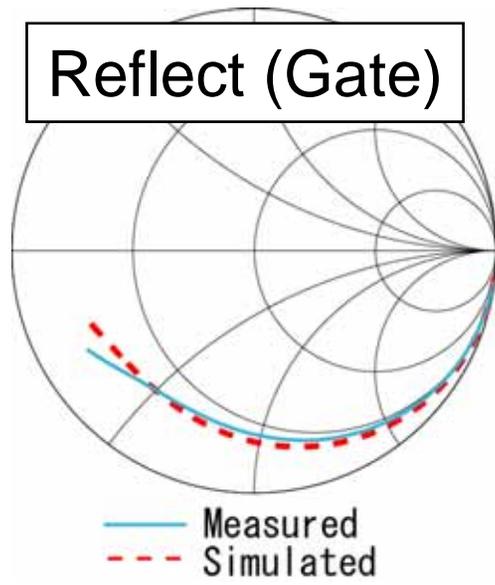
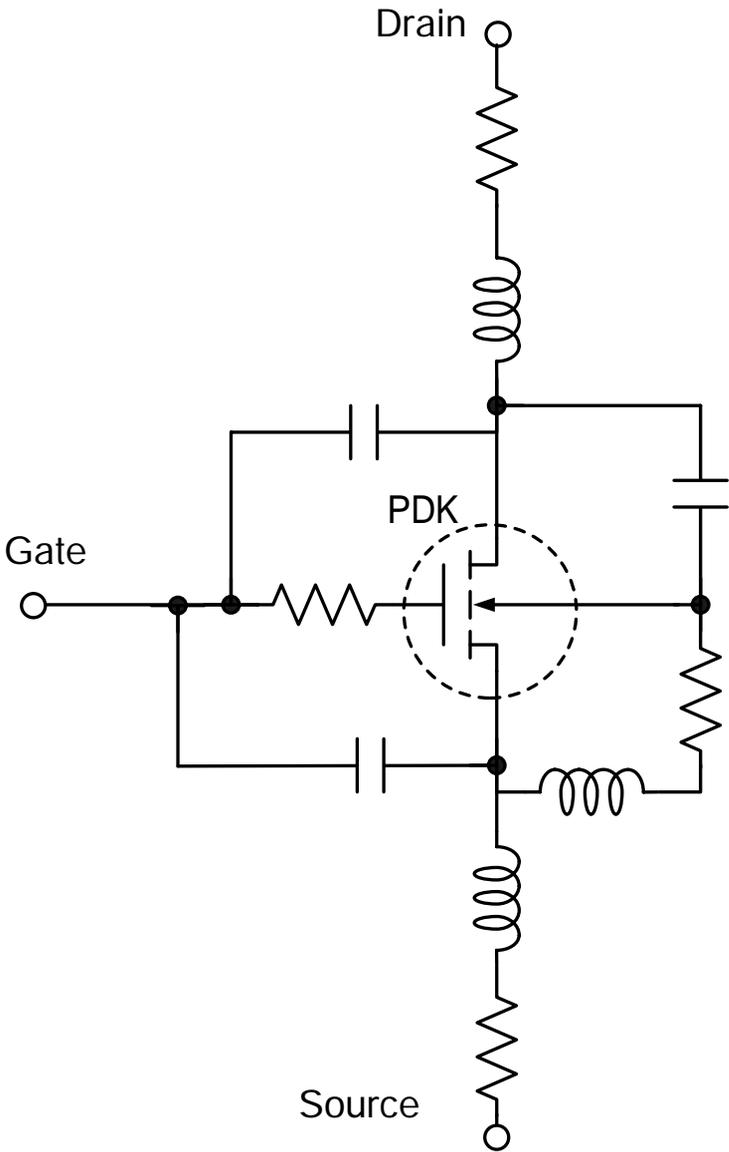


Thru only De-embedding

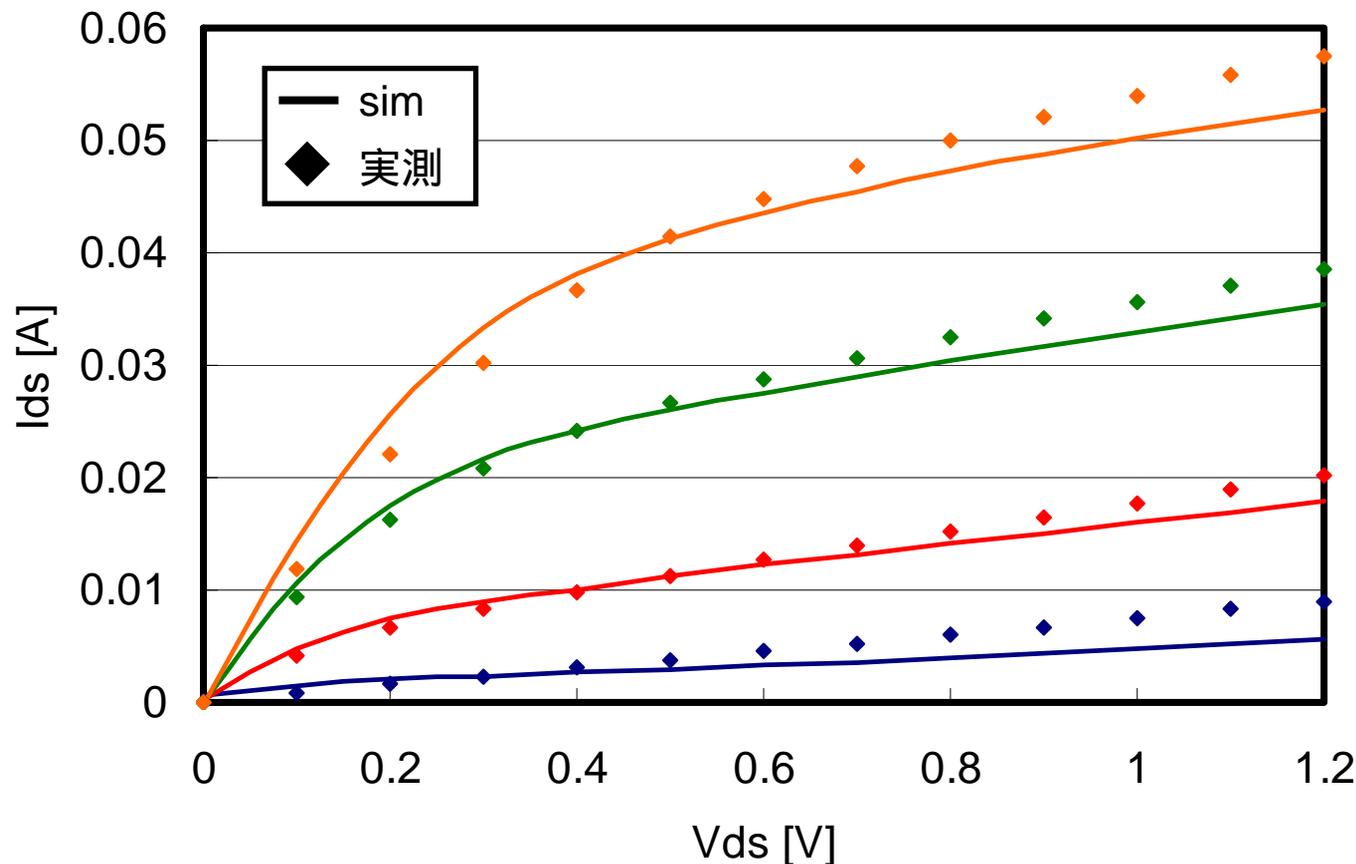


- ・Openディエンベディングでは用いる伝送線路の長さによって特性インピーダンスが大きく異なってしまふ
- ・Thruディエンベディングを用いることによってPADのシリーズ成分も除去することができ、伝送線路の長さによらず特性インピーダンスが一定となる

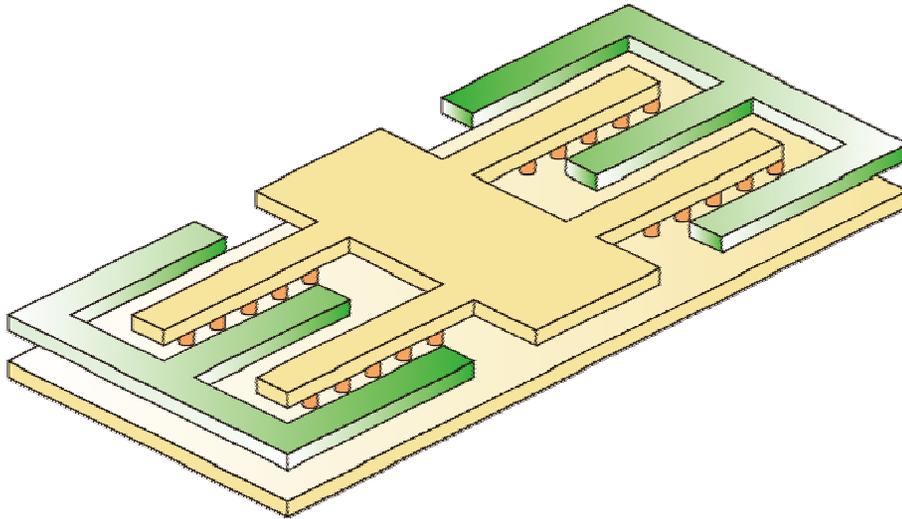
トランジスタのモデリング(Sパラ)



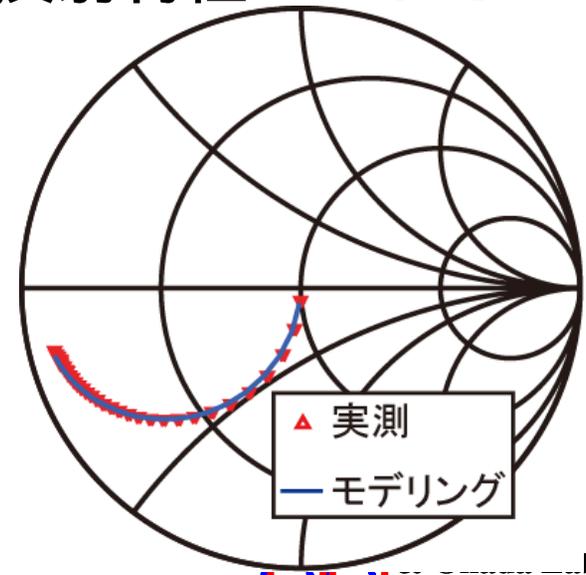
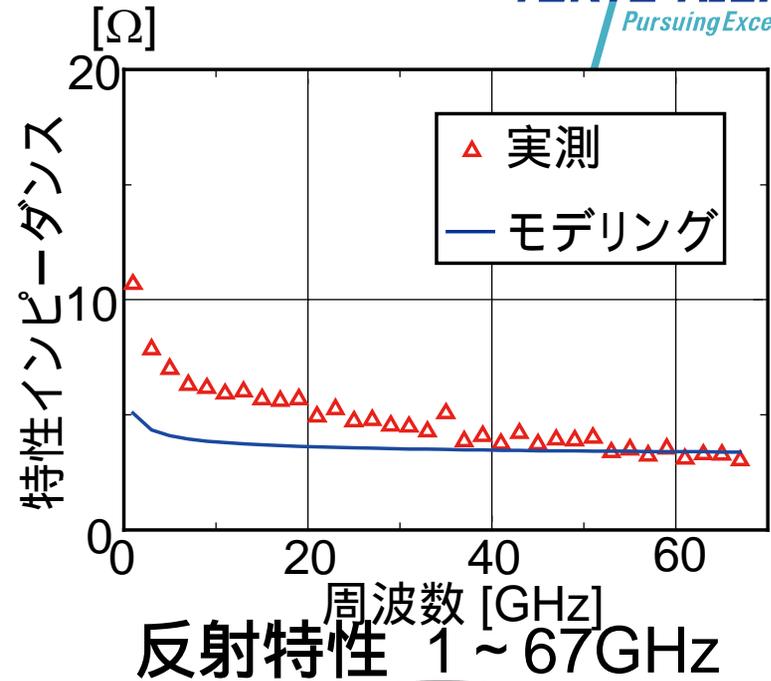
トランジスタサイズ : 80 μm



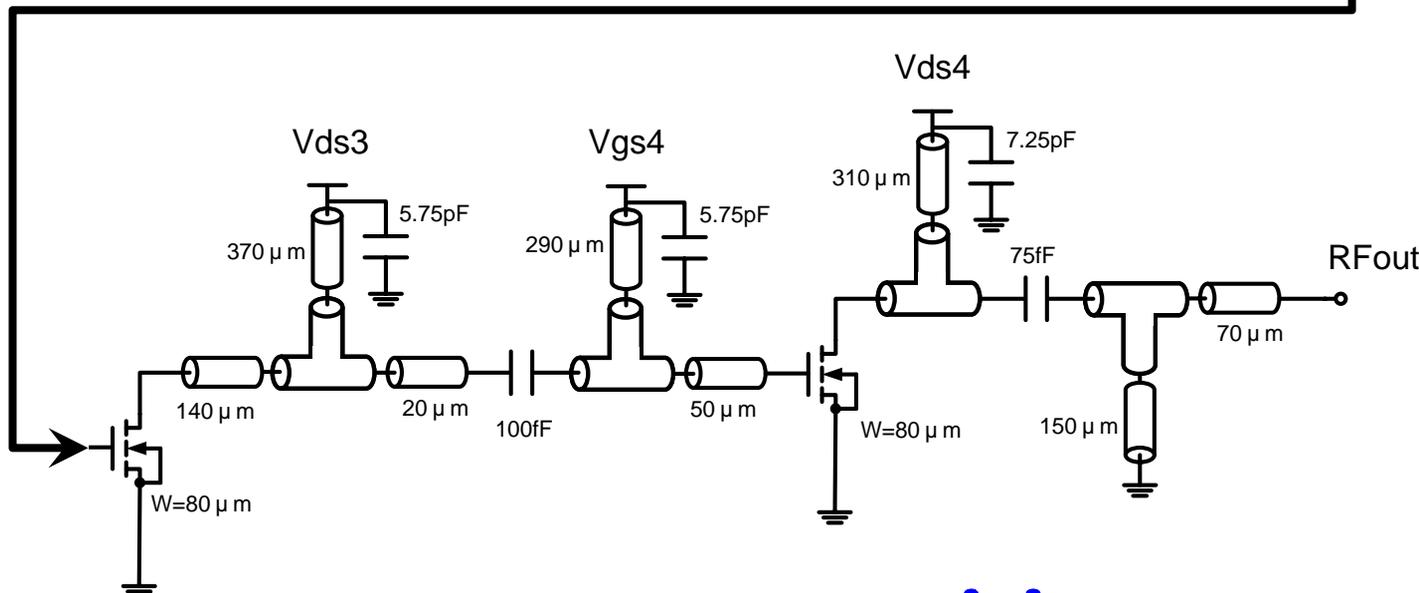
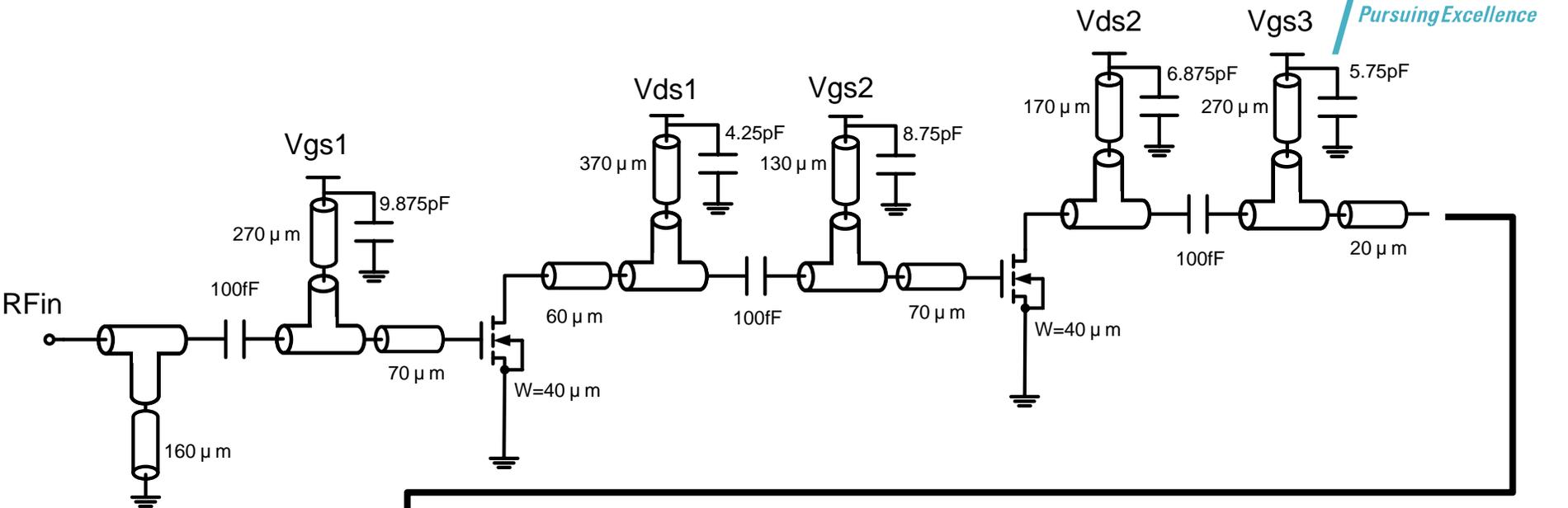
Inter-digital Capacitor



De-coupling Capacitorを特性インピーダンスの低い伝送線路としてモデリング

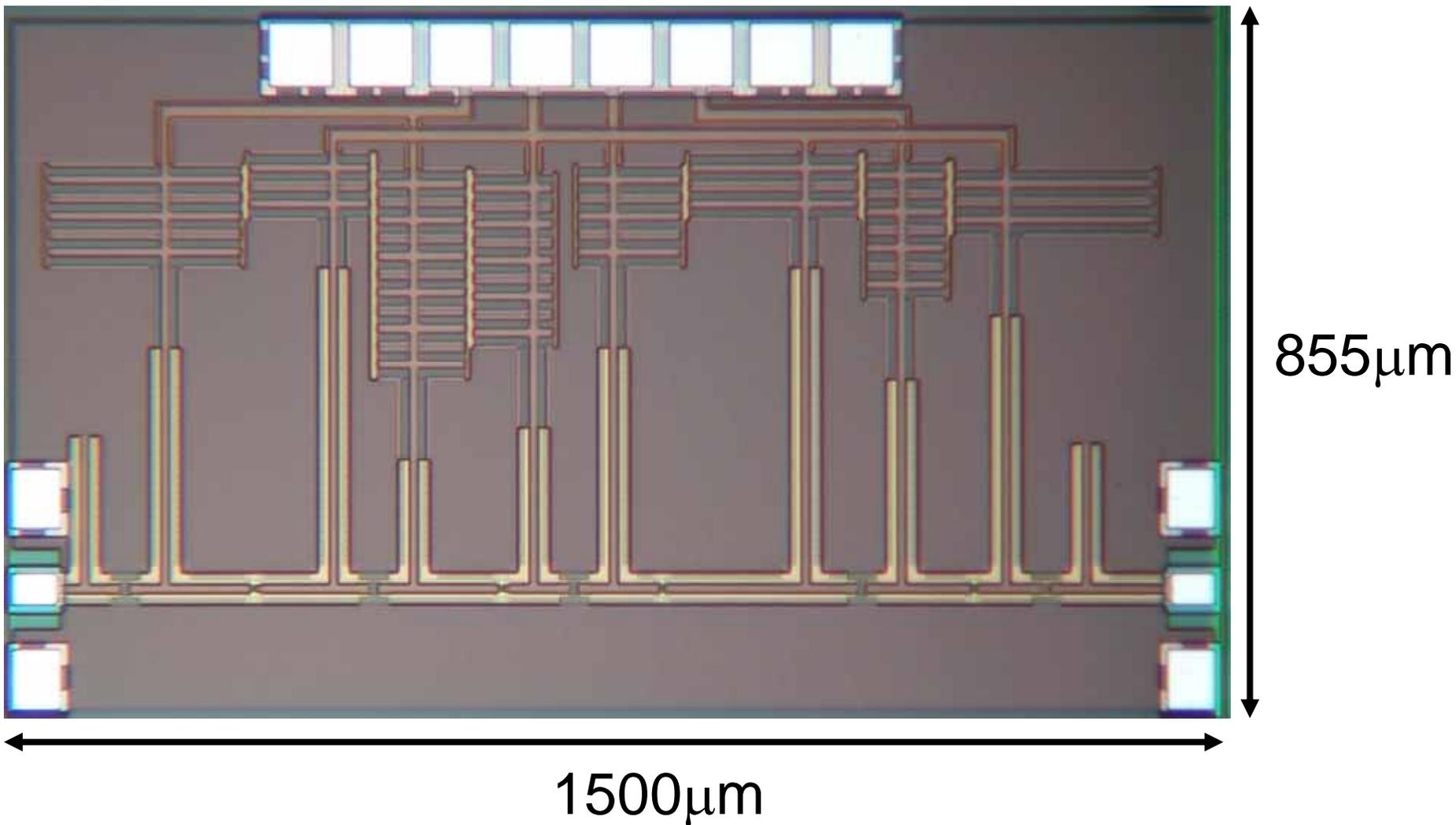


4-stage PA Circuit



$V_{ds}=1.2[V]$
 $V_{gs1}=0.95[V]$
 $V_{gs2}=0.95[V]$
 $V_{gs3}=0.8[V]$
 $V_{gs4}=0.85[V]$

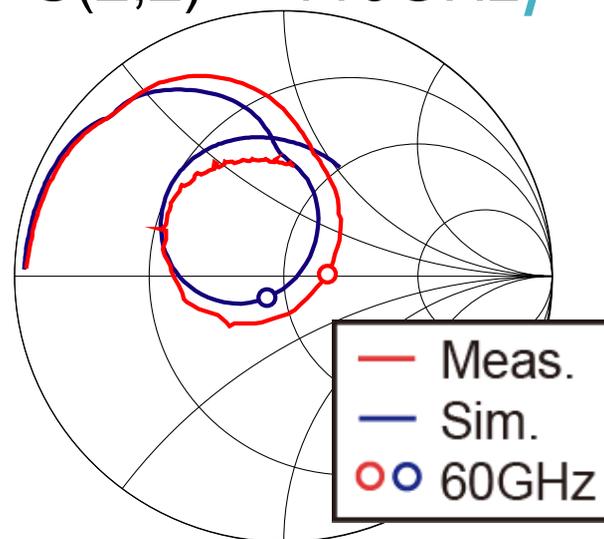
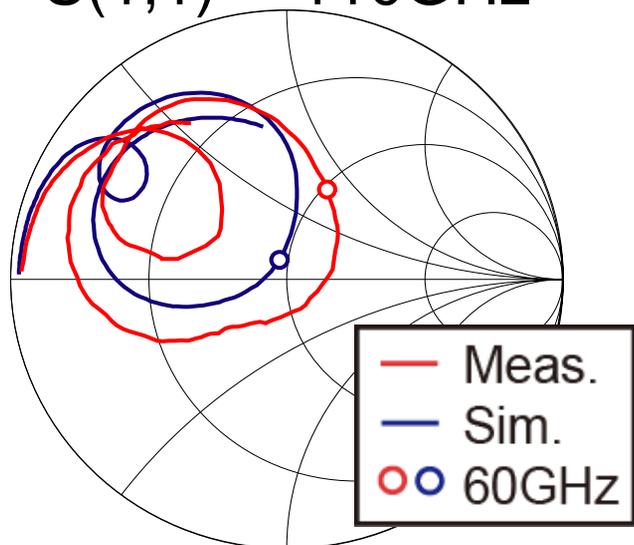
4-stage PA layout



4-stage PA Measurement Result

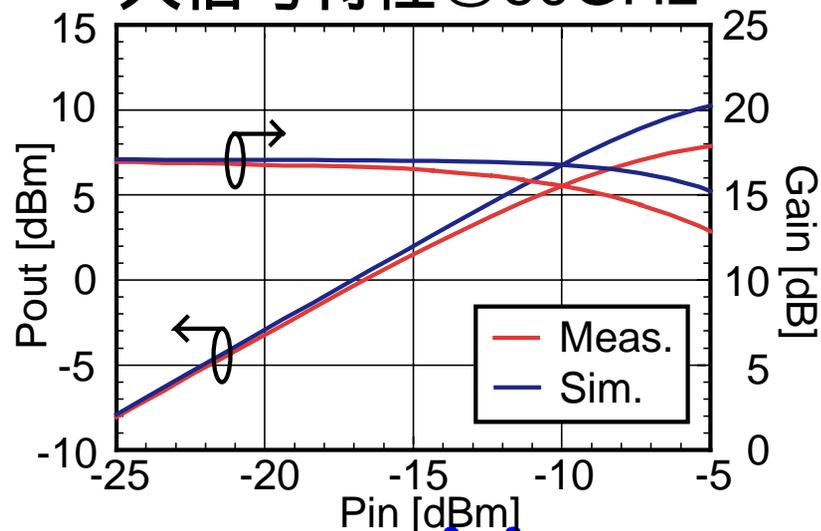
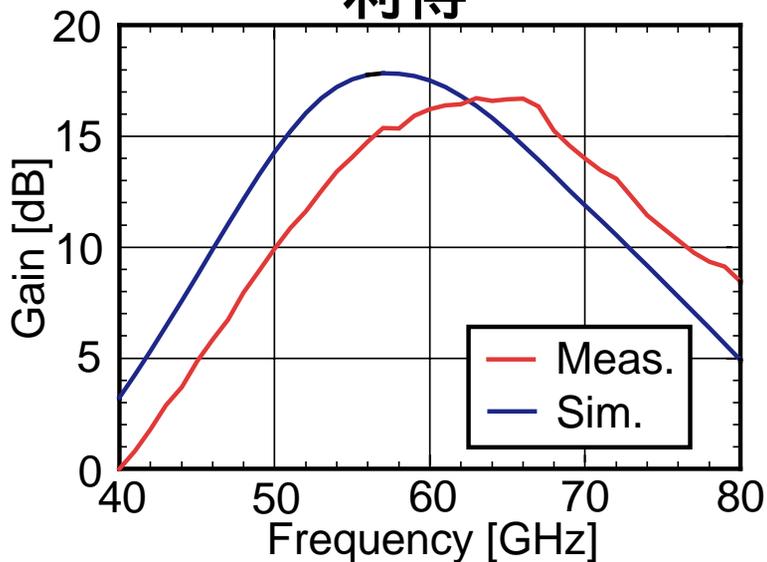
S(1,1) ~ 110GHz

S(2,2) ~ 110GHz



利得

大信号特性@60GHz



	This work	[1]	[2]	[3]	[4]
Technology	65nm CMOS	90nm CMOS	90nm CMOS	65nm CMOS	90nm CMOS
Vdd [V]	1.2	1.2	1.2	1	1.8
Gain [dB]	16	14	8.2	15.8	30
P _{1dB} [dBm]	4.6	11	8.2	2.5	10.3
P _{DC} [mW]	122	81	229	43.5	178
PAE [%]	2.3	15	2.4	3.95	10.3

[1] Tim LaRocca et al., "60GHz CMOS Differential and Transformer-Coupled Power Amplifier for Compact Design," IEEE Radio Frequency Integrated Circuits Symposium, pp. 65-68, June 2008

[2] T. Suzuki et al., "60 and 77GHz power amplifiers in standard 90 nm CMOS," IEEE Solid-State Circuits Conference, pp. 562-636, February 2008

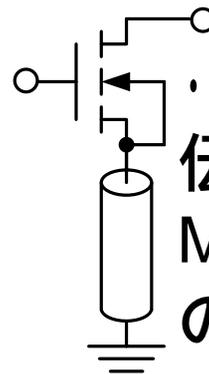
[3] Wei L Chan et al., "A 60GHz-Band 1V 11.5dBm Power Amplifier with 11% PAE in 65nm CMOS," IEEE Solid-State Circuits Conference, pp. 380-381, February 2009

[4] Jing-Lin Kuo et al., "A 50 to 70 GHz Power Amplifier Using 90 nm CMOS Technology," IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 19, NO. 1, January 2009

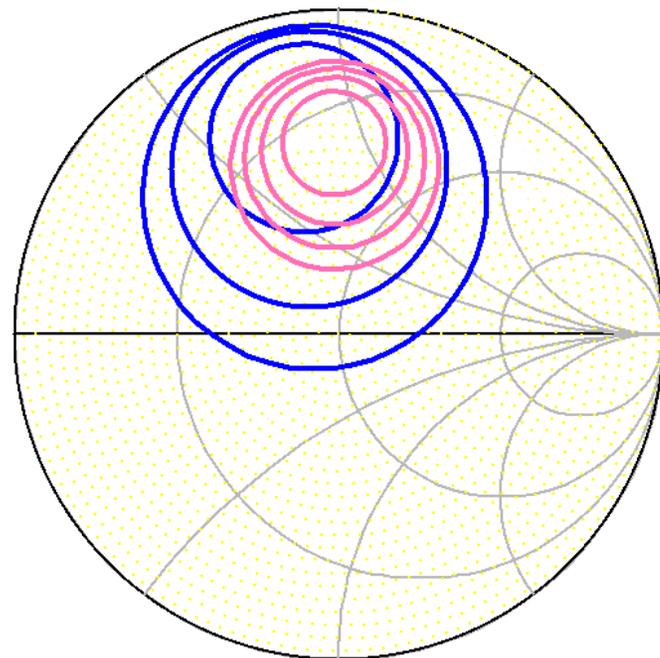
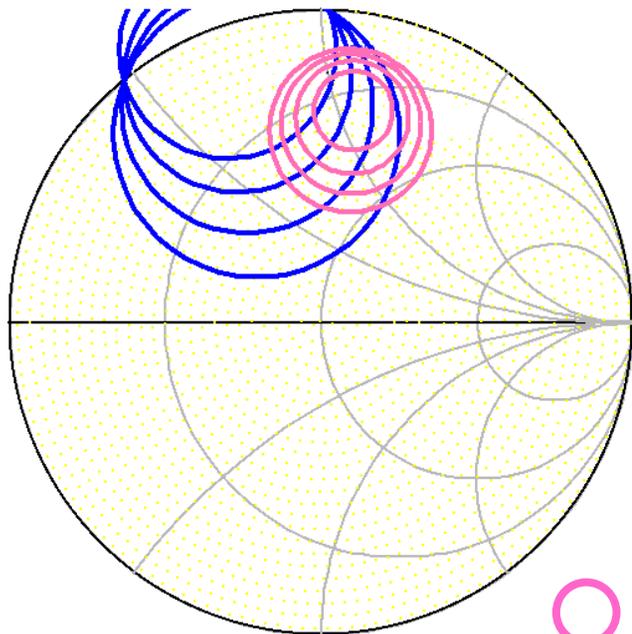
- Noise Matchingと Gain Matchingのインピーダンスが異なる



- NFを良くしようとすると入力端で反射が起こる

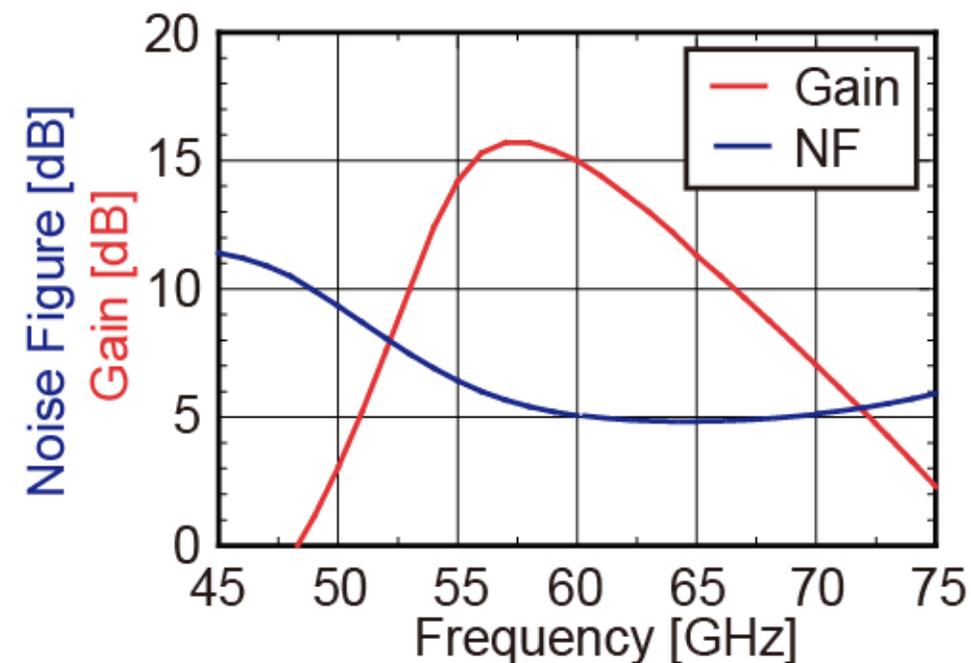


- Source degenerationとして伝送線路を挿入し、Noise MatchingとGain Matchingのインピーダンスを合わせる



○ Noise Circles

○ Available Gain Circles



S(1,1)
(59 ~ 65GHz) < -11.4 dB

S(2,2)
(59 ~ 65GHz) < -5.1 dB

Gain@60GHz 15 dB

NF@60GHz 5 dB

Power Cons. 22 mW

	Proposed	[5]	[6]	[7]	[8]	[9]
Technology	90nm CMOS	90nm CMOS	90nm CMOS	90nm CMOS	90nm CMOS	65nm CMOS
Topology	Dual-CS	CS	cascode	cascode	CS	cascode
Gain [dB]	15	15	14.6	15.5	12.2	22.3 (diff.)
NF [dB]	5.0	4.4	5.5 (sim)	6.5	6 (sim)	6.1
Power [mW]	22	3.9	24	86	10.5	35

[5] Emanuel Cohen, et al., RFIC, pp. 61-64, 2008.

[6] Terry Yao, et al., IEEE JSCC, vol. 42, no. 5, pp. 1044-1057, 2007.

[7] Stefano Pellerano, et al., ESSCIRC, pp. 352-355, 2007.

[8] Babak Heydari, et al., IEEE JSCC, vol. 42, no. 12, pp. 2893-2903, 2007.

[9] Christopher Weyers, et al., ISSCC, pp. 192-192, 2008.

- 60GHz帯において素子のモデリングを行う時、ディエンベディング手法によって大きな差が出てしまう。Thru only de-embeddingを用いることにより、より正確にTEGの寄生成分を除去できることを確認した。
- 65nmCMOSプロセスを用いて4-stage PAを試作した。利得は16dB、P1dBは4.6dBmの性能を得た。
- ソースデジェネレーションを用いて、反射を抑えながらNFを良くできることを確認した。シミュレーションにおいて利得15dB、NF5dBの性能を得た。