

# 超高速・低電力ADC

松澤 昭 宮原 正也

東京工業大学

2008.0916

A. Matsuzawa



# 内容

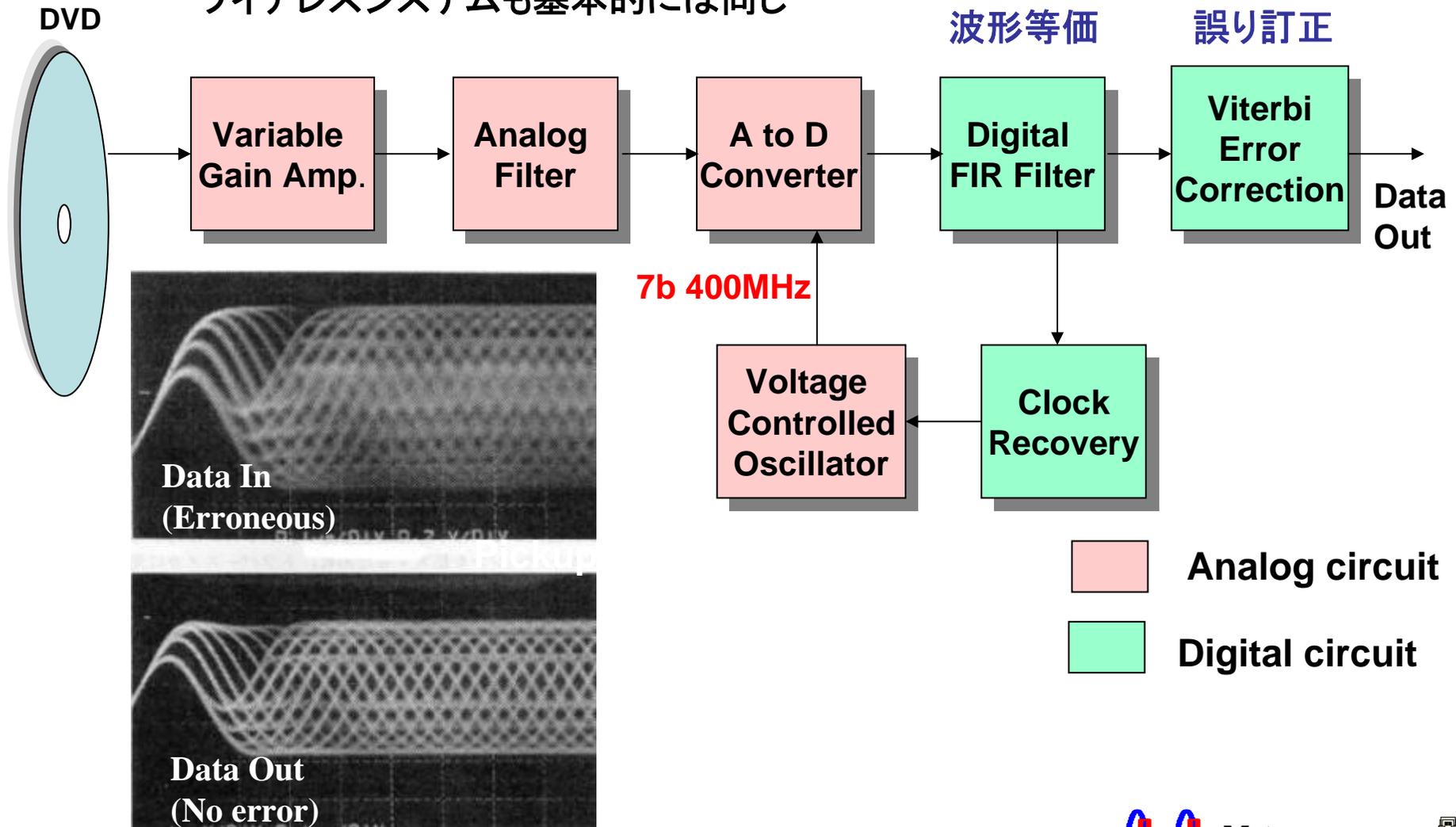
2

**TOKYO TECH**  
Pursuing Excellence

- はじめに
- **6bit 超高速ADCの動向**
- **8bit 以上の超高速ADCの動向**
- まとめ

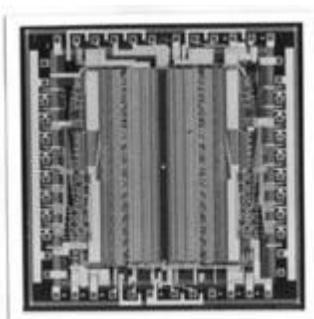
# ADC応用の例：DVDシステム

DVDでは再生された信号をAD変換して、イコライザーや誤り訂正をデジタル技術で行うことで信号品質を上げる。ワイアレスシステムも基本的には同じ



# DVD用超高速ADCの開発

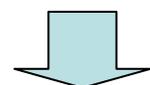
超高速ADCの民生機器応用にはCMOS化と低電力・低コスト化が不可欠であった



## 91年当時、世界最高速の6b ADC

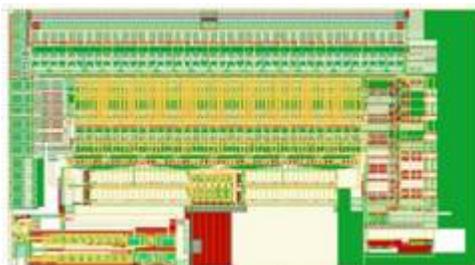
6b, 1GHz ADC  
2W,  
1.5um Bipolar

A. Matsuzawa, SSCC 1991

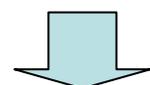


## 当時、世界最高速のCMOS ADC

K. Sushihara and A. Matsuzawa, ISSCC 2000.



6b, 800MHz ADC  
400mW, 2mm<sup>2</sup>  
0.25um CMOS



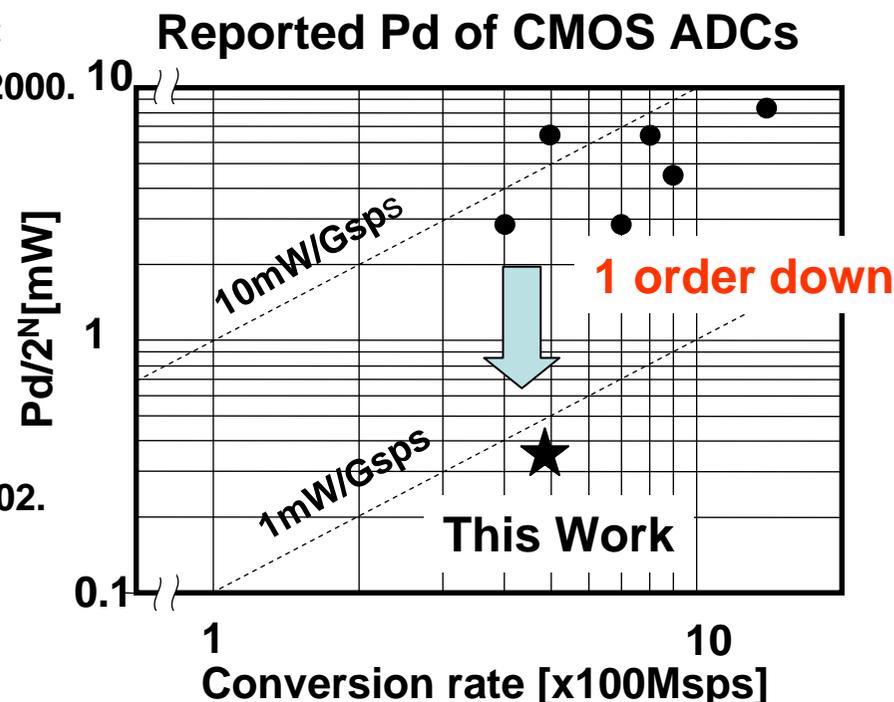
## 高速性を維持し、電力を1/8に下げた

K. Sushihara and A. Matsuzawa, ISSCC 2002.



Technology : 0.18um CMOS(3AL1P5)  
Area : 0.88mm X 0.34mm

7b, 400MHz ADC  
**50mW, 0.3mm<sup>2</sup>**  
0.18um CMOS



# アナログ・デジタル混載 SoC

5

TOKYO TECH  
Pursuing Excellence

コストダウンと高速化のためにはADCなどのアナログ回路を内蔵する必要がある

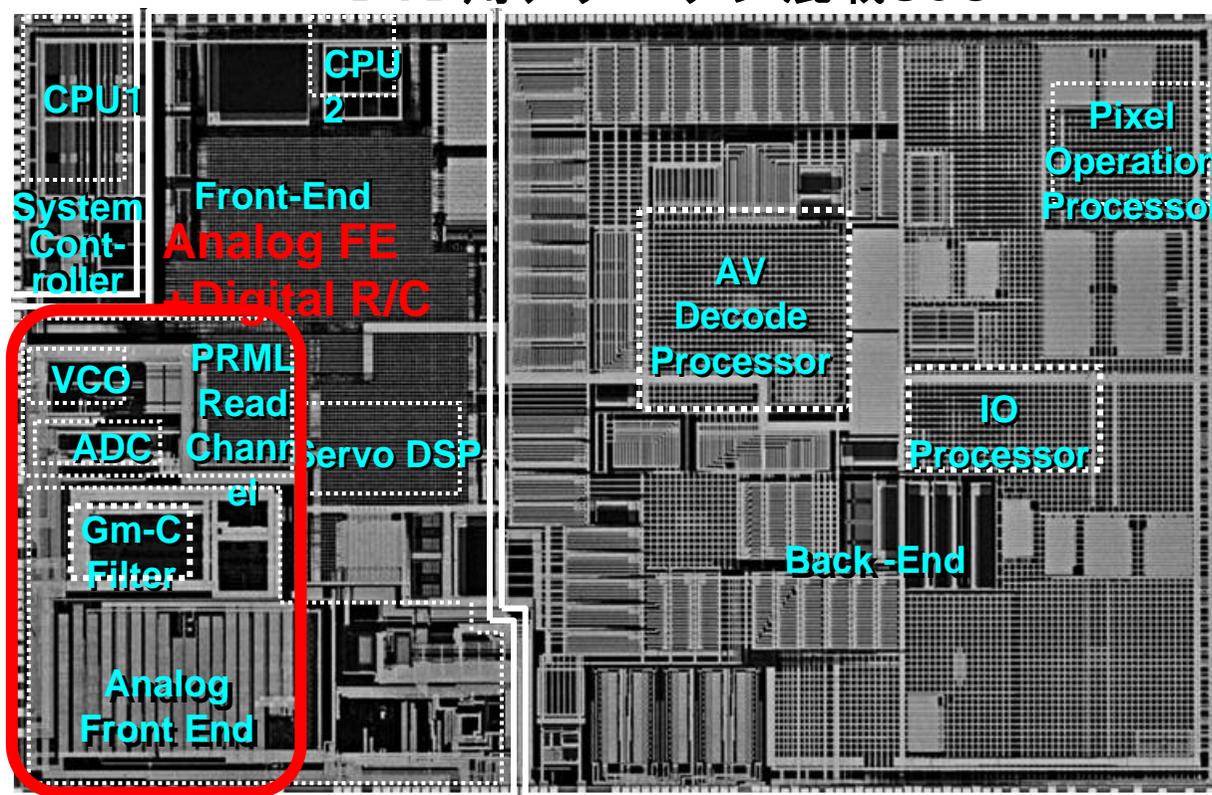
→90nm or 45nmなどの微細CMOSの使用

1V動作が可能

小面積 低電力

## DVD用アナ・デジ混載SoC

0.13um, Cu 6Layer, 24MTr



Okamoto, et al., ISSCC 2003

# ミリ波に必要なADCの帯域と変換周波数

6

**TOKYO TECH**  
Pursuing Excellence

## 【640Mbps】 16QAM

- ・ 信号帯域 : 200MHz
- ・ ADC : 400Msps ( 2サンプル/シンボル ) 8 ~ 10bit
- ・ DAC : 800Msps ( 4サンプル/シンボル ) 10 ~ 12bit

$$\frac{640MHz}{4} \times 1.25 = 200MHz$$

## 【1G bps】 64QAM

- ・ 信号帯域 : 200MHz
- ・ ADC : 400Msps ( 2サンプル/シンボル ) 10 ~ 12bit
- ・ DAC : 800Msps ( 4サンプル/シンボル ) 12bit

## 【2.4Gbps】 QPSK

- ・ 信号帯域 : 1.5GHz
- ・ ADC : 3.0 Gsps ( 2サンプル/シンボル ) 5 ~ 6bit
- ・ DAC : 6.0 Gsps ( 4サンプル/シンボル ) 7 ~ 9bit

## 【10Gbps】 16QAM

信号帯域 : 3.0 MHz

- ・ ADC : 6.0 Gsps ( 2サンプル/シンボル ) 8 ~ 10bit
- ・ DAC : 12.0 Gsps ( 4サンプル/シンボル ) 10 ~ 12bit

# 超高速6b ADC開発状況

従来はFoMは数pJ程度が常識であったが、最近は50fJという極限の低電力化が進行

- ・変換周波数: Flash: 4GHz, Fold: 1.8GHz
- ・FoM: 8pJ→400fJ→50fJ (1GHz, 2mW)
- ・面積: 0.2mm<sup>2</sup>~0.02mm<sup>2</sup>

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

No.	Res.	Fs (GS/s)	Pd (mW)	FoM (pJ)	Area (mm <sup>2</sup> )	Tech. (nm)	Architecture	Feature	Publish
1	6	4.0	990.0	7.73	4.40	130	Flash		VLSI 04
2	6	4.0	182.0	1.30	0.20	130	Flash	Ref CAL.	ESSCIRC 03
3	6	3.5	98.0	0.90	0.15	90	Flash	Averaging	VLSI 07
4	6	0.8	12.0	0.40	0.13	65	Flash	Ref CAL.	VLSI 08
5	6	5.0	320.0	1.82	0.30	65	Flash	Averaging	VLSI 08
6	6	10.3	1600.0	4.85	?	90	Pipeline	10x Interleaving	VLSI 08
7	6	1.3	32.0	0.80	0.09	130	2b-SAR	2b	ISSCC 08
8	5	1.8	7.6	0.15	0.03	90	Flash	R-CAL	VLSI 08
9	5	1.8	2.2	0.05	0.02	90	1b_Fold+Flash	R-CAL	ISSCC 08

は今回紹介するもの

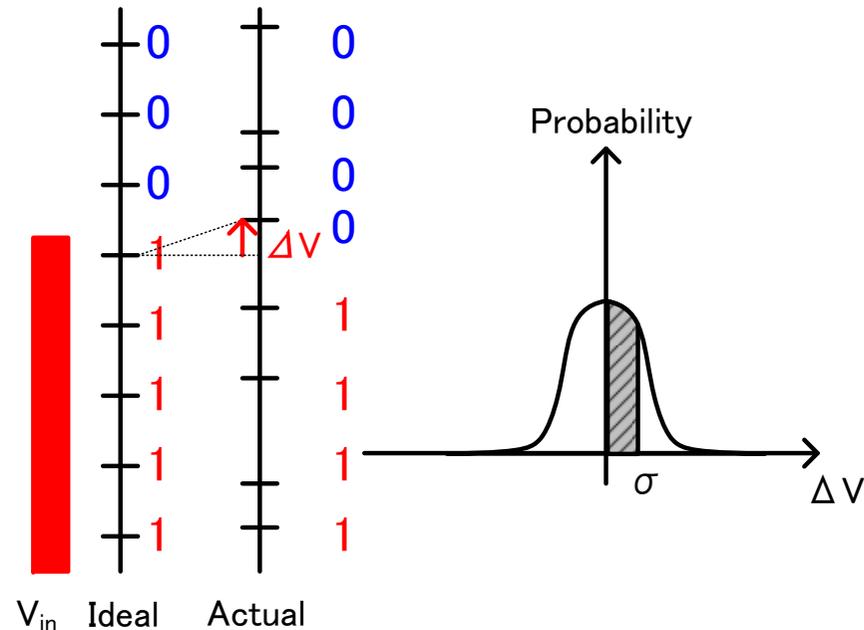
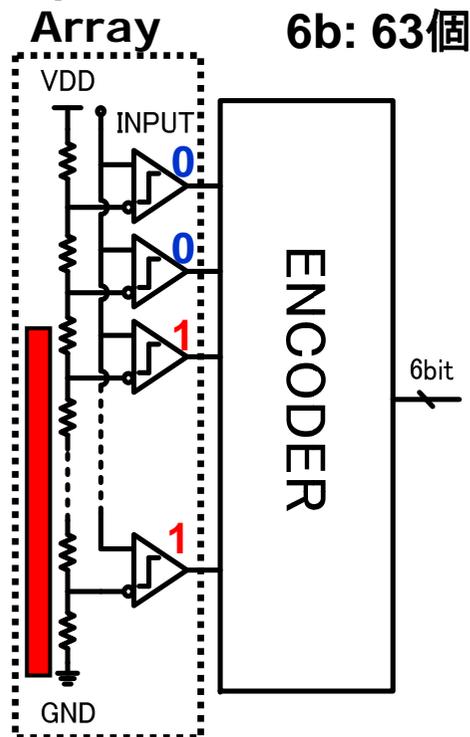
# Flash ADCの特徴

- 高速・低分解能に最も適した変換方式と**言われている**
- コンパレータの精度と応答速度がADCの性能を決定

1. ミスマッチによるオフセットばらつき [要求]0.2LSB以下 [実際]1LSB以上
2. 応答速度 ⇒ 微細化によりスケールング

$$V_q = \frac{V_{FS}}{2^N} \quad V_q=16\text{mV}, \text{ミスマッチ}<3\text{mV}$$

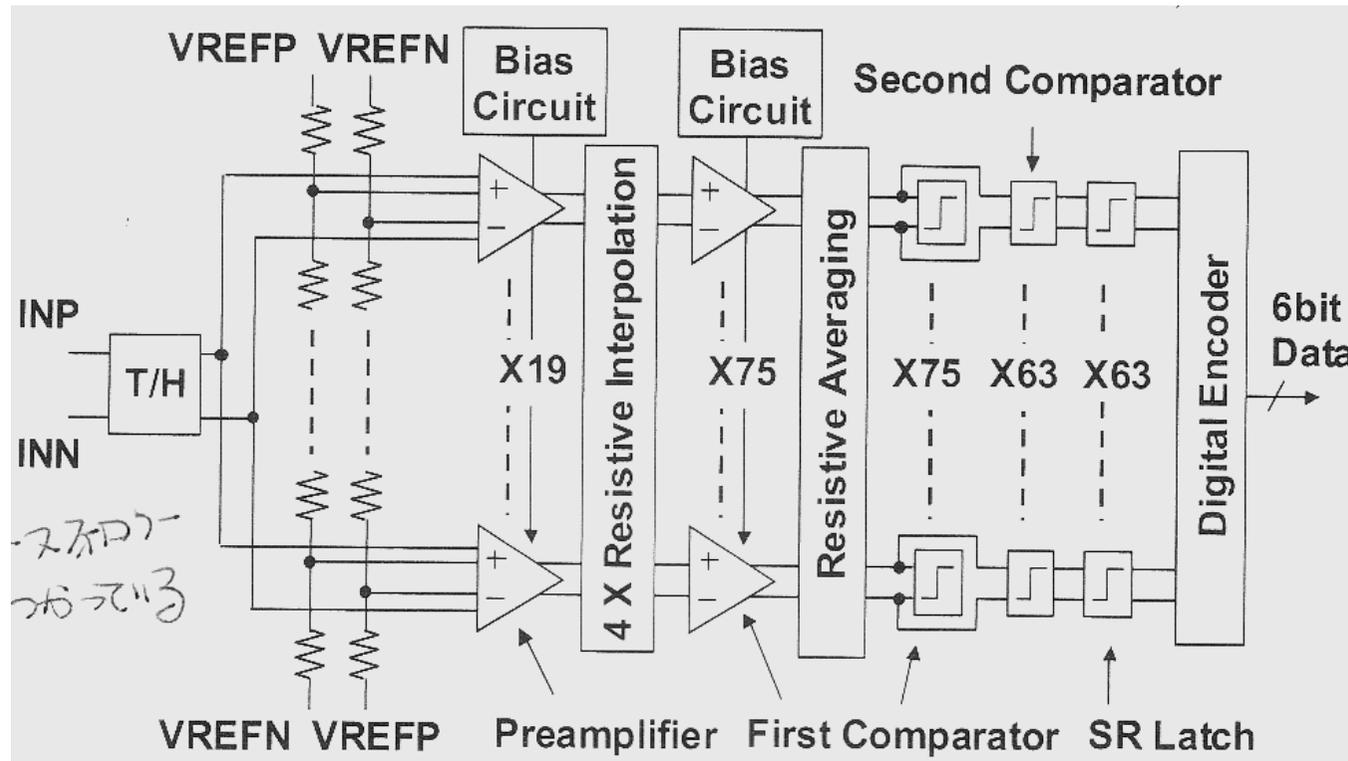
Comparator Array



# Flash型 (No.3)

K. Deguchi, et al., "A 6-bit 3.5GS/s 0.9V 98mW Flash ADC in 90nm CMOS."  
VLSI circuits symposium, pp.64-65, June, 2007. Renesas

## Flash タイプ



抵抗とアンプによるアベージングにより精度を上げている

# 比較器

手堅い貫通電流が流れるものを使用している。  
究極の低電力を実現するには貫通電流の流れないダイナミック型の使用が不可欠。

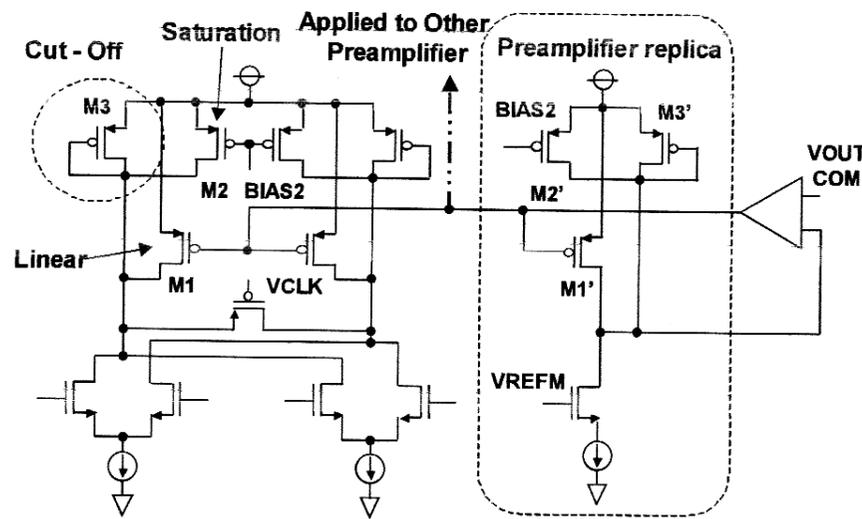
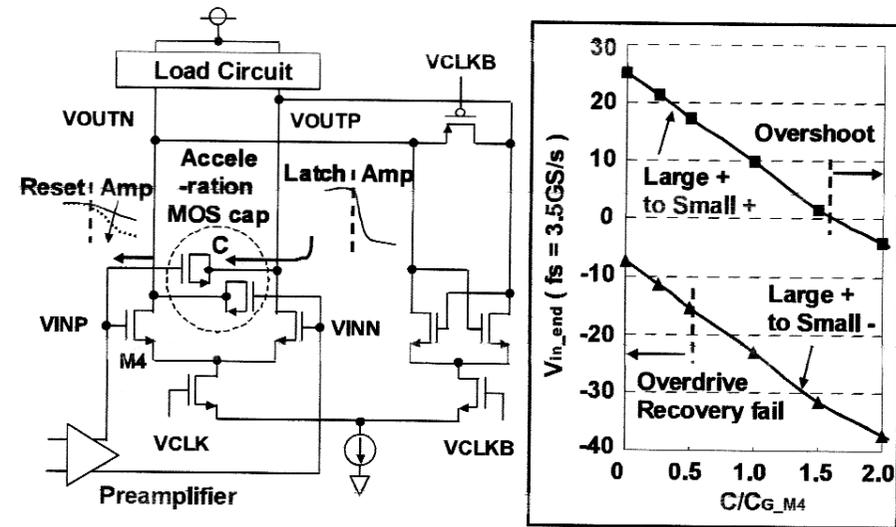


Fig. 2 Preamplifier circuit



(a) First Comparator (b) Vin at End of Amplification  
Fig. 3 Overdrive Recovery Enhancing Technique

消費電力は最小クラスだが 950pJはまだ大きい

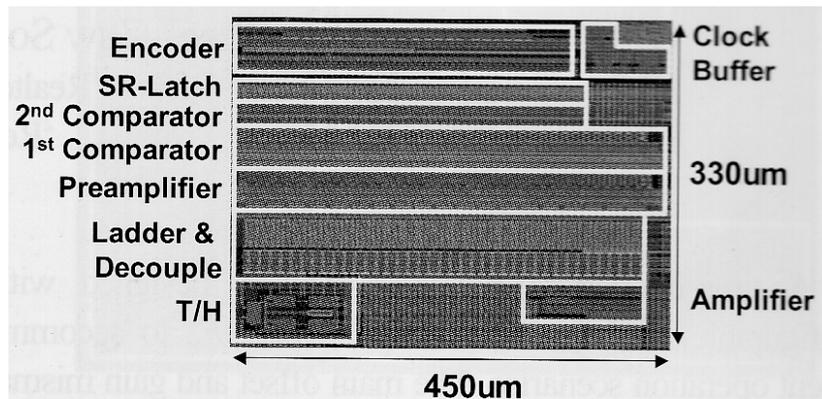
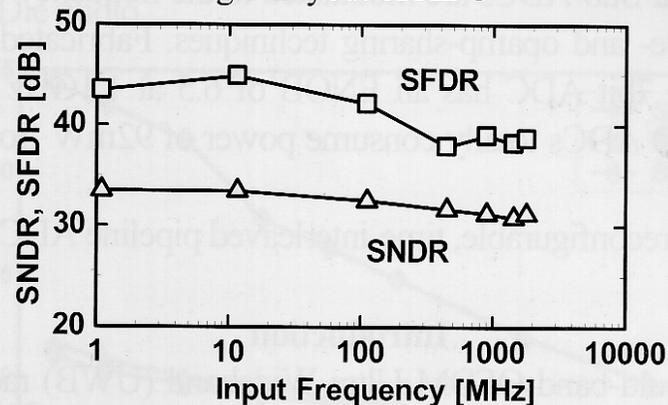


Fig.6 Layout of ADC



1GHz換算で28mW程度

SNDR=31dBは5bit相当

Table1. Performance summary (measurements)

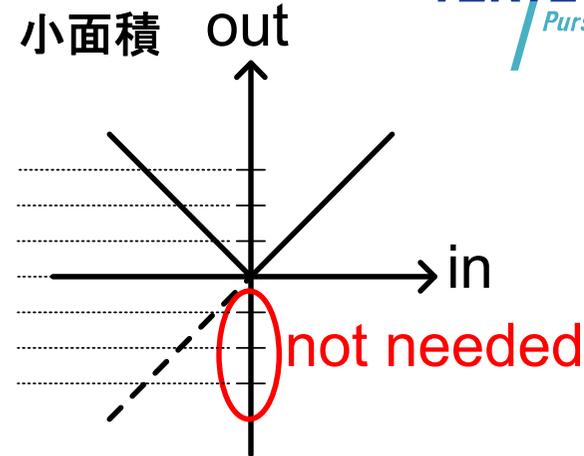
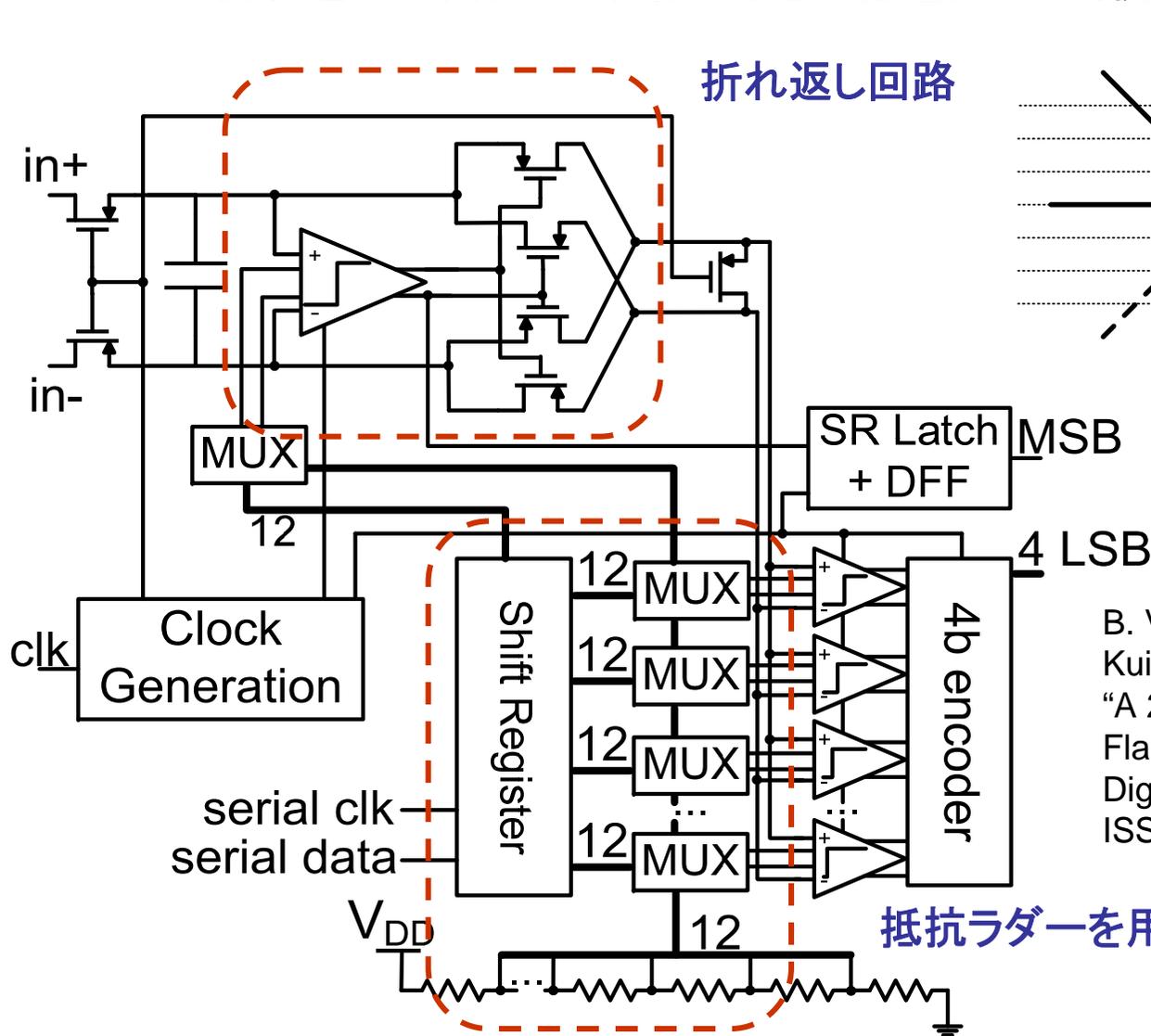
Resolution / Sample Rate	6 bit / 3.5GS/s
SNDR @nyquist / SFDR @nyquist	31.18dB / 38.67dB
DNL	+0.50 / -0.48 LSB
INL	+0.96 / -0.39 LSB
Power Consumption / Power Supply	98mW @3.5GS/s / 900mV
Active Area	0.1485mm <sup>2</sup> (330um * 450um)
Technology	90nm CMOS

Table2. Power efficiency comparison

Papers	fs(GS/s)	Power(mW)	FOM (pJ)
[4]	1.6	328	6.41
[5]	4.0	990	7.73
[6]	1.0	55	1.40
This work	3.5	98	0.95

# Folding Flash ADC, (No.9)

1b 折れ返すと半分の比較器になる→低電力 小面積 out



差動入力なので極性を反転するだけで折り返せる。

B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, G. Van der Plas, "A 2.2 mW 5b, 1.75GS/s Folding Flash ADC in 90nm Digital CMOS," Dig. of Tech. papers, pp. 252-253, ISSCC 2008. IMEC ベルギー

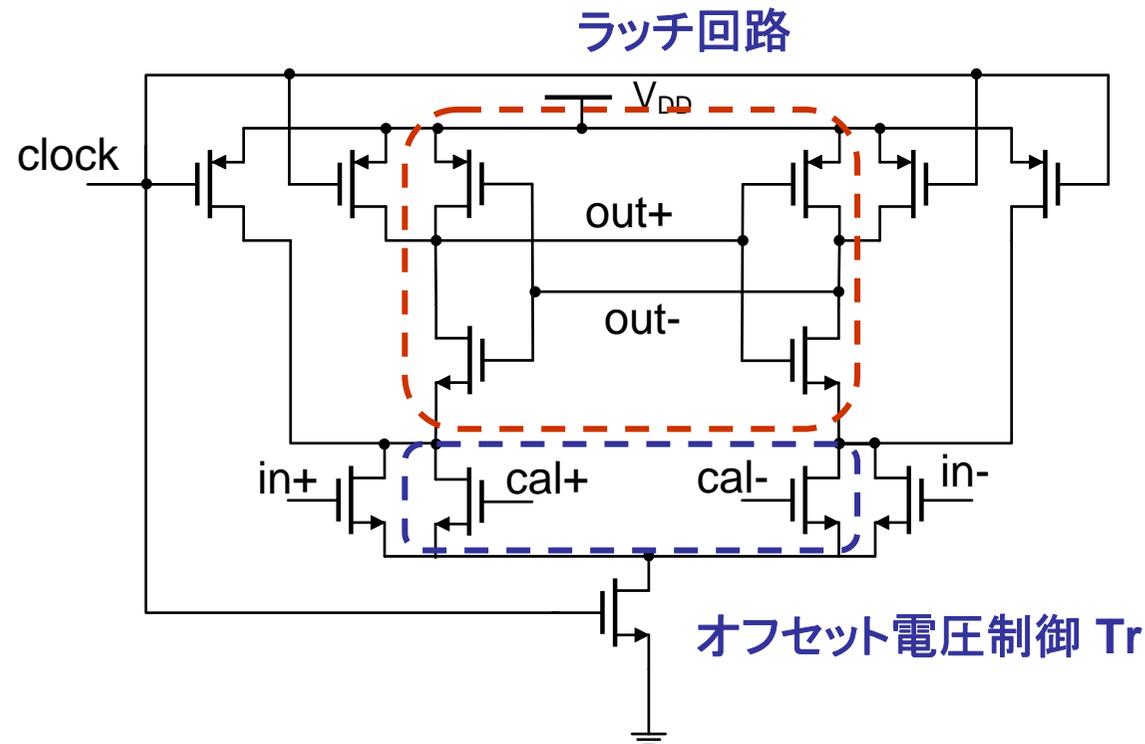
抵抗ラダーを用いたオフセット電圧補償回路  
参照電圧形成回路

# オフセット補償付きダイナミック比較器

13

TOKYO TECH  
Pursuing Excellence

比較器はダイナミック型が主流に → 低電力  
オフセット補償回路によりオフセット電圧を低減する  
また、参照電圧を形成する



# 比較器の設計

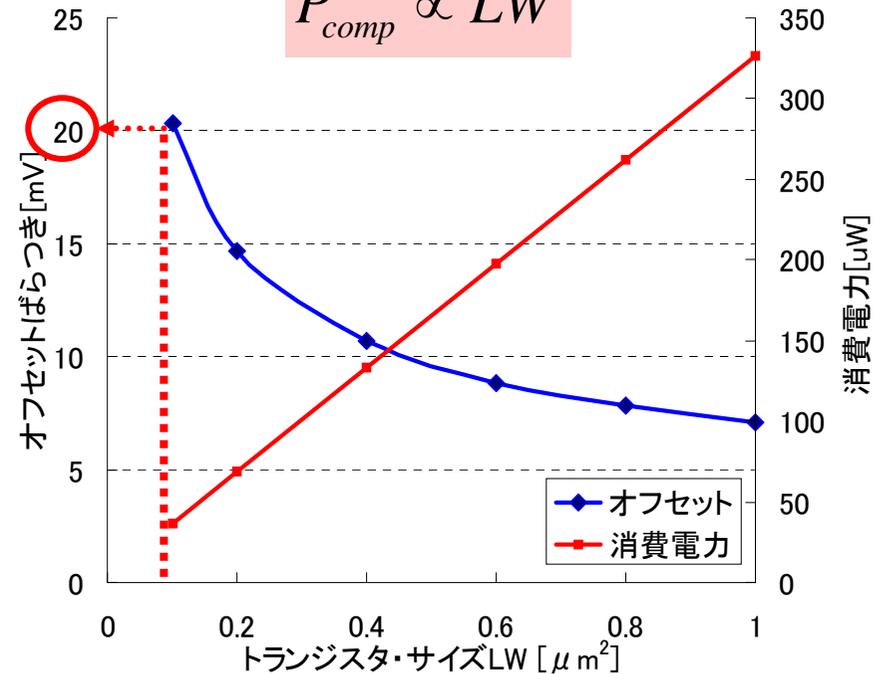
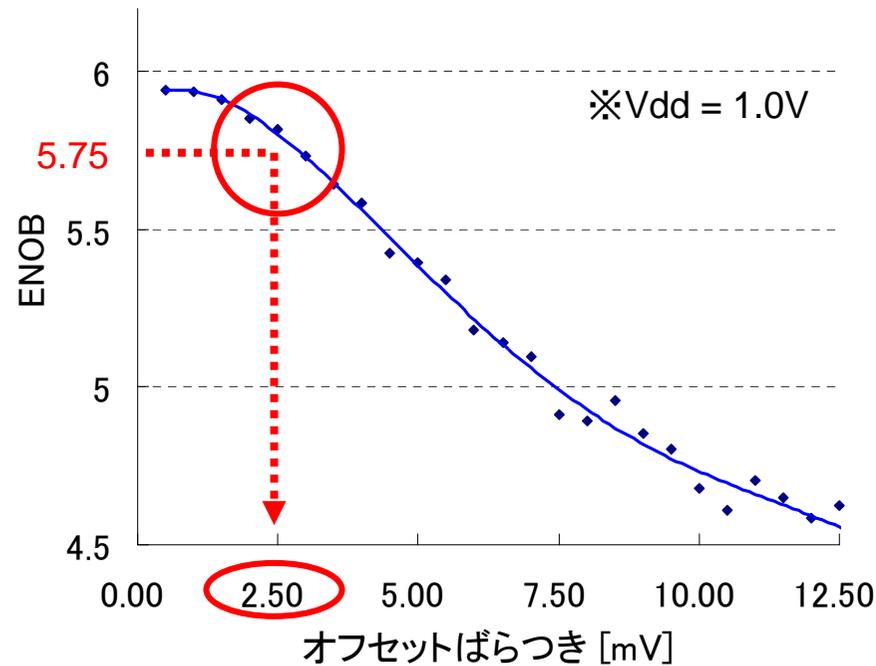
オフセットばらつきを1/7以下に低減する技術が必要

低消費電力・小面積 ⇒ 最小サイズの素子で構成  
コンパレータの精度 ⇒ オフセット補償技術

$$V_{\text{offset}}(\sigma) \propto \frac{1}{\sqrt{LW}}$$

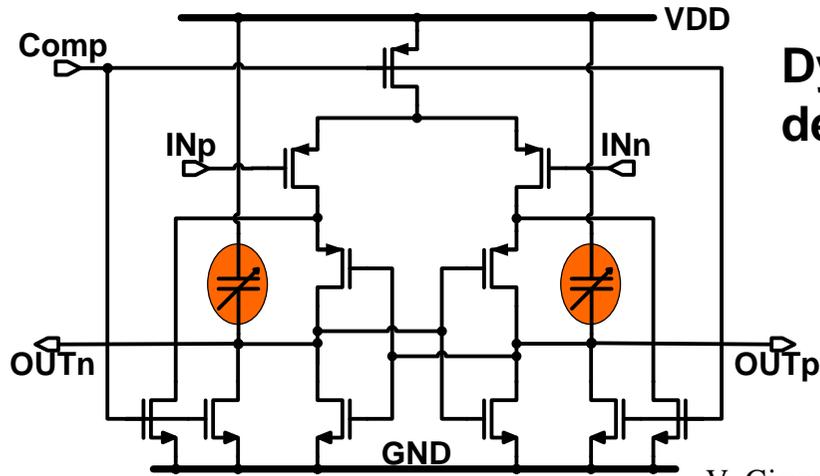
※90nm CMOS  
Fs = 1GS/s

$$P_{\text{comp}} \propto LW$$

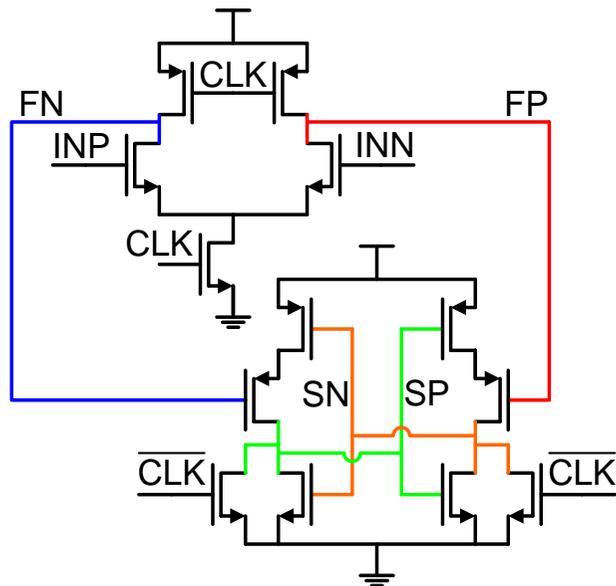


# 比較器回路の動向

比較器はダイナミック回路で構成され、定常電流が流れないようにすることができる。

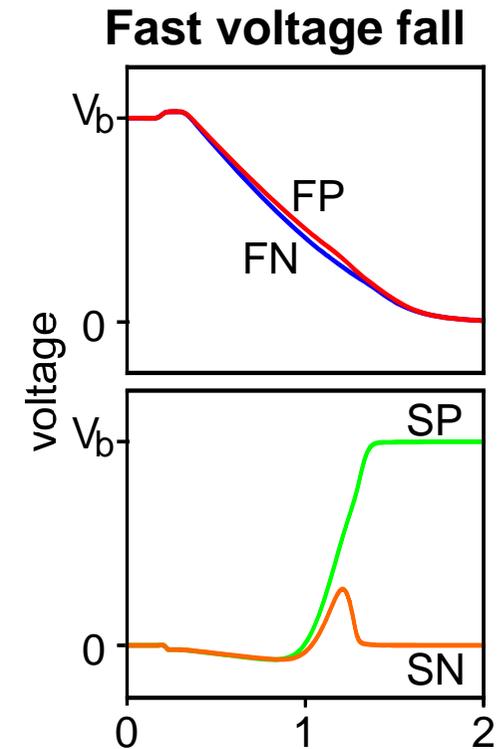


Dynamic comparators use the fast voltage fall depended on input voltage difference

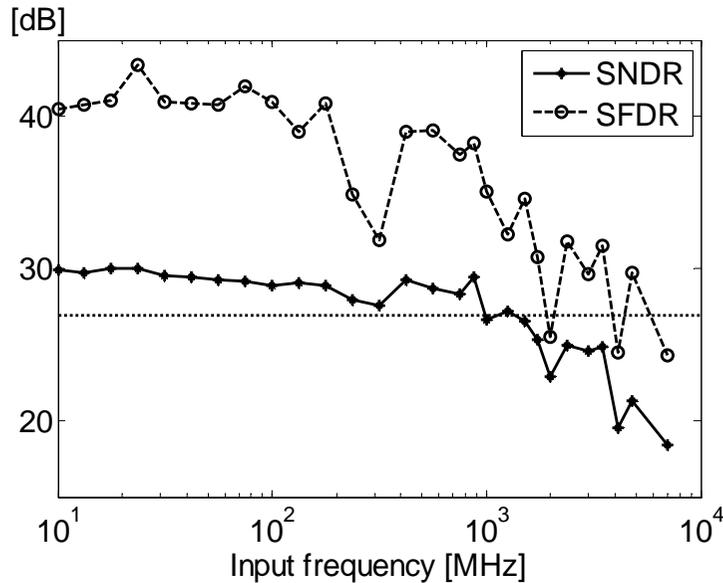


V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. van der Plas, and J. Craninckx, "An 820uW 9b 40MS/s Noise Tolerant Dynamic-SAR ADC in 90nm Digital CMOS," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.238-239, Feb. 2008.

M. van Elzakker, Ed van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, B.Nauta, "A 1.9uW 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," IEEE ISSCC 2008, Dig. of Tech. Papers, pp.244-245, Feb. 2008.



FoM=50fJ/conv. Stepは驚異的低電力。殆ど限界性能。



面積は小さいが、どこまで含めているか不明。

Technology	1V 90nm digital CMOS
INL / DNL	0.28 / 0.29LSB
ENOB	4.7b
ERBW	878MHz
F <sub>s</sub>	1.75GS/s
BER	1.3e-3 @ 1.75GS/s
	4.7e-6 @ 1.15GS/s
Power	2.2mW
Area	0.017mm <sup>2</sup>
FoM	50fJ/conversion step

# 8bit以上の超高速ADC

17

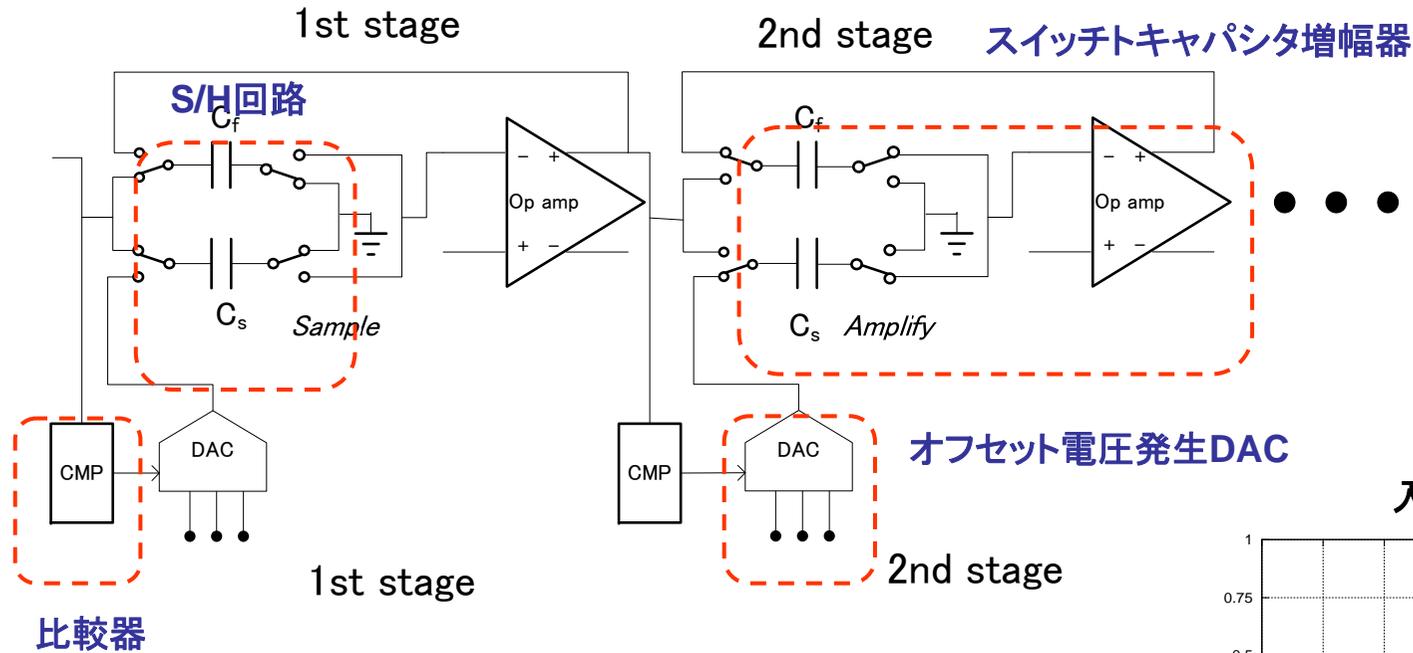
- ・変換周波数: 1GHz程度は可能に
- ・FoM: 1.2 pJ→300 fJ (10bit 1GHz 150mW程度)
- ・面積: 3.5 mm<sup>2</sup>~0.12mm<sup>2</sup>

10bit 1GHz 50mW程度までの更なる低電力化が必要

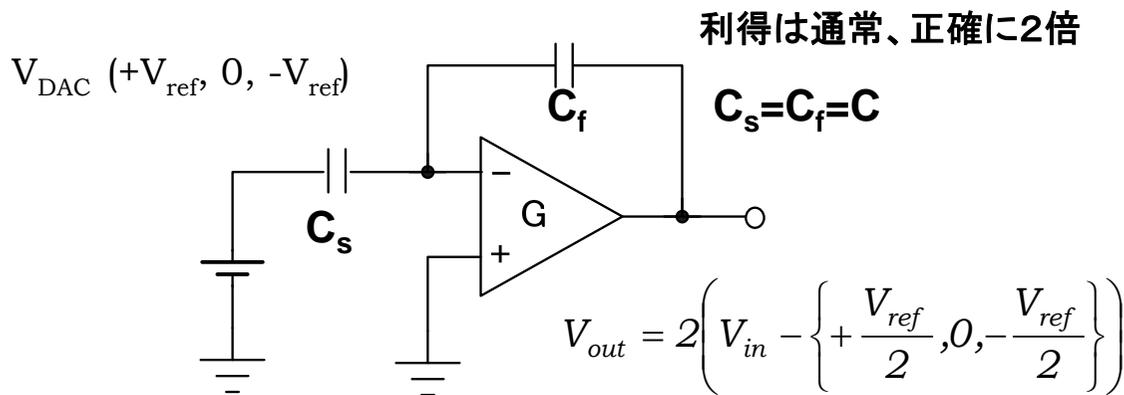
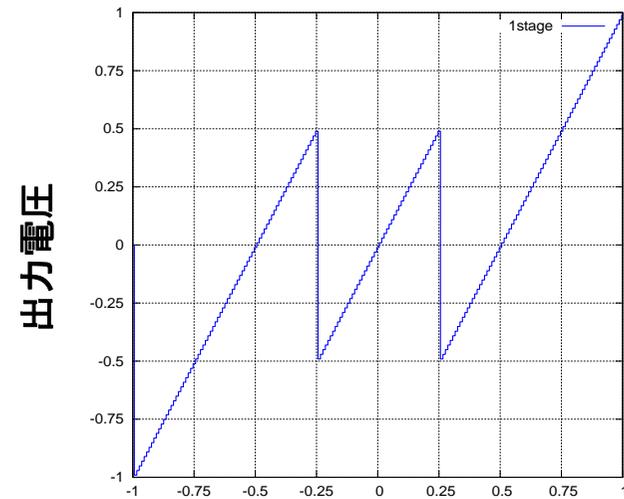
No.	Res.	Fs (GS/s)	Pd (mW)	FoM (pJ)	Area (mm <sup>2</sup> )	Tech. (nm)	Architecture	Feature	Publish
1	11	1.0	250.0	0.77	3.50	130	Pipeline	4x Interleaving	ISSCC 06
2	11	0.8	350.0	1.20	1.40	90	Pipeline	4x Interleaving	ISSCC 07
3	10	1.4	175.0	0.62	1.60	130	SAR	16x Interleaving	VLSI 07
4	8	0.3	34.0	0.68	0.29	90	Two-step		ISSCC 08
5	8	0.8	30.0	0.28	0.12	65	Pipeline	2x Interleaving	VLSI 08

# パイプライン型ADC

パイプライン型ADCは折り返した入出力特性を有しパイプライン動作によりA/D変換を行う。

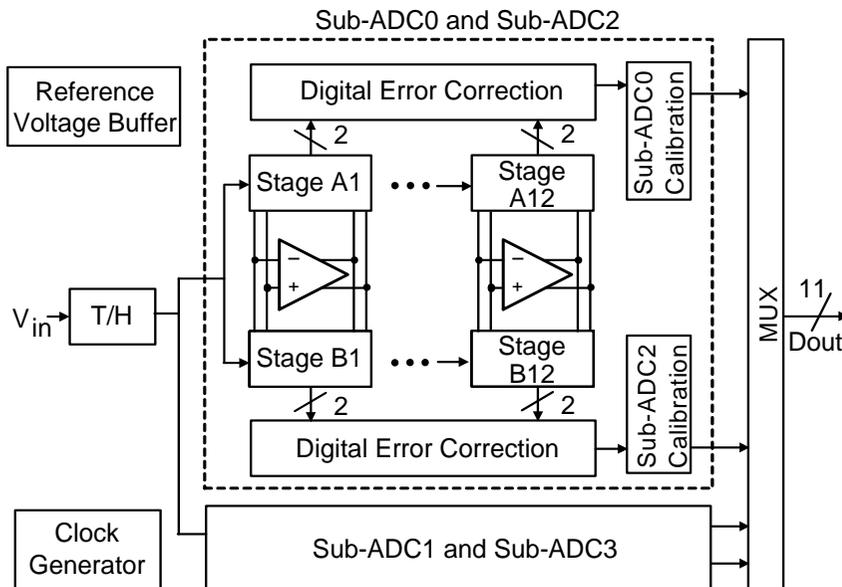


入出力特性



# 11bit, 800MHz ADC, (No.2)

## パイプライン型ADCを4つインターリーブで動作

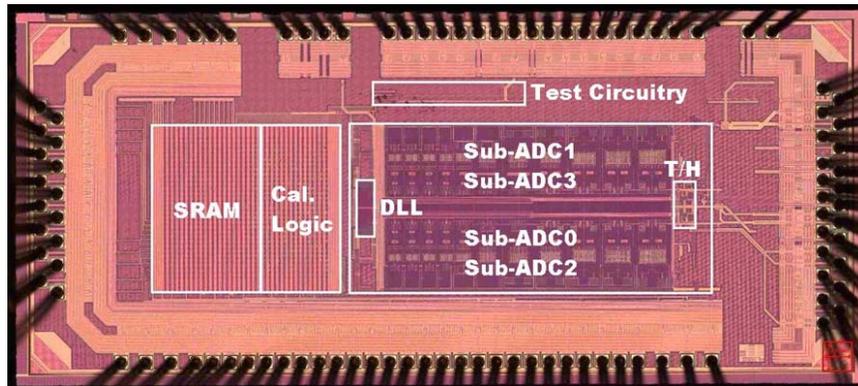


1chあたり200MHzで動作している。

消費電力は大きいですが、11bit (実質は9.5bit)は良好

C.C. Hsu, F. C. Huang, C. Y. Shih, C. C. Huang, Y. H. Lin, C. C. Lee, B. Razavi, " An 11b 800MS/s Time-Interleaved ADC with Digital Background Calibration," Dig. of Tech. Papers, pp.464-466, ISSCC 2007.

Real Tech. Taiwan

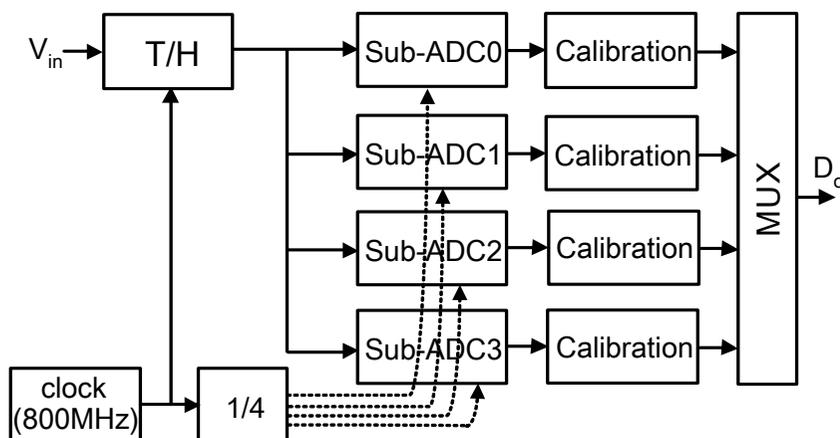


Technology	90nm CMOS
Resolution	11b
Conversion Rate	800MS/s
Supply Voltage	1.3V (1.5V for T/H)
Input Range	1Vpp differential
Dynamic Range	66dB
DNL/INL	<0.5LSB / ±1.6LSB
ENOB	9.33b ( $F_{in}=15\text{MHz}$ )
SNR	59.1dB ( $F_{in}=15\text{MHz}$ )
SNDR	57.9dB ( $F_{in}=15\text{MHz}$ )
Jitter	<0.43ps
Active Area	1.4mm <sup>2</sup>
Power (Analog / Digital + I/O)	350mW

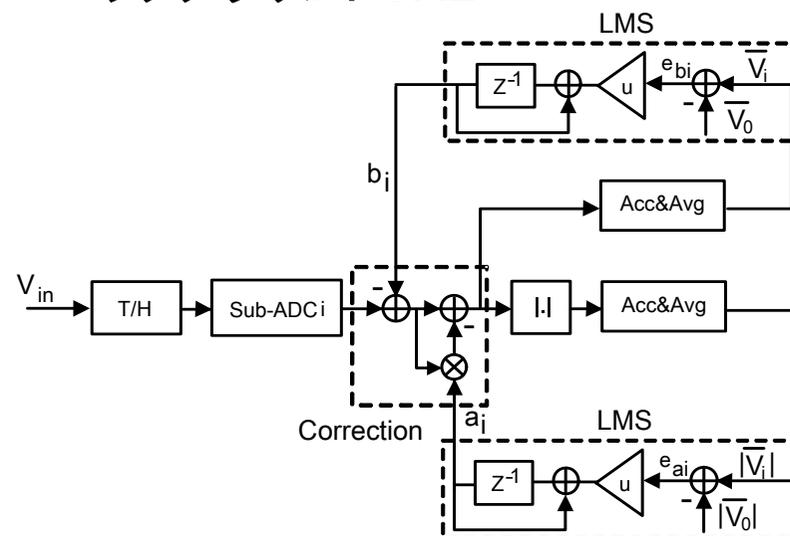
# キャリブレーション回路

インターリーブの場合、チャンネル間ミスマッチ ( $V_{off}$ ,  $G$ , タイミング) を合わせる必要がある。

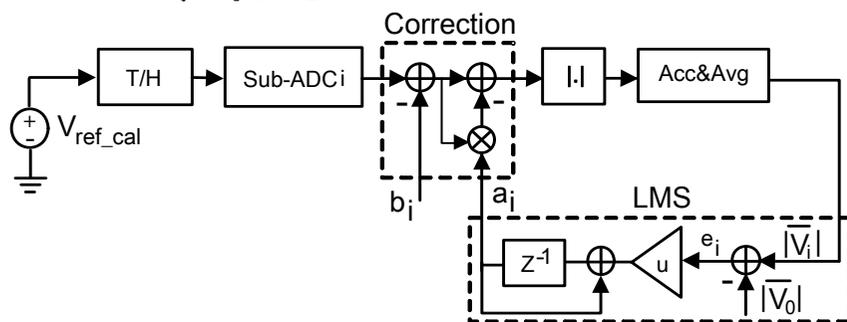
## 4ch 構成



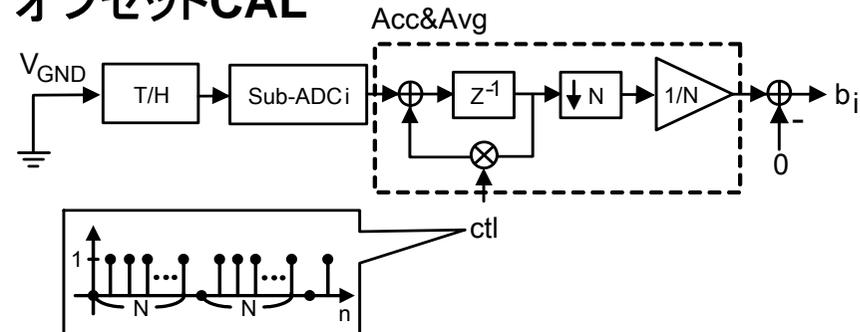
## バックグラウンドCAL



## ゲインCAL



## オフセットCAL

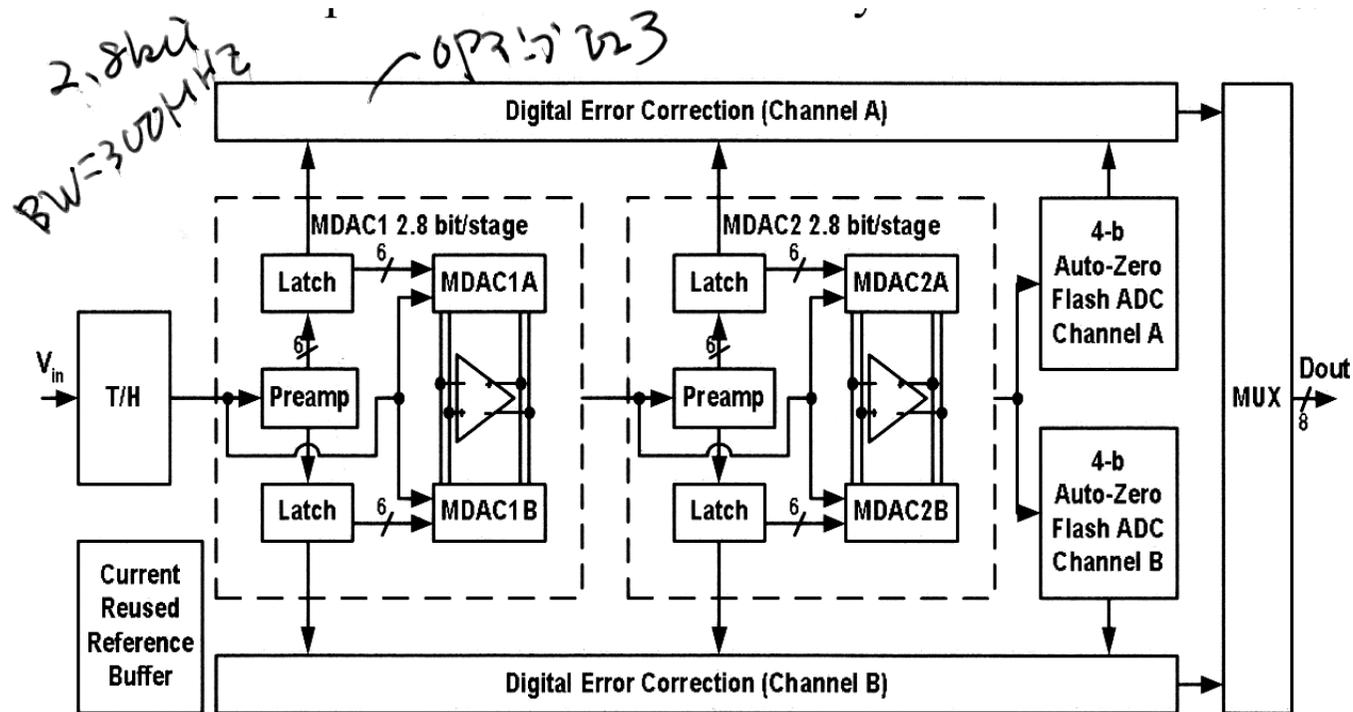


# 8bit 800MHz ADC (No.5)

21

2.8bit/stage のパイプラインを2段+4bit Flash ADCを2xインターリーブ  
パイプライン型ADCを800MHz (400MHz)で高速動作させた。

W. H. Tu and T. H. Kang, " A 1.2V 30mW 8b 800MS/s  
Time-Interleaved ADC in 65nm CMOS," Dig. of Tech.  
Papers, pp.72-73, VLSI Ckt. Symp. 2008.



Media Tech. Taiwan

Fig.1. Block diagram of the ADC

8bit程度ならば、パイプライン型ADCでも800MS/sくらいはいけることを示した。  
 (10bit/ch の最高速は200MHz程度である)  
 FoM=0.28pJ/conv. は8bitとして最小レベルである。  
 65nm, 1.2Vでも8bitパイプライン用OPアンプが実現可能である。

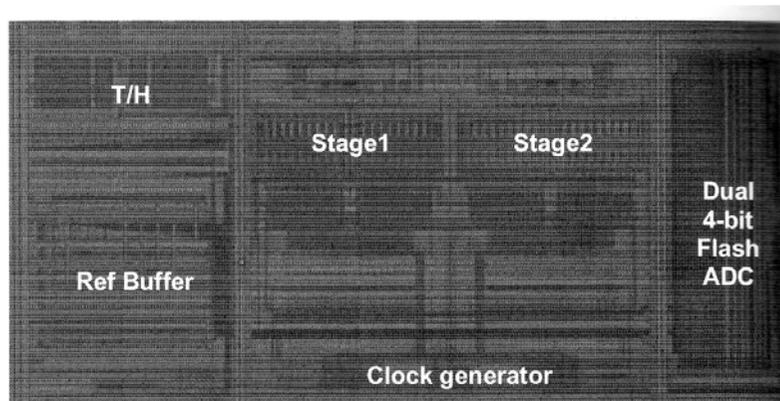


Fig.5. Die photograph

TABLE 1 : Performance Summary

Resolution	8 bits
Conversion Rate	800MS/s
Process	65nm 1P 6M digital CMOS
Supply	1.2V
Input Range	0.8Vpp differential
DNL/INL	0.16 / 0.23 LSB
SNDR @ Fin=1MHz	47.8dB
@ Fin=60MHz	46.9dB
@ Fin=400MHz	44.2dB
Power Dissipation	30mW
FOM1 (Power/ $2^{\text{ENOB}}$ x Fs)	0.28 pJ/Conversion-step
FOM2 (Power/ $2^{\text{ENOB}}$ x 2ERBW)	0.25 pJ/Conversion-step
Active Die Area	0.12mm <sup>2</sup>

# SA (逐次比較型) ADC

23

SA ADCはOPアンプを用いず、スイッチ、容量、比較器のみで演算する。

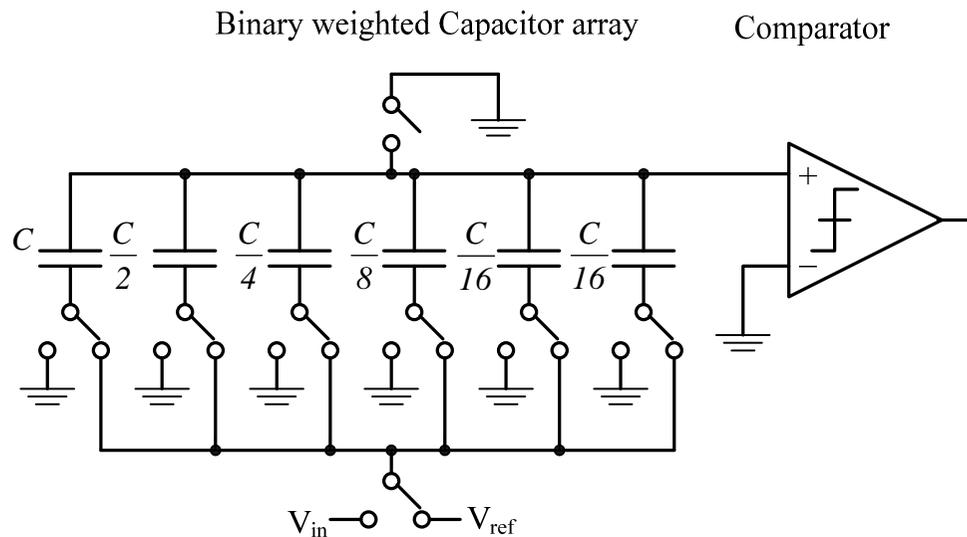
微細化に伴うOPアンプ課題の影響を受けない。

→微細化に適している

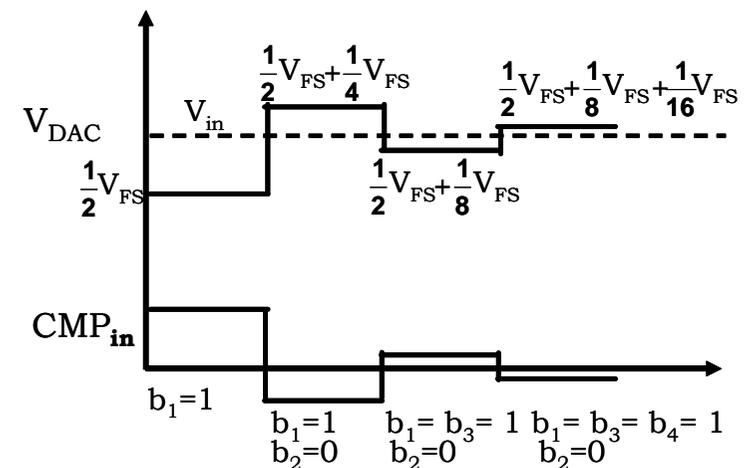
→定常電流が流れないので低電力である

欠点: Nビット変換に約(N+2)クロック必要のため変換速度が遅くなる

→微細化により高速化・低電力化を図る



## Binary search algorithm



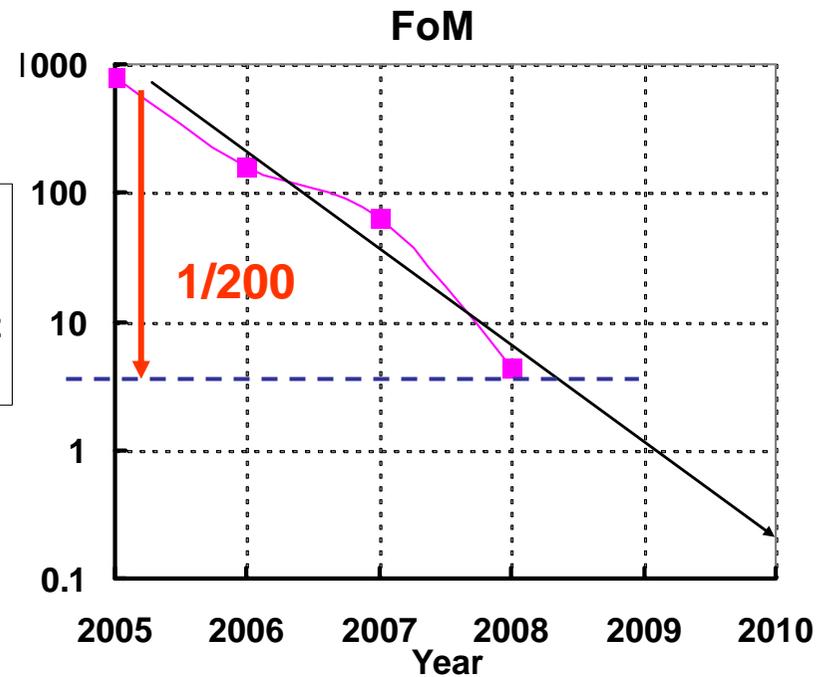
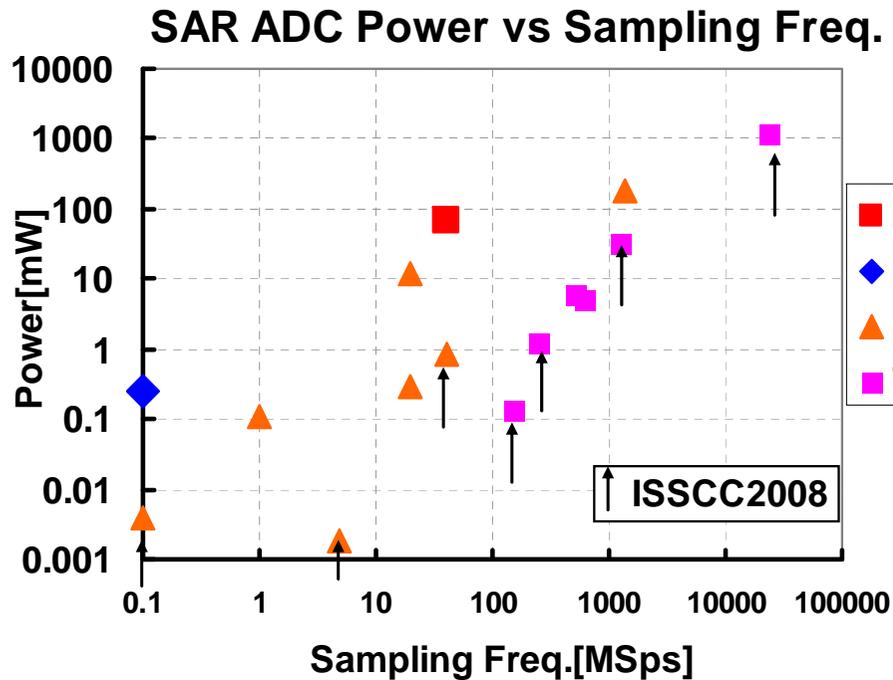
# SA ADCの性能

SA ADCは高分解能から高速まですべての領域で開発が進められている。  
FoMは3年間で1/200まで低下した。

$$FoM = \frac{\text{消費電力}}{\text{変換周波数} \times \text{実効変換ステップ}}$$

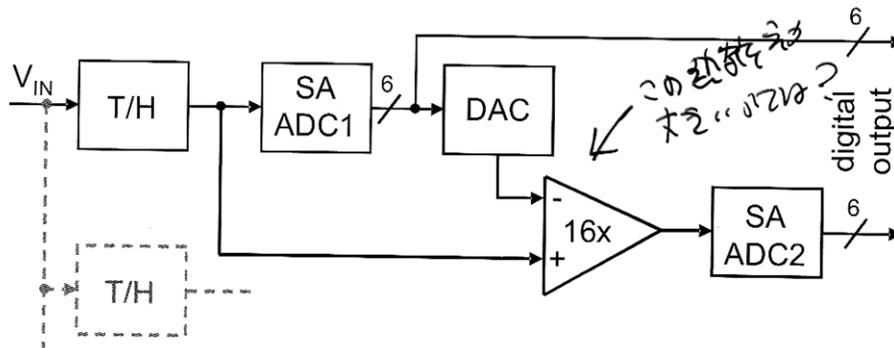
Courtesy Y. Kuramochi

3年間で FoMは 1/200に減少



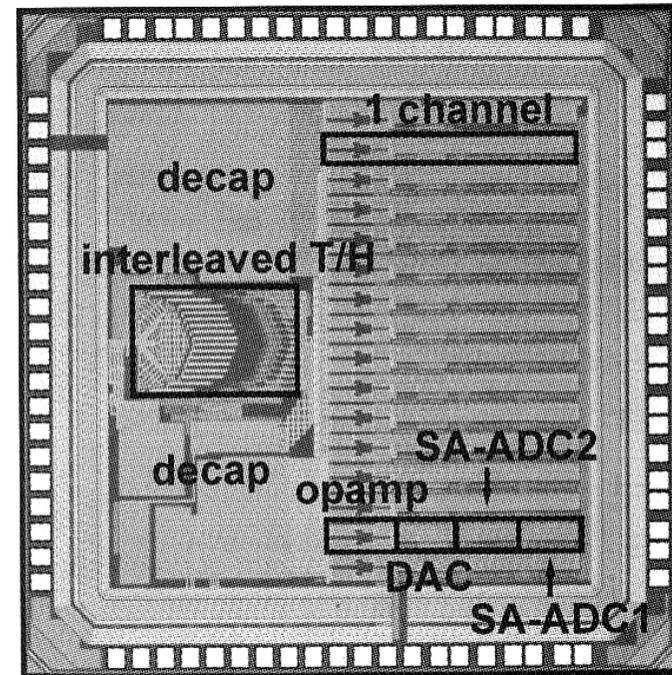
# 10bit, 1.35GHz ADC (No.3)

SARは最小電力で動作するので、これをマルチに用い、  
インターリーブ動作させることで高速動作を狙ったものが多くなった。



低電力特性に優れたSARADCを用いた  
直並列型ADCを16個並列に並べた

それぞれは86MHzで動作している。



S. M. Louwsma, et al., "A 1.35GS/s, 10b, 175mW Time-Interleaved AD Converter in 0.13um CMOS,"  
VLSI circuits symposium, pp.62-63, June, 2007. Twente大, NXP

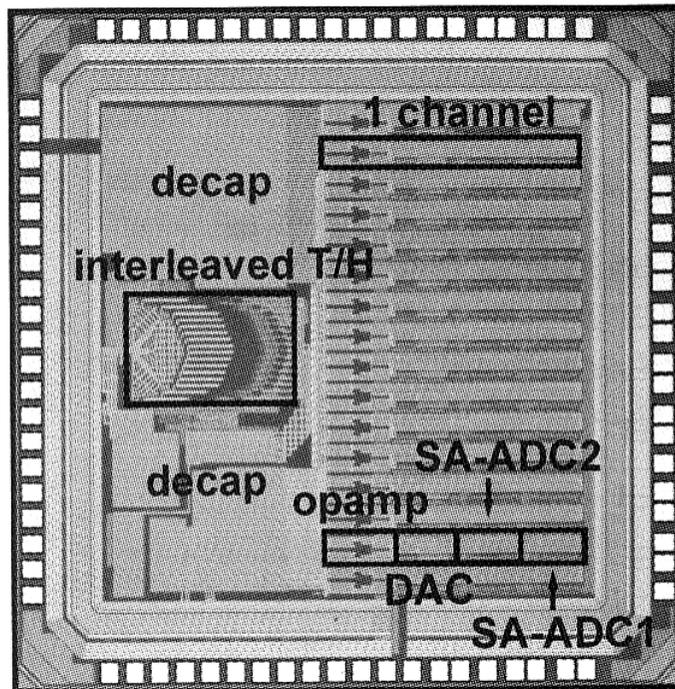
# 性能

実効分解能：7.5bit程度で課題が多い

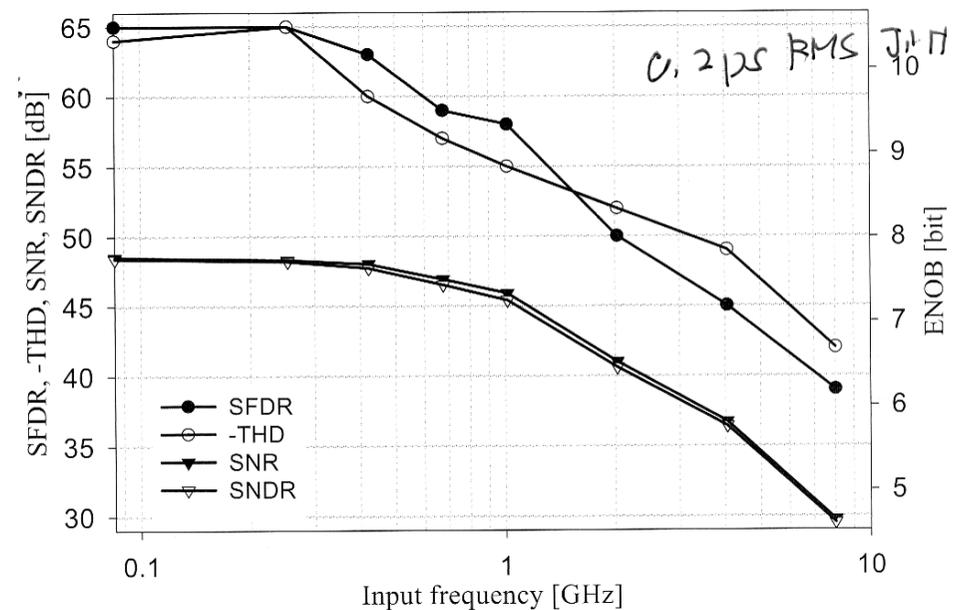
消費電力：175 mW, FoM=0.6 pJ は未だ大きい

専有面積：1.6 mm<sup>2</sup> は0.13umを考えると小さいが、IPとしては大きすぎる

インターリーブ動作はSNRが劣化しやすく、面積が大きくなりやすい。  
したがって、これが本命かどうかは分からない。



実効的には7.5bit相当  
帯域は広い



# 開発中の超高速6bit , 8bit ADC

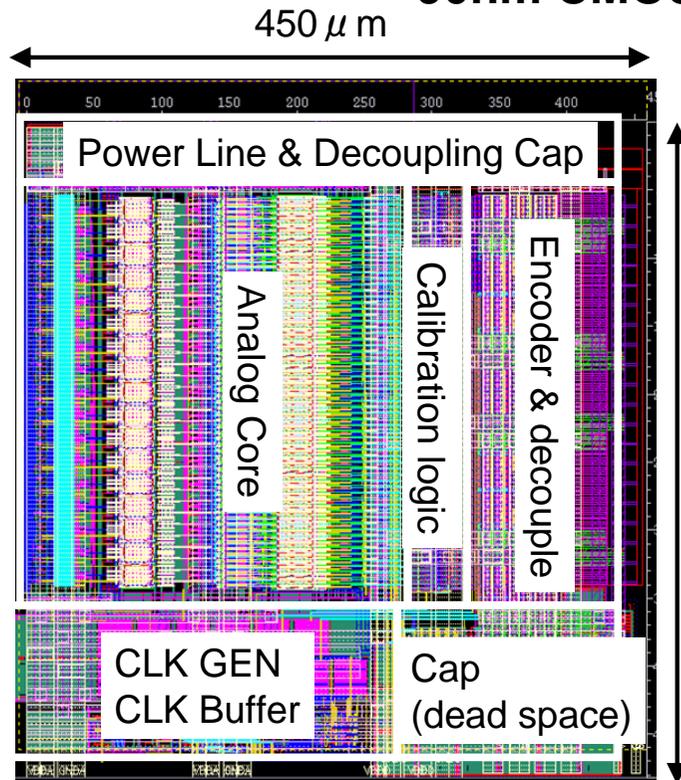
27

TOKYO TECH  
Pursuing Excellence

現在開発中の超高速DACは並列型の改良なので、速度は出しやすいが消費電力、面積は更に改善の必要があり、次期バージョンでは超低電力を目指す。

6bit, 4GS/s, 60mW,  
FoM=400fJ/conv.  
0.2mm<sup>2</sup>

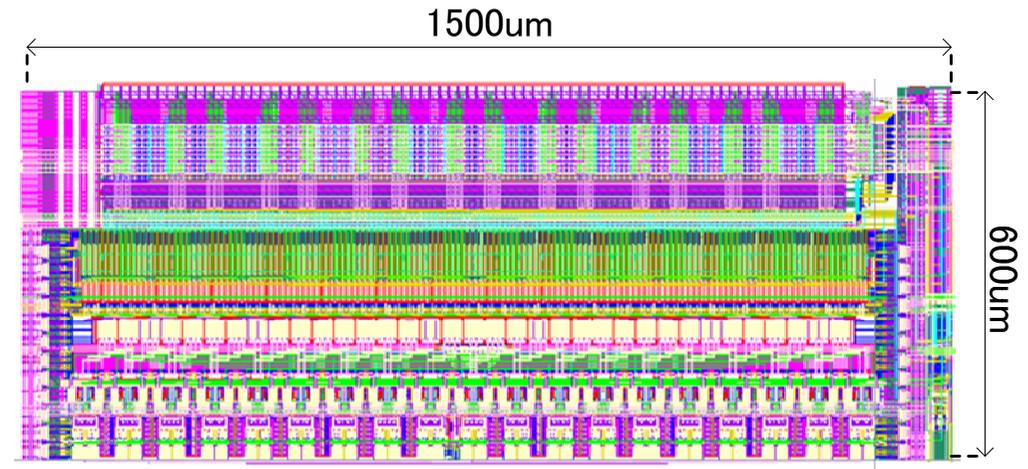
90nm CMOS



未発表につき、詳細は省略いたします。

8bit, 1GS/s, 150mW,  
FoM=830fJ/conv.  
0.9 mm<sup>2</sup>

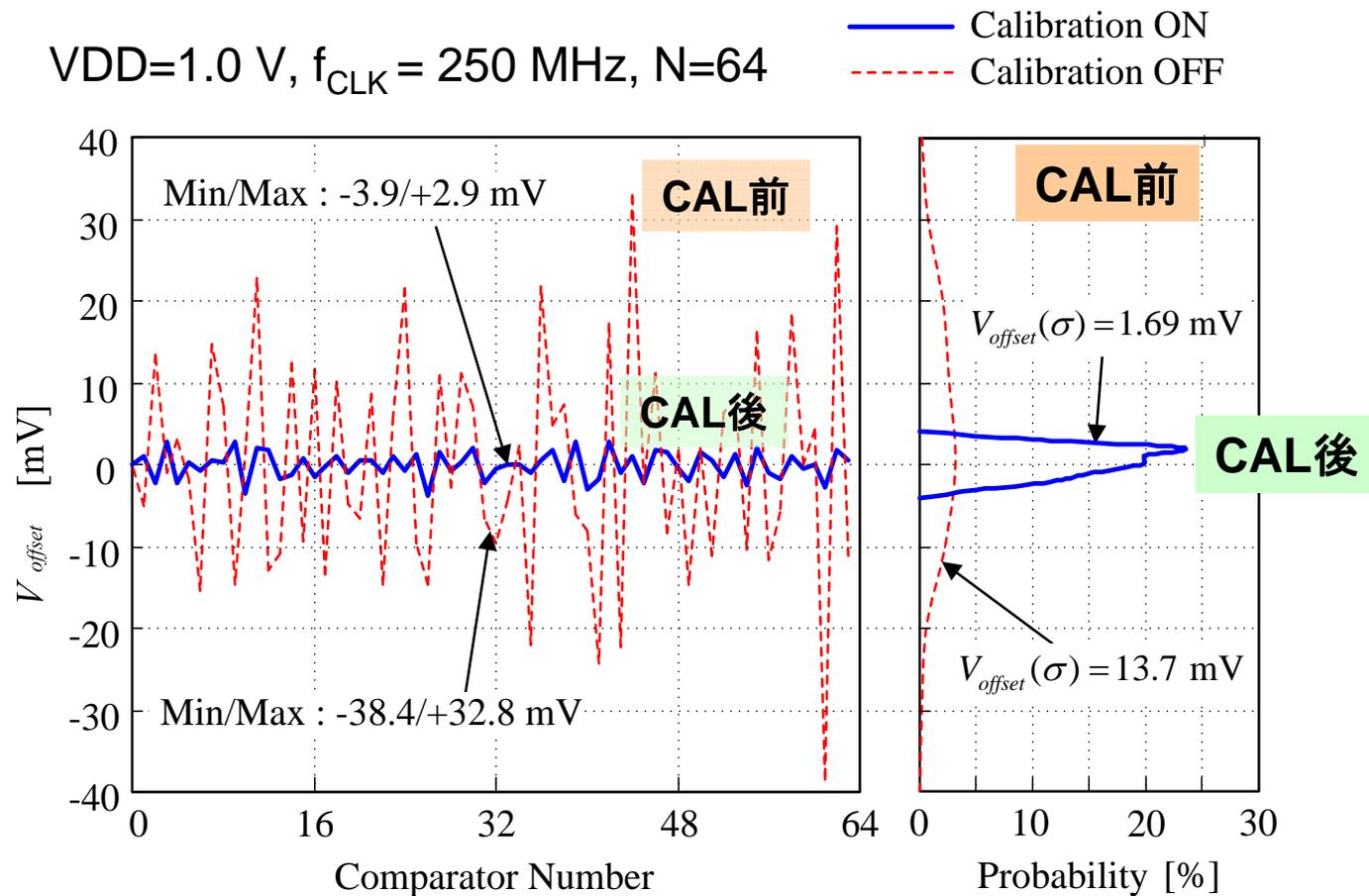
90nm CMOS



# 比較器オフセット電圧の低減技術

提案手法によりオフセット電圧が **13.7 mV** から **1.69mV**に  
低減可能であることを実証。

未発表につき、詳細は省略いたします。



- ミリ波実用化とADC

- 波形等化や誤り訂正など、感度やデータレートを上げるためにデジタル信号処理技術が不可欠。そのためにはADCが必要
- Gbpsレベルの広帯域→6bit, 3GS/s程度のADC
- 64QAM程度の多値化→10bit, 1GS/s程度のADC
- オンチップ化のための低電力化、小面積化
- 65nm程度の低電圧(1V)微細CMOSを使用

- 技術の現状と今後

- 6b 3GS/s ADC
  - 現状は100mW程度だが、10mWが可能か？
  - Folding もしくは2段階のFlashが有望か？
- 10b 1GHz ADC
  - 現状は100mW程度だが、更なる電力削減が可能
  - 変換方式はSAR-Interleaving, Pipeline, 直並列が候補
  - 過度のインターリーブは性能劣化、面積増、消費電力増を招く
- 回路技術
  - 比較器はダイナミック型+オフセット補償技術が主流に
  - インターリーブ動作では高度なキャリブレーション技術が必須

# トランシーバとADC/DAC

30

TOKYO TECH  
Pursuing Excellence

ベースバンドはデジタル化→ADC/DACが必要になった。

