

オンチップ差動インダクタの構造による非対称性の解析

Analysis of a Mismatch Dependent on Structure of On-Chip Differential Inductors

今西 大輔 金丸 正樹 岡田 健一 松澤 昭
Daisuke Imanishi Masaki Kanemaru Kenichi Okada Akira Matsuzawa

東京工業大学 大学院理工学研究科 電子物理工学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 はじめに

近年の CMOS プロセスの微細化によって Tr 性能が向上する一方、オンチップ受動素子の特性は劣化し、またそのモデリングがますます難しくなっている。差動回路の設計では回路の高い対称性が要求されるが、VCO や差動 LNA など用いられる差動インダクタには周囲回路に起因する非対称性が存在する。本研究では周囲回路からの差動インダクタのミスマッチへの影響を解析した。

2 差動インダクタの解析手法

[1] に提案される多ポートのインダクタの解析手法を 3 ポートにおいて適用し、差動インダクタの解析を行う。この手法によって 3 ポート Y パラメータから図 1 に示すような非対称性が考慮された等価回路を求めることができる。このとき測定から求められるインダクタの Y パラメータ \mathbf{Y}_{meas} から

$$y_{\text{sub}n} = \sum_{i=1}^3 y_{\text{meas}ni} \quad (1)$$

$$\begin{pmatrix} z_1 & -j\omega M_{12} \\ -j\omega M_{21} & z_2 \end{pmatrix} = \begin{pmatrix} y_{\text{meas}11} - y_{\text{sub}1} & y_{\text{meas}12} \\ y_{\text{meas}21} & y_{\text{meas}22} - y_{\text{sub}2} \end{pmatrix}^{-1} \quad (2)$$

のように等価回路のパラメータが得られる。

3 シミュレーション

アンソフト社の電磁界シミュレータ HFSS を用いて図 2 に示すような 1 巻と 2 巻の差動インダクタの周囲回路からの影響をシミュレーションした。周囲回路の非対称性は片側に配置したダミーグラウンドを Δx だけ近づけることによって表現した。前述した解析手法により、差動インダクタの左右のインダクタンスを

$$L_n = \frac{\text{Im}[z_n]}{\omega} \quad (3)$$

と定義し、 L_1 と L_2 のミスマッチと Δx の関係をプロットした結果を図 3 に示す。2 巻では 1 巻と比較して周囲回路からの影響が低減されている。その理由として次のことが挙げられる。1 巻では L_1 側のほうが L_2 側よりもダミーグラウンドに近いので、影響の受け方に L_1 と L_2 で差が生じてミスマッチが生まれる。一方で 2 巻では L_1 側と L_2 側でダミーグラウンドとの距離差は小さく、ミスマッチを低減することができる。

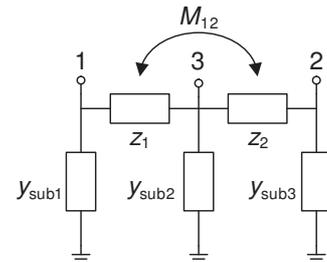
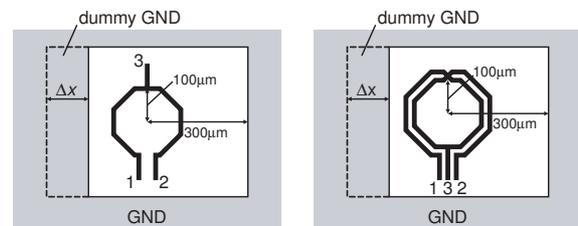


図 1 差動インダクタの等価回路



(a) 1巻差動インダクタ (b) 2巻差動インダクタ

図 2 シミュレーションモデル

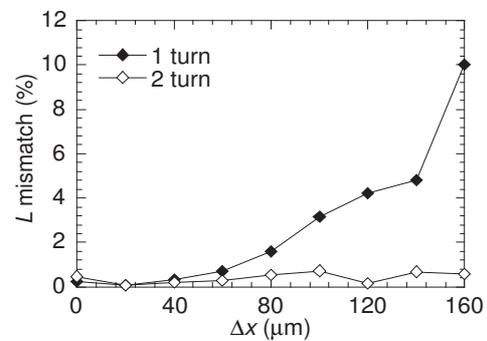


図 3 左右の L のミスマッチ

4 まとめ

本研究では 1 巻と 2 巻の差動インダクタにおける周囲回路からの非対称性への影響を比較した。その結果、2 巻では 1 巻と比較してその影響を低減可能であることが示された。

謝辞

本研究の一部は、総務省委託研究『電波資源拡大のための研究開発』、半導体理工学研究センター、並びに東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社およびアジレント・テクノロジー株式会社の協力で行われたものである。

参考文献

- [1] T. Ito, K. Okada, and K. Masu, "Modeling of multi-port inductor considering mutual components," *IEEE Automatic RF Techniques Group Conference*, pp. 212–215, June 2007.