

A-D変換器の注目論文を解説 各方式とも着実に進化

松澤昭 東京工業大学

ISSCC 2007におけるデータ・コンバータ分野の注目は、何といたっても逐次比較（SAR）型A-D変換器の性能向上だろう。

高速/高精度のA-D変換器は、これまでパイプライン型が主流だった。ところが、製造技術の微細化に伴って、パイプライン型の課題が顕在化し始めた。例えば、微細化によってオペアンプの増幅率を高めにくくなることだ。

こうした背景から、オペアンプを用いない変換方式に注目が集まっている。その1つが逐次比較型だ。コンデンサ・アレイ間での電荷演算によってアナログ信号をデジタル値に変換するため、オペアンプを使わずに済む。従って、原理的には「究極の低消費電力化」が可能である。その一方で、分解能をNとした場合にN回の変換作業が必要になるため、変換速度が遅いという課題を抱えていた。ただしこの課題は、微細化によって克服できる。構成要素である比較器や論理回路、スイッチそれぞれの動作速度が向上し、変換速度を高められるからだ。

低消費化阻む要因を取り去る

逐次比較型A-D変換器では、ベルギーのIMECが変換性能当たりの消費電力（FOM）で65fJと驚異的に小さい数字を達成した（講演番号13.5）。それでは回路構成を見てみよう（図6）^{†6)}。

変換処理の流れはこうだ。まず、入力信号をコンデンサC_{TP}とC_{TN}で捕捉し、続いてその電荷を次段のC_{SP}とC_{SN}に転送する。コンデンサ・アレイはC_Uを基本単位として2進数を係数に使うって重み付

けてあり、あらかじめ参照電圧V_{ref}（実際には電源電圧）を接続して電荷を蓄積しておく。この状態で比較器は、V_{QP}とV_{QN}を比較して入力信号がV_{ref}/2よ

りも大きいかわ小さいかを判定し、MSB（最上位ビット）を決定する。次に、この判定に基づいてスイッチcn(0)とcp(0)のどちらか一方を導通させ、コンデンサ・アレイの中で最も大きく重み付けしたコンデンサ（実際には128C_U）をC_{SP}とC_{SN}の間に接続する。この結果、接続端における電荷Qは以下のようになる。

$$Q = \frac{C_s V_{in}}{2} - 128 C_U V_{ref}$$

従って、C_s = 512C_Uとしておけば、2値のA-D変換が可能になるわけだ。

この状態で比較器はもう一度V_{QP}とV_{QN}を比較し、どちらが大きいかを判定する。この判定結果に基づいて、スイッチcn(1)とcp(1)の一方を導通させ、

2番目に大きく重み付けしたコンデンサ（64C_U）をC_{SP}とC_{SN}の間に接続する。どちらのスイッチを導通させるかによって、接続するコンデンサの極性が変わる。後は、これを繰り返すことで逐次変換を実行する仕組みである。

この変換処理の特徴は、一般的な逐次比較型と異なり、変換動作ごとにコンデンサを参照電圧に接続する必要がないことだ。このためセトリング時間が短くなることに加えて、通常であれば大きな電力を消費してしまう参照電圧バッファが不要になるというメリットがある。

工夫点はほかにもある。A-D変換器全体の動作を外部クロックに同期させるのではなく、シーケンサによる非同同期制御を採用したことだ。この結果、消費電力がやはり大きいクロック・バッファが不

参考文献

†6) J. Craninckx, G. Van der Plas, "A 65 fJ/Conversion-Step 0-to-50MS/s 0-to-0.7 mW 9b Charge-Sharing SAR ADC in 90nm Digital CMOS," ISSCC 2007, Feb., 2007.

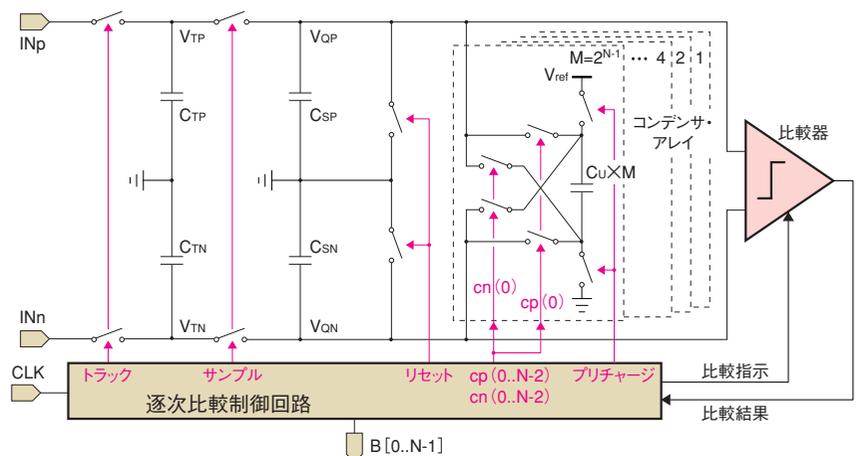


図6 超低消費の逐次比較型A-D変換器

入力信号のトラック用コンデンサ（C_{TP}、C_{TN}）とサンプル用コンデンサ（C_{SP}、C_{SN}）、コンデンサ・アレイ、比較器、制御部で構成する。コンデンサ・アレイは2進数を係数に使うって重み付けしてある。すなわち、N個のコンデンサを用意し、それぞれの大きさをC_Uを基本単位としてC_U × 2ⁿ⁻¹（n = 1, 2, 3, …, N）に設定した。各コンデンサは、スイッチcnとcpを切り替えることで、比較器の入端子間に任意の極性で個別に接続できるようになっている。

要になる。この工夫も低消費電力化に貢献した。製造技術は90nmのCMOSで、電源電圧は1Vである。比較器は、動作していない期間はまったく電力を消費しない構成を採用しており、消費電力にはほとんど寄与しない。変換速度が50Mサンプル/秒のときに消費電力は725 μ Wである。

有効ビット分解能 (ENOB) は、入力周波数が比較的低い領域において7.8ビット程度である。入力周波数が1MHzを超える高域では低下する傾向がある。この理由は、入力サンプリング・スイッチのオン抵抗に非線形性があるからだ。また有効ビット分解能が7.8ビットとSN比がそれほど高くないのは、比較器の雑音が原因のようである。

逐次比較型A-D変換器は、比較器やスイッチなどに改良の余地がまだ残されている。しかし、消費電力を極めて低く抑えられるという大きなメリットがあるため、今後改良は急ピッチに進むと期待できよう。

アンプ不用のパイプライン型

パイプライン型A-D変換器では、オペアンプを使わずに構成した米Massachusetts Institute of Technology (MIT) の発表が興味深い (講演番号25.5)¹⁷⁾。

従来のパイプライン型は、図7(a)に示すように、変換処理に必要な電荷をコンデンサとオペアンプを使って次段に転送していた。これに対しMITは図7(b)のように、電位 V_x が低下してゼロ (実際には V_{CM}) に達したことを検出する回路 (Zero Cross Detector (ZCD) と呼ぶ) と電流源を組み合わせた。

ZCDの動作はこうだ。すなわち、 V_x がゼロに達するまでは電流源をオンにして負荷に電流を供給し、 V_x がゼロに達すると電流源をオフにする。これは基本的

に、オペアンプの本質である仮想接地動作に等しく、この点ではZCDはオペアンプと同等の役割を果たす。ただし違いもある。オペアンプは、時間経過に従って V_x が漸近的にゼロに近づく。ところがZCDでは、 V_x は直線的に低下する。このため、理想的な仮想接地動作を実現できず、時間的な遅れが生じる。この結果、ZCDの入力にオフセット電圧が発生してしまう。

ただし、このオフセット電圧は、大きさが一定であれば系統的に除去できる。さらに、ZCDにおける時間的な遅れは、デジタル回路のゲート遅延時間程度で数10psと短く、数ns~数十ns程度を要するオペアンプのセトリング時間に比べれば十分に短い。従って、オペアンプを使う一般的な手法に比べて高い変換速度が期待できる。

ZCDを使った実際の電荷転送回路を図7(c)に示す。この単位回路をカスケード接続すれば、パイプライン型A-D変換器が実現できる。MITは今回、8ビットのパイプライン型A-D変換器を0.18 μ m技術で試作した。回路面積は0.05mm²、サンプリング周波数が200MHzのときの特性は、有効ビット分解能

(ENOB) が6.4ビット、消費電力が8.5mW、変換性能当たりの消費電力 (FOM) が510fJである。

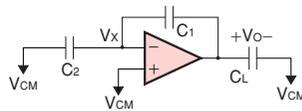
消費電力は小さいものの、ENOBが低いとFOMは思ったほど小さくない。実用化に向けては課題もありそうだ。ZCDのしきい値電圧が製造プロセスによって変動したり、チップごとにばらつく可能性があるほか、雑音耐性の検証も必要だろう。それでも、オペアンプを使わないことから、極めて小さな電力で動作する可能性があるのは魅力的だ。今後の改良が期待される。

連続/離散混在の $\Delta\Sigma$ が登場

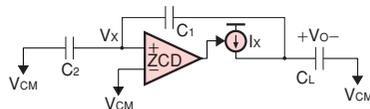
帯域幅が数MHz程度のアナログ信号に対して80~90dB程度と高いダイナミック・レンジを求め用途には、 $\Delta\Sigma$ 型A-D変換器が適している。 $\Delta\Sigma$ 型A-D変換器は、 $\Delta\Sigma$ 変調器のループ・フィルタを実現する手法によって大きく2つに分けられる。すなわち、スイッチト・キャパシタ積分器をフィルタとして利用する離散時間 (DT) 型と、連続時間フィルタを使う連続時間 (CT) 型である。

ここで各手法の利害得失をおさらいしておこう。DT型は、特性の安定度を高

(a) オペアンプ利用の電荷転送回路



(b) ZCD利用の電荷転送回路



(c) 実際のZCD電荷転送回路

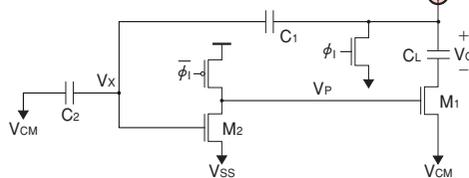
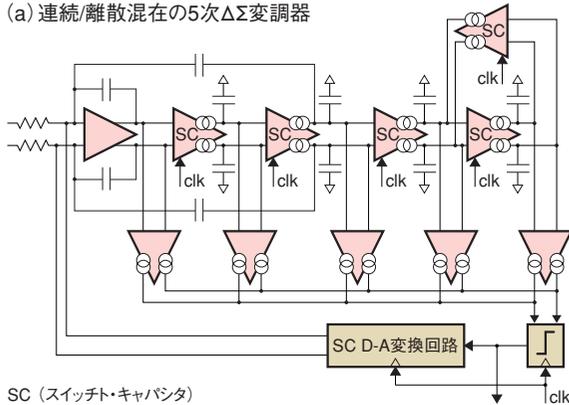


図7 ゼロ点検知でオペアンプを代替

(a) はパイプライン型では一般的な、オペアンプを使う電荷転送回路。(b) は V_x がゼロに達したことを検知する回路 (ZCD) を利用して、(a) と同様の電荷転送処理を実現した。(c) は (b) の実際の回路例。コンデンサ C_1 と C_2 には、入力信号あるいは前段の信号がサンプリングされている。クロック ϕ_1 が高レベルのとき、 V_P は電源電圧 V_{dd} まで上昇し、出力電圧 V_O はゼロに低下する。これによって電位 V_x が押し下げられ、 M_2 がオフになる。クロック ϕ_1 が低レベルに切り替わると、電流源がオンして V_O と V_x は上昇する。 V_x がしきい値電圧を超えると M_2 がオンして、 V_P はゼロに低下し、 M_1 はオフになる。従って、 V_O は増加が止まり一定電圧となり、電荷転送が完了する。

(a) 連続/離散混在の5次 $\Delta\Sigma$ 変調器

(b) スイッチト・キャパシタ利用のDT型積分器

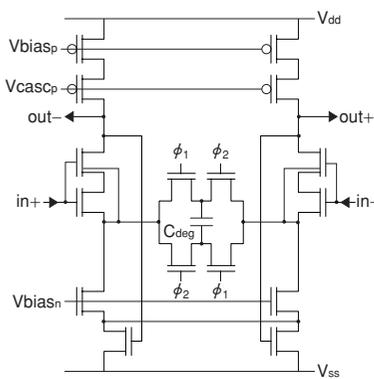


図8 連続型と離散型の利点を生かす

(a) はスイスのNXP Semiconductors社が開発した5次 $\Delta\Sigma$ 変調器である。初段のみに連続時間(CT)型を適用し、2段目以降には離散時間(DT)型を採用したハイブリッド構成である。(b) は2段目以降に使うDT型積分器。通常、 g_m セルを構成する際に必要な抵抗を、 C_{deg} とスイッチ ϕ_1 、 ϕ_2 からなるスイッチト・キャパシタ回路で置き換えた。

めやすいという利点がある。変調器全体の特性に大きな影響を与えるフィルタ特性が、スイッチト・キャパシタ回路のコンデンサの容量比とクロック周波数によって決まるため、製造プロセスのばらつきや温度変化の影響を受けにくいからだ。

一方で課題としては、消費電力が大きくなってしまふことが挙げられる。CT型に比べて雑音帯域幅が広く、CT型と同等のSN比を確保するために積分器のコンデンサ容量を大きくしなければならないことに加えて、オペアンプを使う必要があるからだ。このほかDT型では、入力部に折り返し信号を防止するフィルタが必要になる。

こうした理由から、最近はCT型が注目されている。折り返し信号を防止するフィルタが不要であることに加えて、低消費電力で広帯域化が可能という特徴も備えているからだ。

ただしCT型も課題を抱えていた。1つは、クロック・ジッターの影響を受けやすいことである。もう1つは、フィルタ特性が製造プロセスのばらつきや温度変化の影響を受けやすいことだ。CT型のフィルタ特性は、コンデンサと抵抗の積(CR)、もしくはコンデンサとトランスコンダクタンスの積($g_m C$)で決まるからである。CやR、 g_m の相対精度ではなく、絶対精度が直接、影響を与えてし

まう。このため通常は、何らかの較正(キャリブレーション)回路を設けておく必要がある。

そこでスイスのNXP Semiconductors社は、CT型のこうした課題の解決に向けた手法を発表した(講演番号13.4)^{†8)}。5次の $\Delta\Sigma$ 型A-D変換器において、初段のみをCT型とし、残りをDT型とするハイブリッド構成を採る(図8)。

初段の積分器は、時定数が多少ばらついても構わない。A-D変換のダイナミック・レンジに与える影響が小さいからである。そこで初段はCT型とした。時定数を高い精度で制御しなければならない2段目以降については、積分器をDT型で構成した。なお初段のCT型積分器は、2段目のDT型に対する折り返し信号防止用フィルタの役割も担う。CT型で問題になるクロック・ジッターの影響については、フィードバック用D-A変換器にスイッチト・キャパシタ型を採用することで抑制した。

2段目以降に用いたDT型積分器は、 g_m セルを利用したオープン・ループ型であり、発振の心配がない。ここでさらに注目したいのは、 g_m セルの実現方法である。CT型積分器で一般に多く使われる g_m セルは、差動トランジスタ対において、2つのトランジスタのソース間に抵

抗を挿入したものだ。この場合、 g_m は抵抗の大きさによって決まる。従って、抵抗の絶対精度が問題になる。

そこで同社は、抵抗の代わりに、コンデンサ C_{deg} とスイッチ(ϕ_1 、 ϕ_2)で構成したスイッチト・キャパシタ回路を使うことで、等価的に抵抗を作り出す手法を採用した。このときの抵抗値Rは、クロック周期をTとした場合に $R = T / C_{deg}$ で表せる。つまり時定数は容量比とクロック周期によって決まるわけだ。従って、プロセスばらつきや温度変動には不感である。

加工寸法が65nmのCMOS技術で作成した入出力用トランジスタを利用して製造した。EDGEとCDMA、UMTSの3つのモードに対応可能である。UMTSモードにおける特性は、帯域幅が1.92MHz、クロック周波数が153.6MHz、ダイナミック・レンジが73dB、折り返し信号の抑圧比が41dB、消費電力が3.7mW、変換性能当たりの消費電力(FOM)が260fJを実現している。

参考文献

^{†7)} L. Brooks, H-S Lee, "A Zero-Crossing-Based 8b 200MS/s Pipelined ADC," ISSCC 2007, Feb., 2007.

^{†8)} B. Putter, "A 5th-order CT/DT Multi-Mode $\Delta\Sigma$ Modulator," ISSCC 2007, Feb., 2007.