

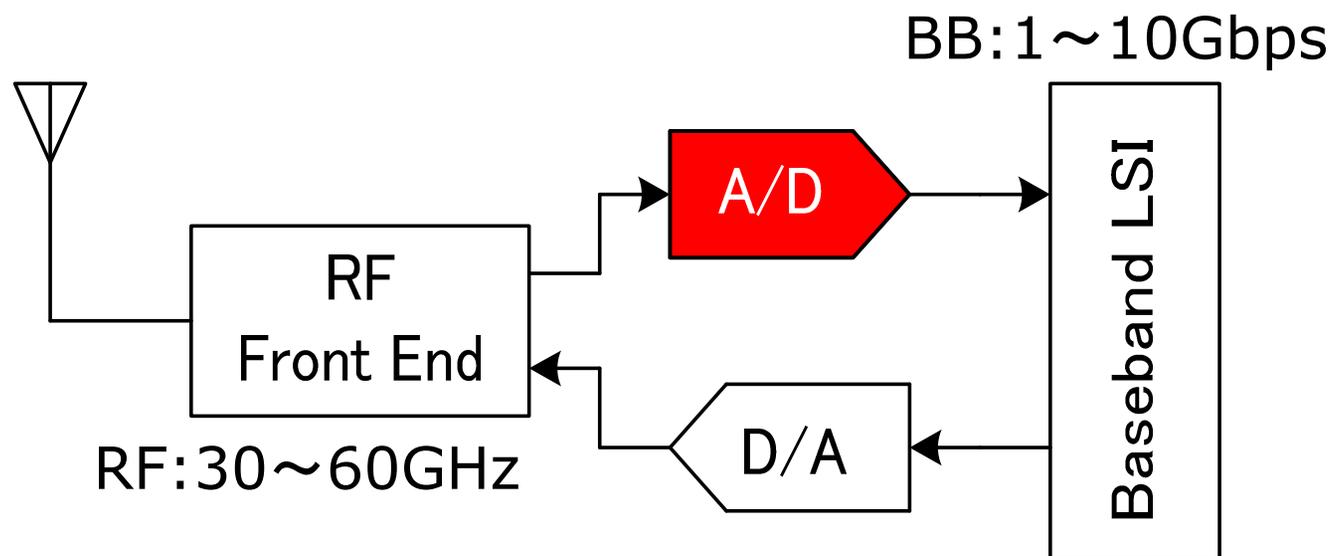
並列型A/Dコンバータにおける エンコーダの高速化の検討

○浅田 友輔, 宮原 正也, 岡田 健一, 松澤 昭
東京工業大学大学院
理工学研究科電子物理工学専攻

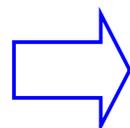
- 研究背景
- A/Dコンバータの目標仕様
- 並列型A/Dコンバータの技術課題
- エンコーダ高速化法
- シミュレーション結果
- 結論

ミリ波帯を利用した近距離高速ワイアレス通信システムの実現

- ミリ波帯で動作するRF フロントエンド
- 高速なベースバンド処理能力
- 広帯域・低消費電力A/D, D/Aコンバータ



基本的なトランシーバの構成



通信速度の向上にはA/D, D/Aの高性能化が必須

A/Dコンバータの目標仕様

6bit並列型A/Dコンバータの開発

- なぜ6bit分解能か? ⇒ 16QAM(SNR20dB以上)への応用を想定
- なぜ並列型か? ⇒ 6bitでは最も高速化に適したアーキテクチャ

papers	process	Resolution	fs[GS/s]	Power[mW]	FoM[pJ]
[1]	0.13um	6bit	4.0	990	7.73
[2]	0.13um	6bit	4.0	182	1.33
[3]	90nm	6bit	3.5	98	0.95
目標	90nm	6bit	4	50	0.4

$$FoM = \frac{Power}{2^{ENOB} \cdot f_s}$$

[1] C. Paulus *et al.*, "A 4GS/s 6b Flash ADC in 0.13um CMOS" in Dig. Symp. VLSI Circuits, pp. 420-423, June, 2004

[2] H. Okada *et al.*, "Offset Calibrating Comparator Array for 1.2-V, 6bit, 4-Gsample/s Flash ADCs using 0.13-um generic CMOS Technology" in Proc. ESSCIRC'03, Sep.2003, pp. 711-714

[3] K. Deguchi *et al.*, "A 6-bit 3.5GS/s 0.9-V 98-mW Flash ADC in 90nm CMOS" in Dig. Symp. VLSI Circuits, pp 64-65, June, 2007

並列型A/Dコンバータの構成要素

コンパレータアレイ

機能: アナログ信号をサーモメータコードに変換

課題: 素子バラつきによるオフセット

応答速度

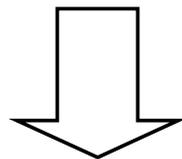
メタステーブル出力

エンコーダ

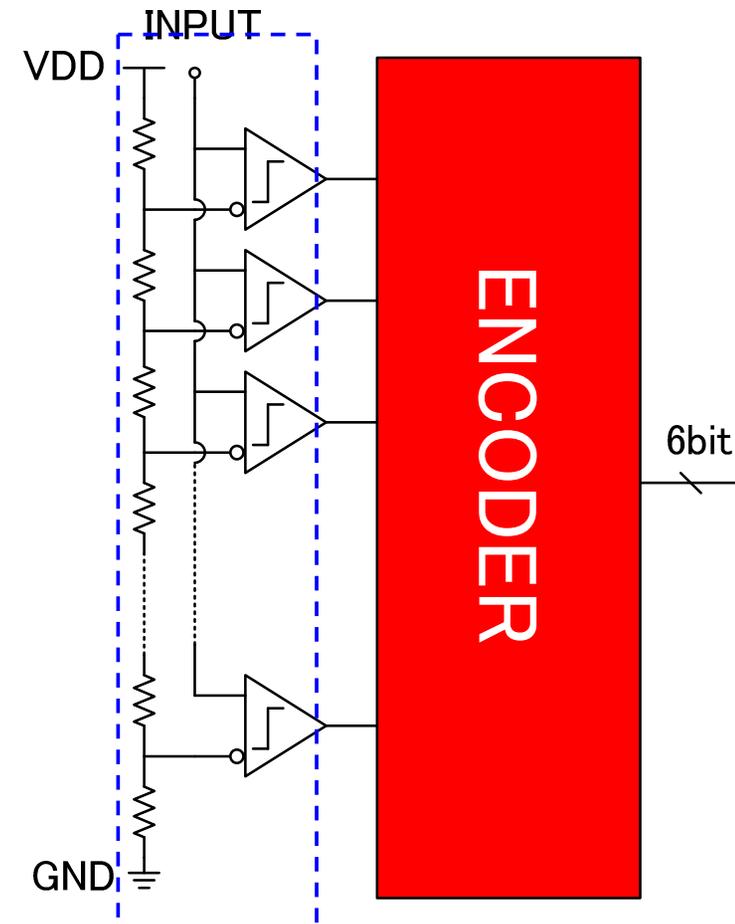
機能: サーモメータコードを符号化

課題: 動作周波数の限界

メタステーブル耐性



両者それぞれに技術課題あり
本発表では後者について検討



Comparator Array

並列型A/Dコンバータ
のシステム構成

エンコーダの高速化の課題

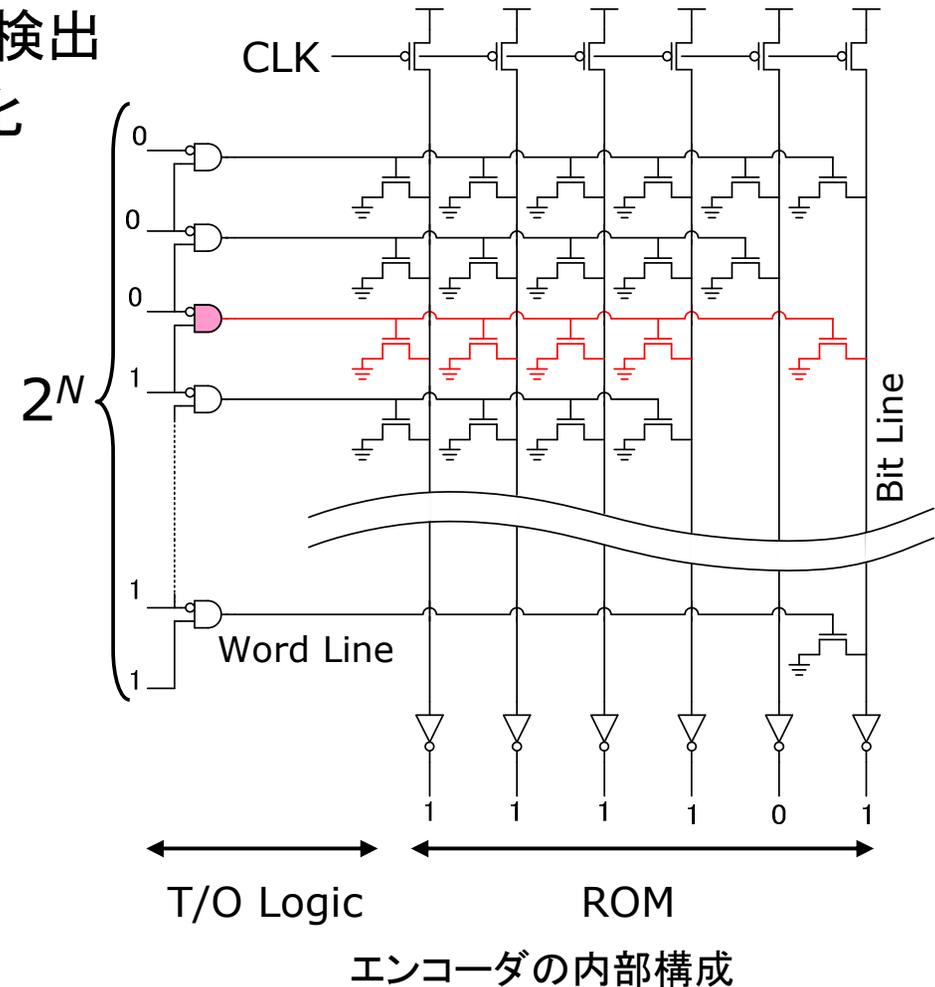
エンコーダの実現方法

T/O Logic・・・サーモメータコードの変化点検出

ROM・・・選択位置に応じてデータを符号化

ROM部がエンコーダの性能を律速

ビット線に付加する { MOS接合容量
配線容量



エンコーダの高速化の課題

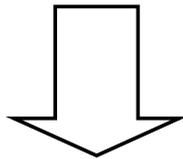
エンコーダの実現方法

T/O Logic・・・サーモメータコードの変化点検出

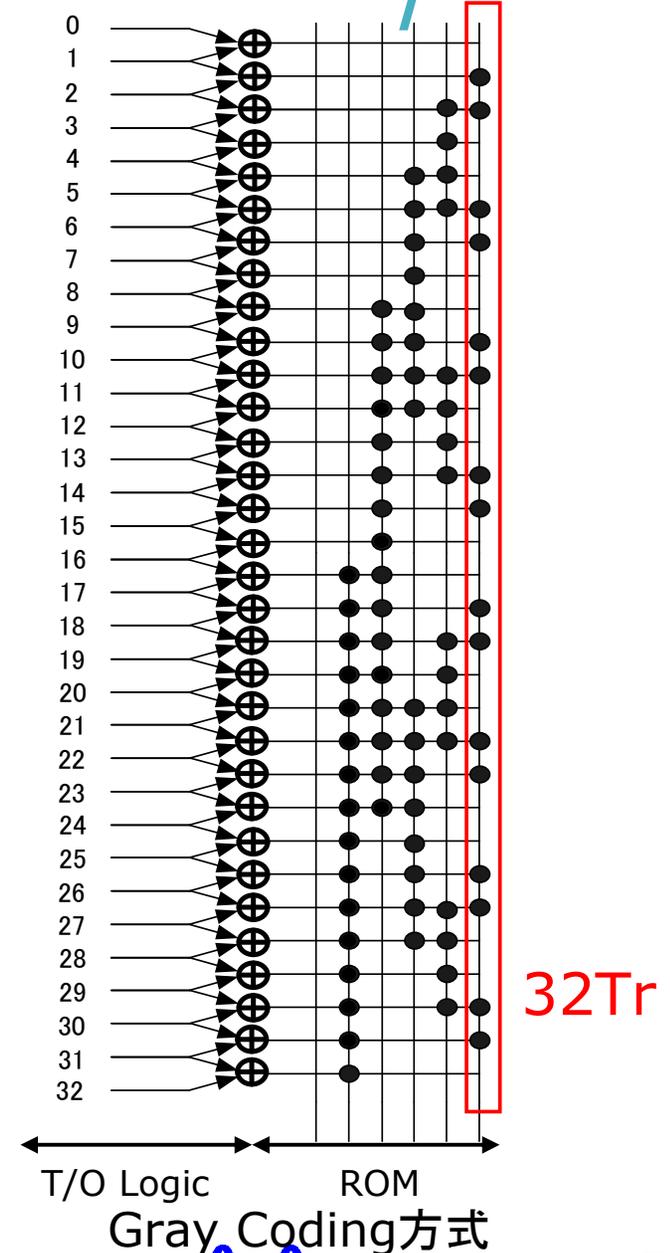
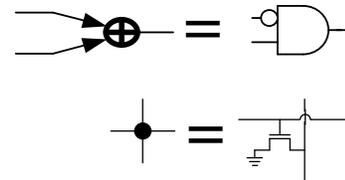
ROM・・・選択位置に応じてデータを符号化

ROM部がエンコーダの性能を律速

ビット線に付加する { MOS接合容量⇒32Tr
配線容量



プロセス微細化によりROM部の
高速化が期待できるが、それで十分か？



ROM限界性能

ROM正常動作の条件

$$t_{fall} < \frac{T}{2} = \frac{1}{2f} \quad f_c = \frac{1}{2t_{fall}}$$

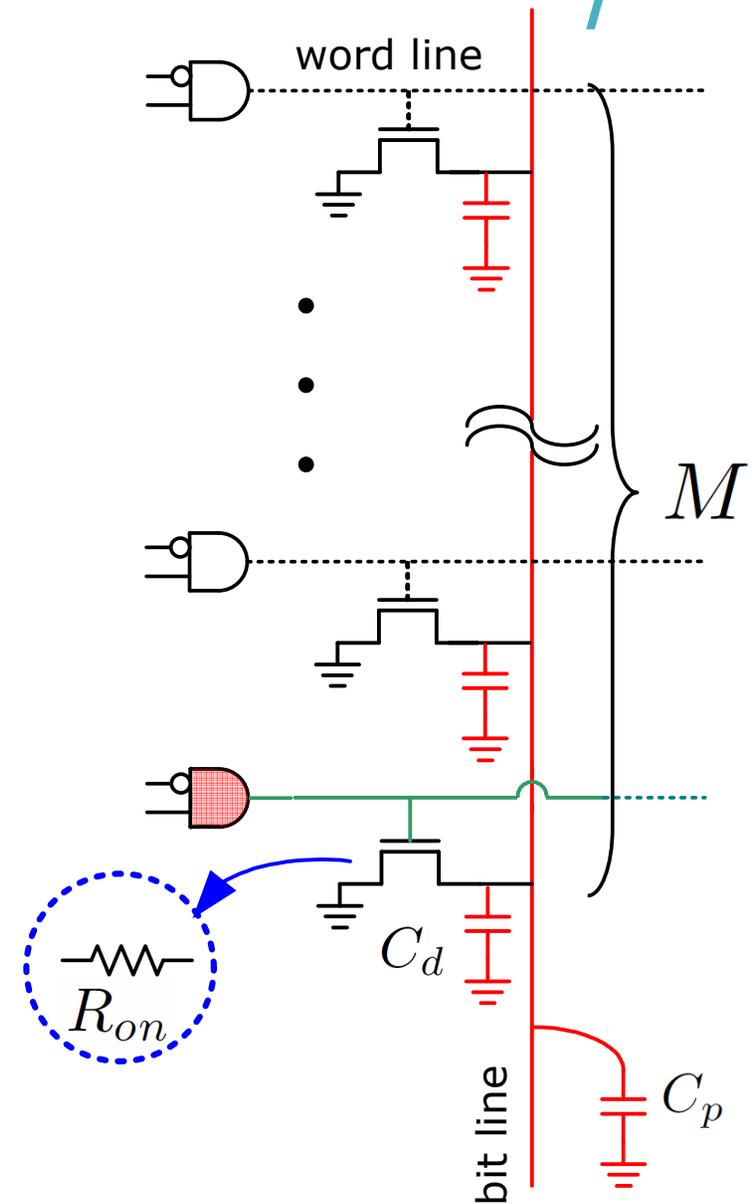
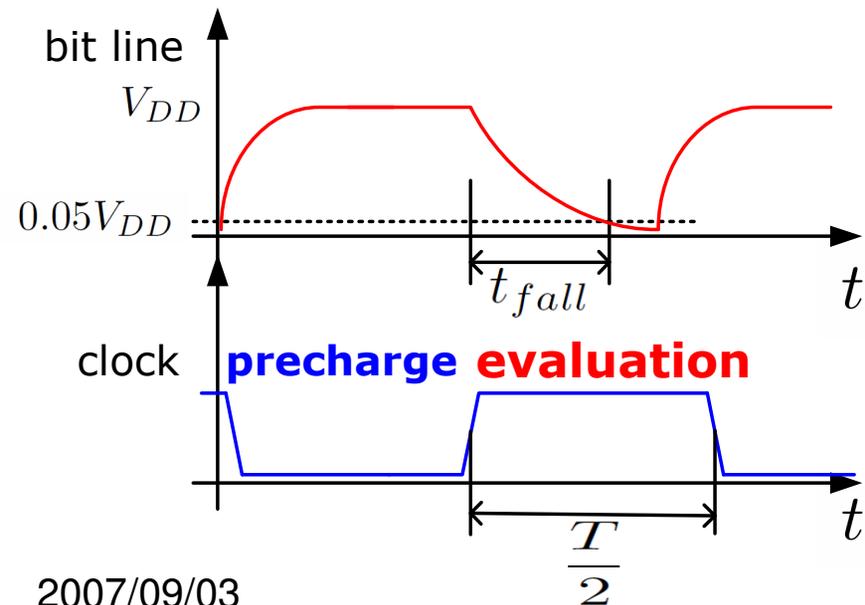
立下り時間の定式化

$$t_{fall} = -R_{on}C_{bit} \ln 0.05$$

ON抵抗や寄生容量とトランジスタサイズ

$$R_{on} = \frac{1}{\mu C_{OX} \frac{W}{L} (V_{DD} - V_{TH})} = \frac{K_R}{W}$$

$$C_{bit} = MC_d + C_p \quad C_d = K_C W$$



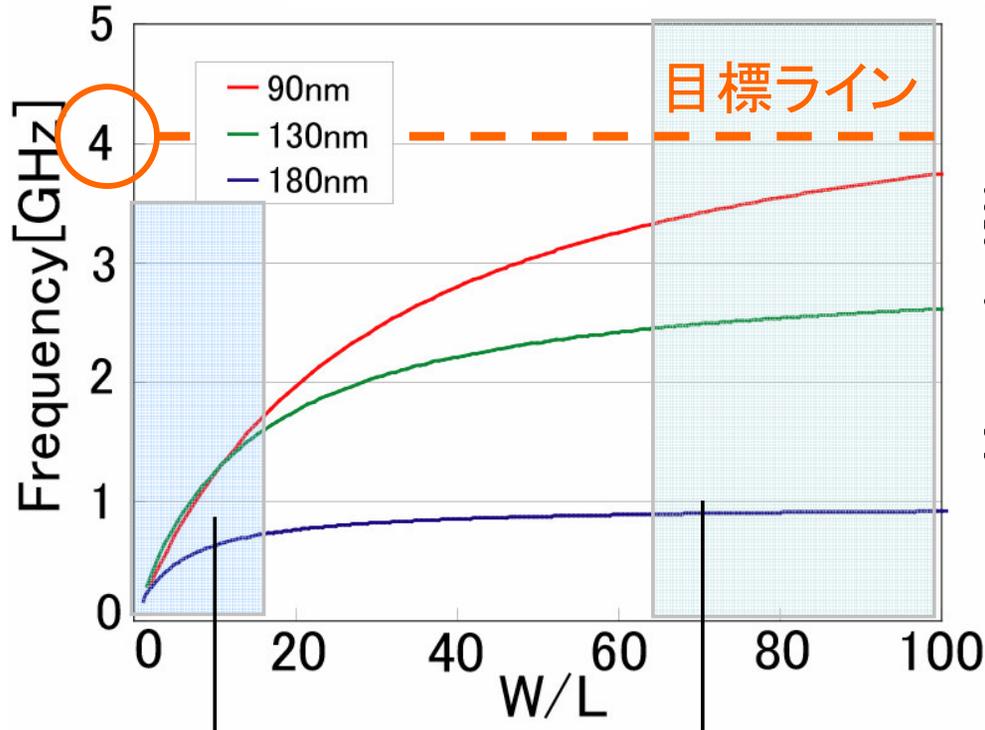
従来方式の限界

従来方式はプロセス微細化でも目標仕様を満足できない

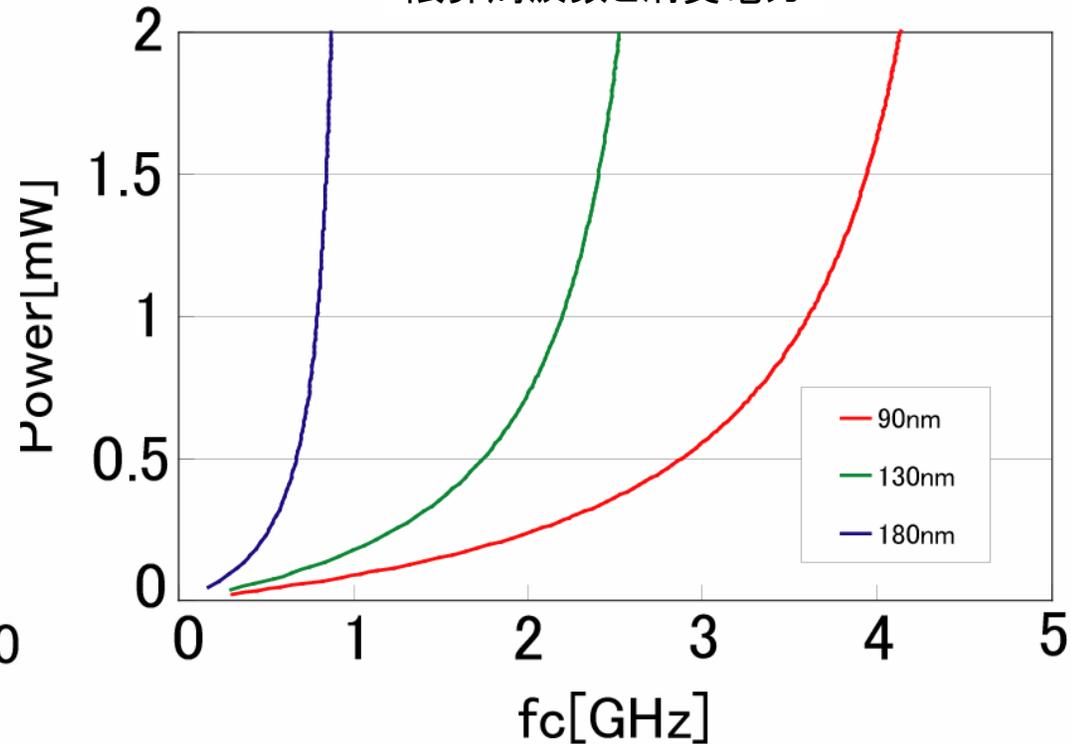
$$f_c = \frac{1}{2R_{on}C_{bit} \ln 0.05} = \frac{KW}{K_R(MK_CW + C_p)}$$

$$P = \frac{1}{2} \alpha C_{total} V_{DD}^2 f_c$$

W/Lと限界周波数



限界周波数と消費電力



配線容量が支配的

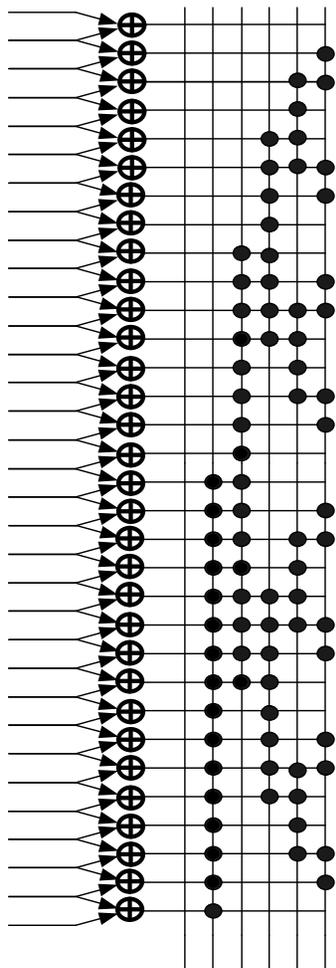
限界周波数が頭打ち
電力効率の悪化

配線長: 500um
クロックバッファは除く

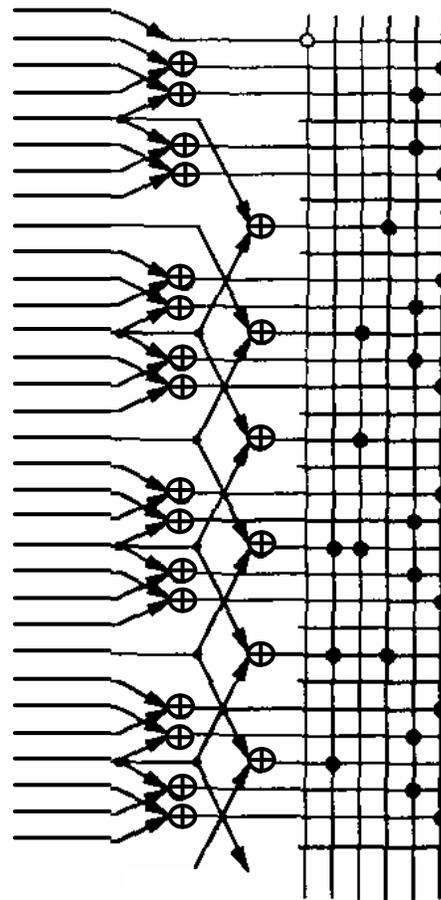
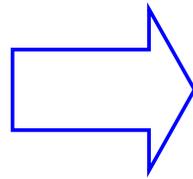
エンコーダ高速化方法

Multistage Duplex Gray Codingを採用

- コーディングドット数を大幅に削減
- メタステーブル耐性



Gray Coding



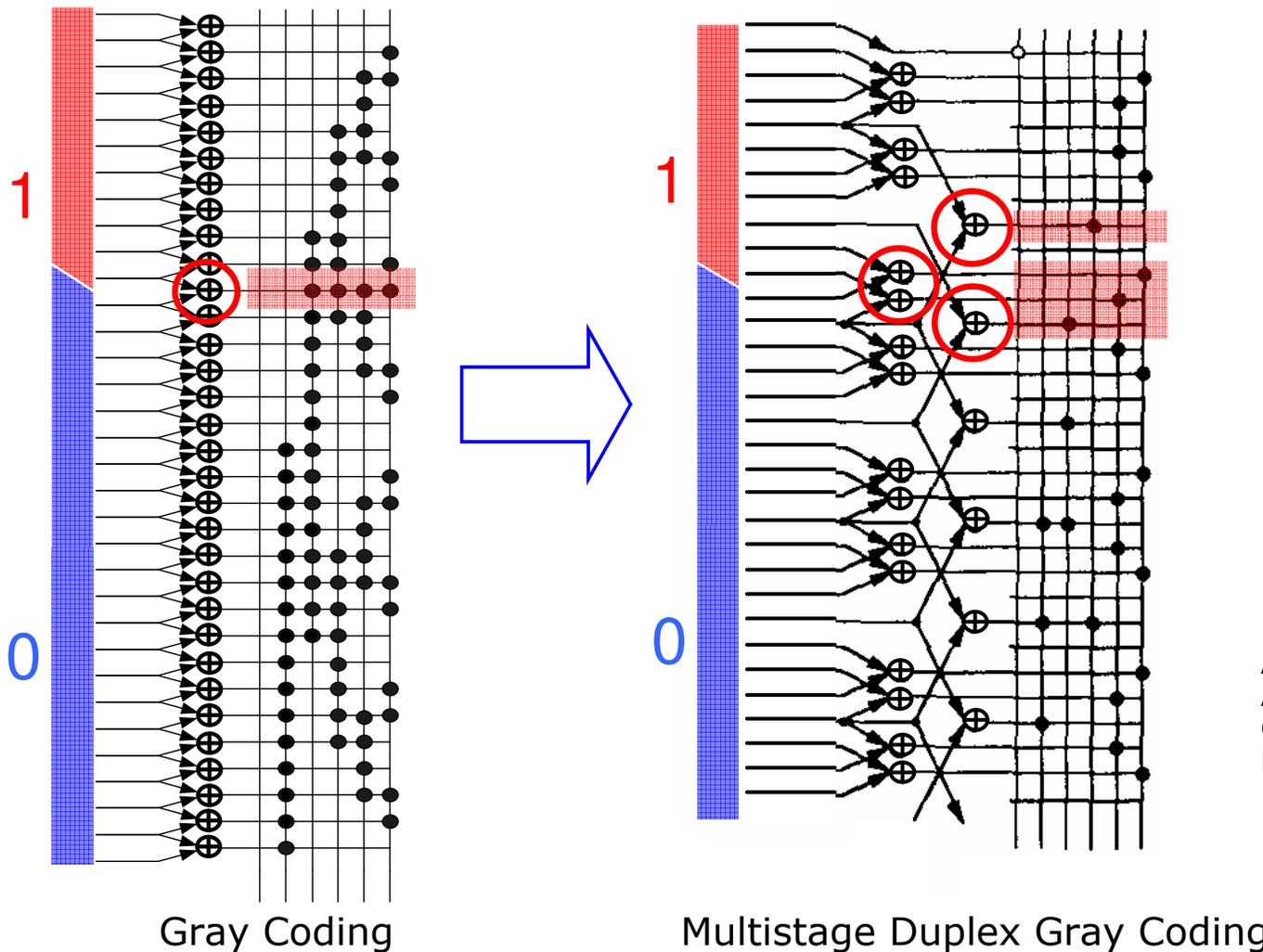
Multistage Duplex Gray Coding

A. Matsuzawa *et al*, "An 8b 600MHz Flash A/D Converter with Multistage Duplex Gray Coding", Symp. On VLSI Cir., pp. 113-114, May.1991.

エンコーダ高速化方法

Multistage Duplex Gray Coding

- コーディングドット数を大幅に削減
- メタステーブル耐性



A. Matsuzawa *et al*, "An 8b 600MHz Flash A/D Converter with Multistage Duplex Gray Coding", Symp. On VLSI Cir., pp. 113-114, May.1991.

従来方式との比較

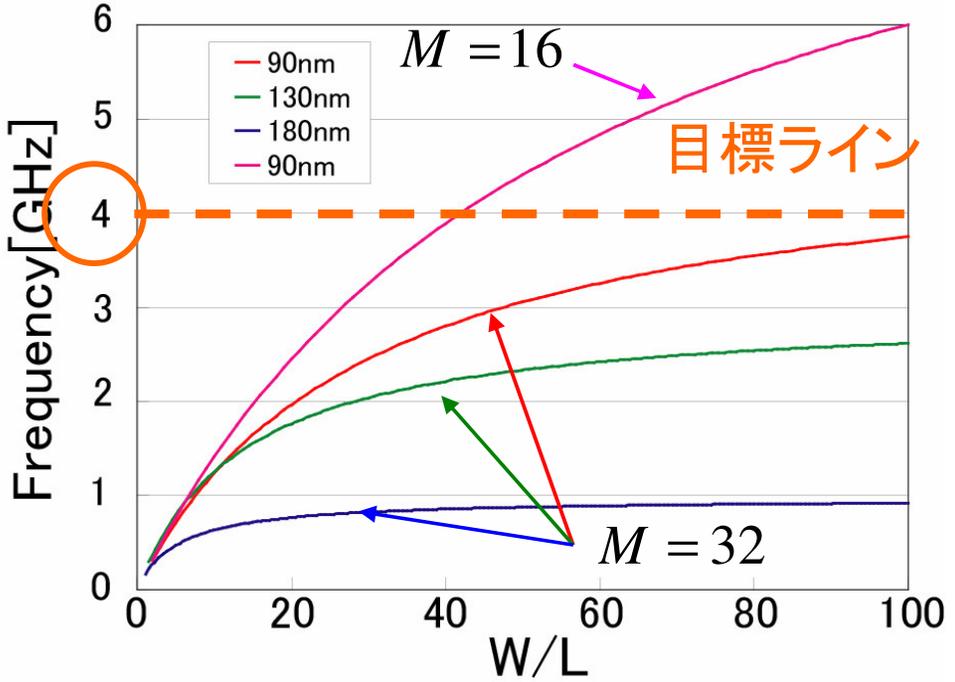
Multistage Duplex Gray Codingにより、高速化と低電力を同時に達成

$$f_c = \frac{1}{2R_{on}C_{bit} \ln 0.05} = \frac{KW}{K_R(MK_CW + C_p)}$$

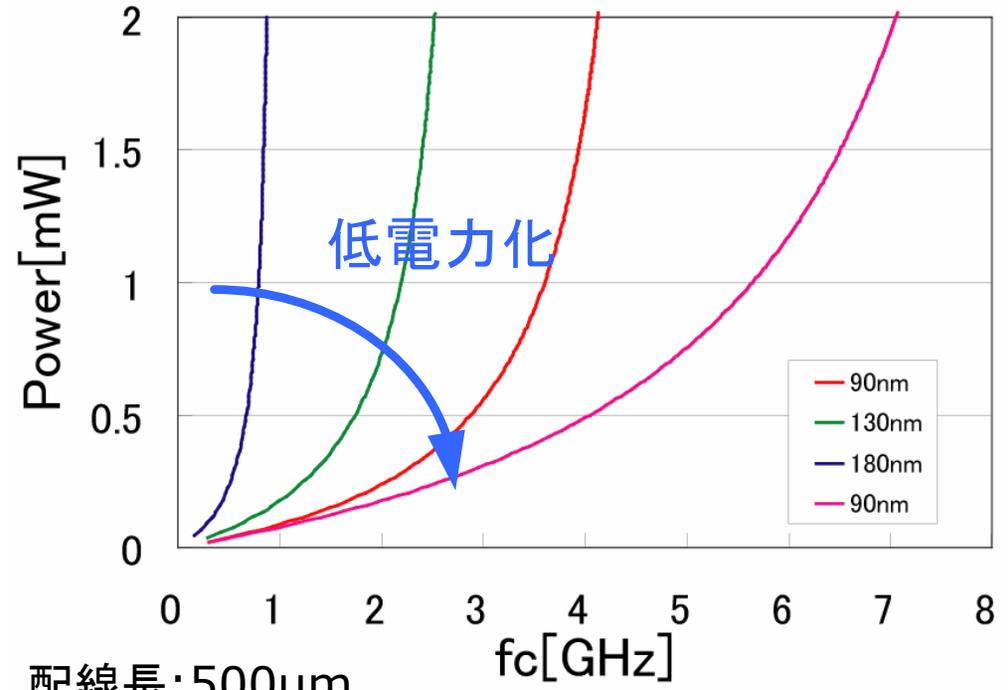
$$P = \frac{1}{2} \alpha C_{total} V_{DD}^2 f_c$$

M:ビット線に接続されるトランジスタ数

限界周波数と消費電力の関係

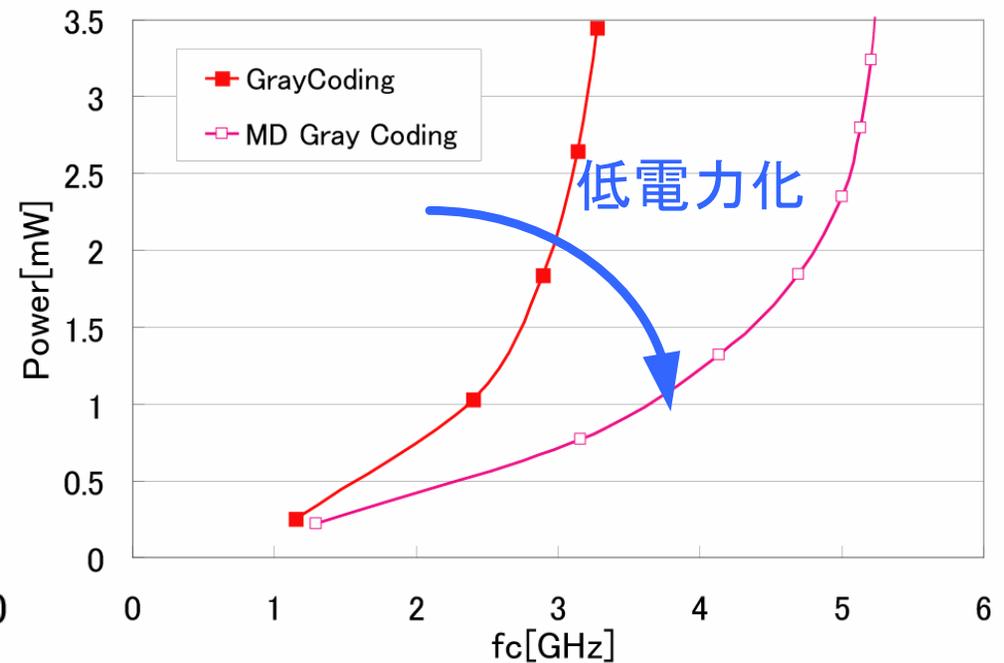
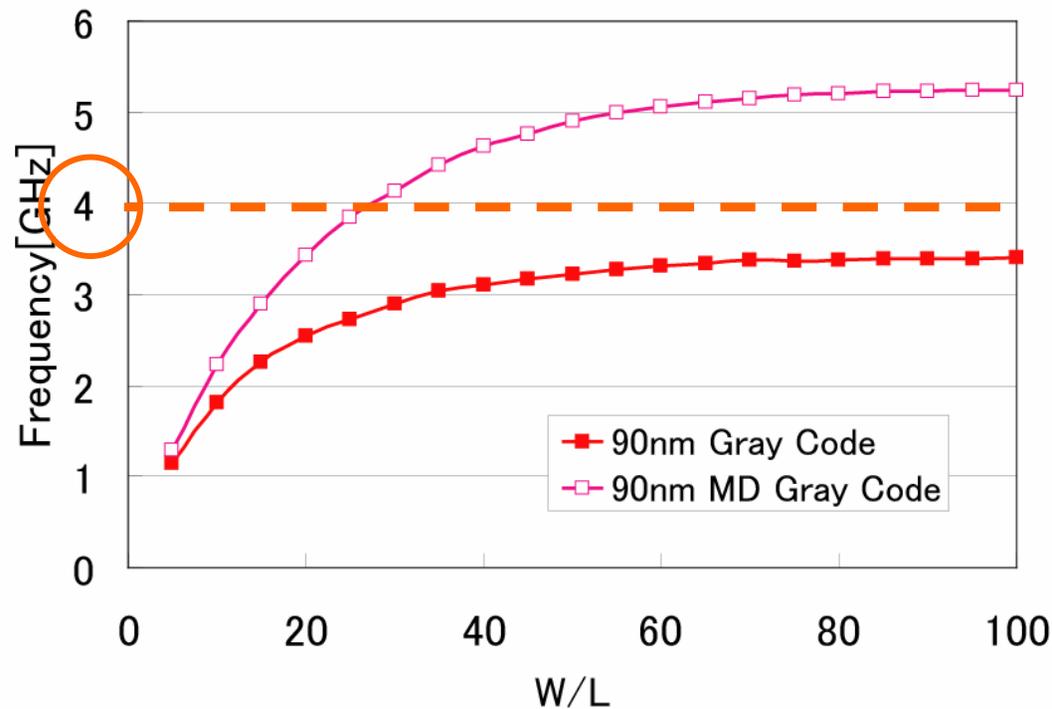


限界周波数と消費電力の関係



配線長: 500um
クロックバッファは除く

SpectreによるシミュレーションでもMultistage Duplex Gray Coding方式の優位性を確認



配線長: 500 μ m
クロックバッファは除く

並列型A/DコンバータのROM性能評価に関して

- 理論式でROMの限界性能・消費電力を推定する方法を提案した
- ROM部にGray Coding方式を用いると高速化に限界があり、消費電力にも問題がある
- Multistage Duplex Gray Coding方式を用いること目標仕様を満足する性能を実現した