

伝送線路を用いた動的再構成可能 Si CMOS VCO の検討

Study of Dynamic Reconfigurable Si CMOS VCO Using Transmission Line

伊藤 猛
Takeshi Ito

ウィン チャイヴィパース
Win Chaivipas

岡田 健一
Kenichi Okada

松澤 昭
Akira Matsuzawa

東京工業大学 理工学研究科 電子物理学専攻
Department of Physical Electronics, Tokyo Institute of Technology

1 はじめに

電圧制御発振器 (VCO) は無線通信用 RF フロントエンドを構成する主要な要素回路である。CMOS トランジスタのゲート長の微細化に伴い、Si CMOS を用いて高い動作周波数の VCO を実現することが可能になってきた。製造ばらつきが増大することにより発振周波数や位相雑音などの回路性能が設計値と異なる問題がある。これを解決する手法としてデジタル制御回路による動的再構成可能な RF 回路設計技術が提案されている [1]。本研究では $0.18\mu\text{m}$ Si CMOS プロセスを用いて 12 GHz 帯で動作する VCO の試作を行い、動的再構成による VCO の性能向上を図った。

2 試作した VCO の構造

発振周波数の増加により位相雑音が悪化するので、より位相雑音の小さい回路設計が重要となる。図 1 に PMOS クロスカプルと NMOS クロスカプル VCO の位相雑音特性を示す。16 GHz 以下では PMOS の方が位相雑音が小さい。これは $1/f$ ノイズが PMOS の方が小さいことによる。一方、18 GHz 付近になると g_m が低下する。移動度の違いにより PMOS の方がゲート幅の増加に伴い寄生容量が大きくなり、発振周波数の低下、位相雑音の劣化を招く。今回は図 2 に示すような伝送線路を用いた PMOS バイアス PMOS クロスカプルの回路構成とした。

3 評価

図 2 で示した回路を試作し、測定・評価を行った。図 3 はそのチップ写真である。インダクタ負荷の IO 出力バッファを介して、RF パッドからオンウェハープローブを用いて出力した。シグナル・ソース・アナライザ (Agilent E5052A) により解析を行った。

図 4 より 発振周波数は 11.8 GHz から 12.4 GHz であった。図 5 より 位相雑音は 1 MHz offset で、 -112.6 dBc/Hz であった。点線はそれぞれ伝送線路の測定結果を用いて回路シミュレーションを行った結果である。図 6 は電源電圧及びバイアス電流を変化させたときの位相雑音特性の変化である。PVT ばらつきにより VCO の回路性能は設計した値と異なるが、バイアス調整により位相雑音特性が改善されている。

4 まとめ

本研究では、10 GHz 以上で動作する VCO の試作・評価を行った。動的再構成可能な RF 回路技術を適用することにより、PVT ばらつきによる回路性能の補償を行い位相雑音特性の改善が可能である。

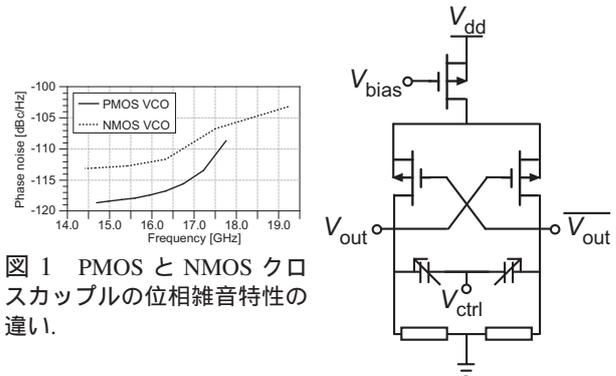


図 1 PMOS と NMOS クロスカプルの位相雑音特性の違い。

図 2 VCO の回路図。

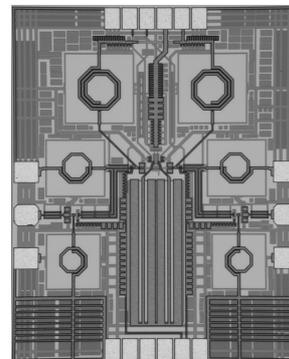


図 3 VCO のチップ写真。

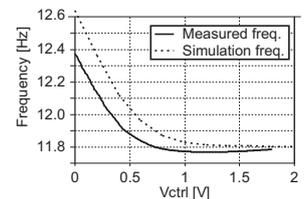


図 4 VCO の発振周波数。

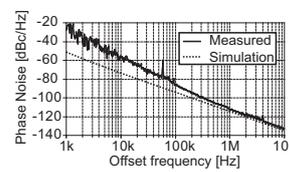


図 5 位相雑音特性。

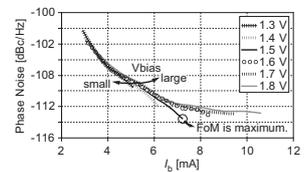


図 6 位相雑音の最適化。

参考文献

- [1] K. Okada, Y. Yoshihara, H. Sugawara, and K. Masu, "A dynamic reconfigurable RF circuit architecture," in *Proceedings of IEEE/ACM Asia and South Pacific Design Automation Conference*, Jan. 2005, pp. 683–686.