

マルチビット型パイプライン型 ADCの検討

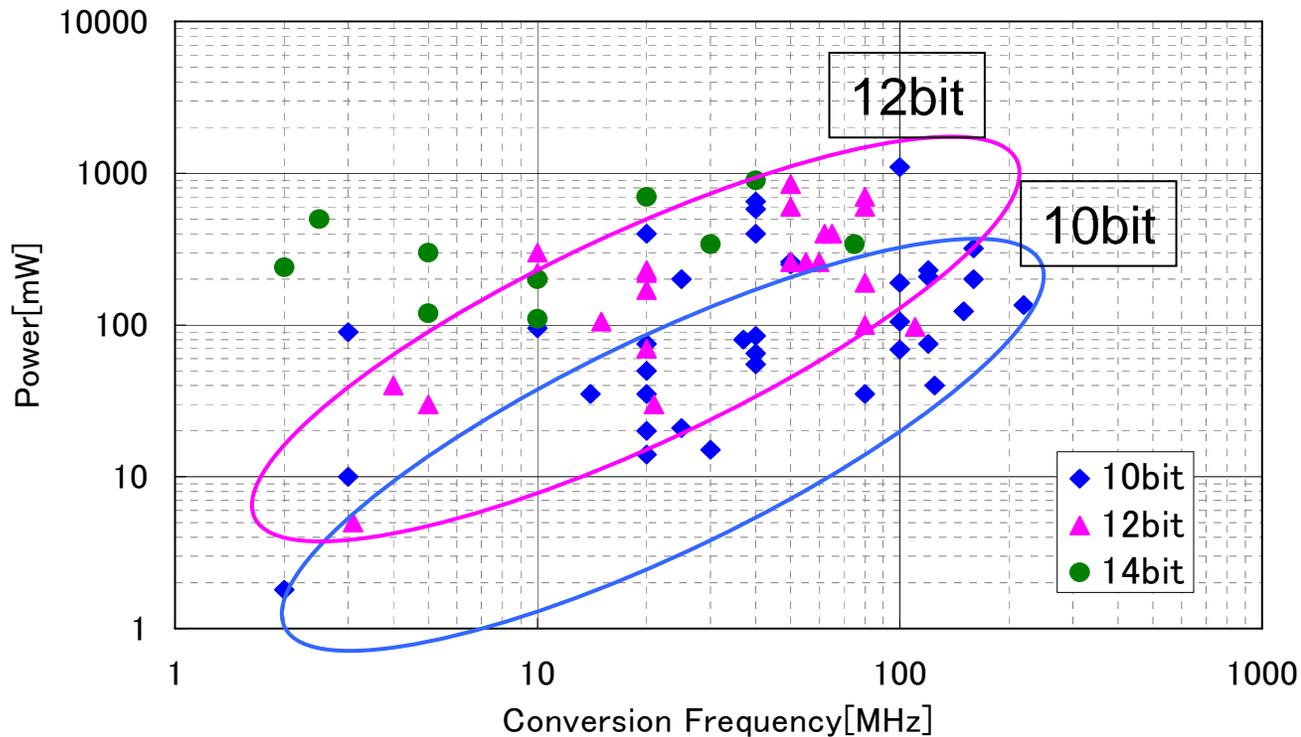
東京工業大学 大学院 理工学研究科

電子物理工学専攻 松澤研究室

○遠藤 洋輝、宮原 正也、松澤 昭

背景

- ・8~14bitの分解能ではパイプライン型ADCが主力
- ・高画質化に伴い12bit以上のADCが必要だが、速度・消費電力とも不十分
→同程度の速度で消費電力が1、2桁大きい



パイプライン型ADCの変換周波数と消費電力

発表内容

1. マルチビット構成概要

2. 検討事項

- オペアンプ必要利得
- 容量ミスマッチ解析
- ノイズ解析
- 容量値算出

3. マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係
- β と C_L

発表内容

1. マルチビット構成概要

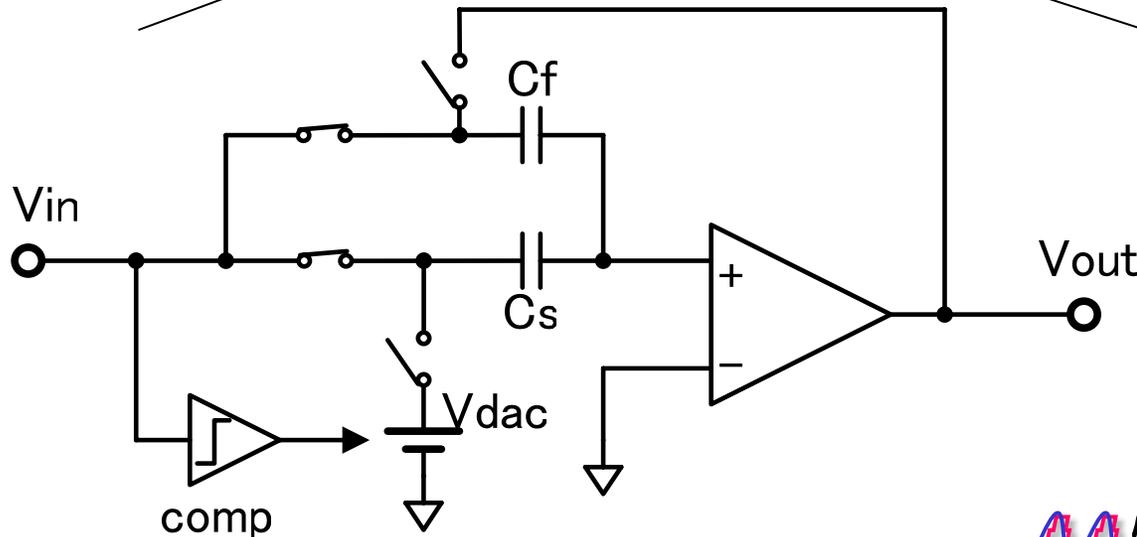
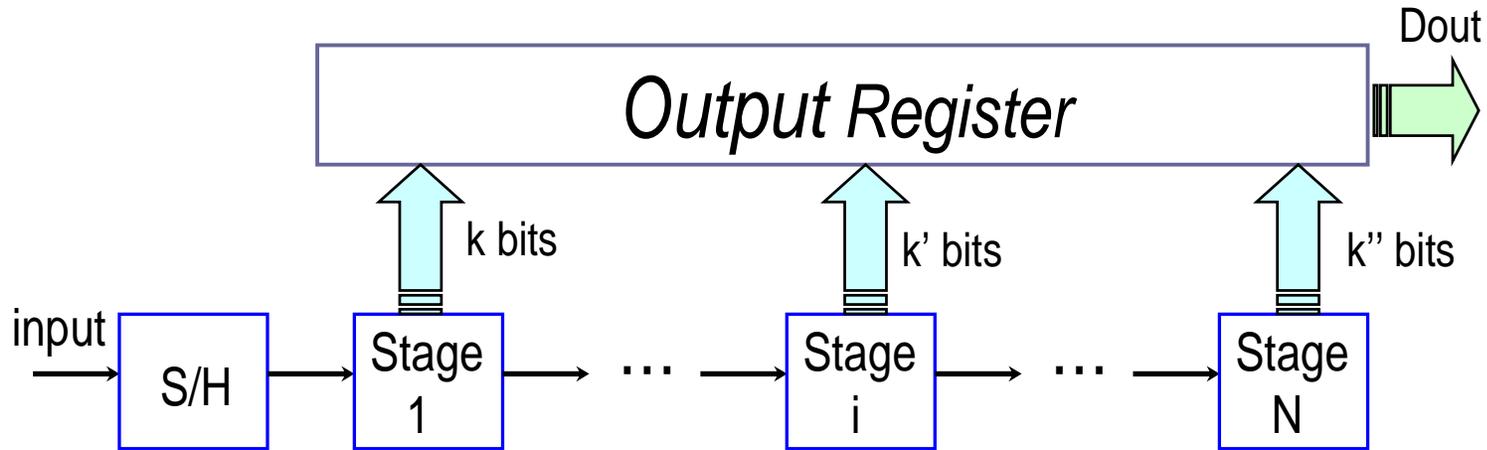
2. 検討事項

- オペアンプ必要利得
- 容量ミスマッチ解析
- ノイズ解析
- 容量値算出

3. マルチビット構成の性能見積もり

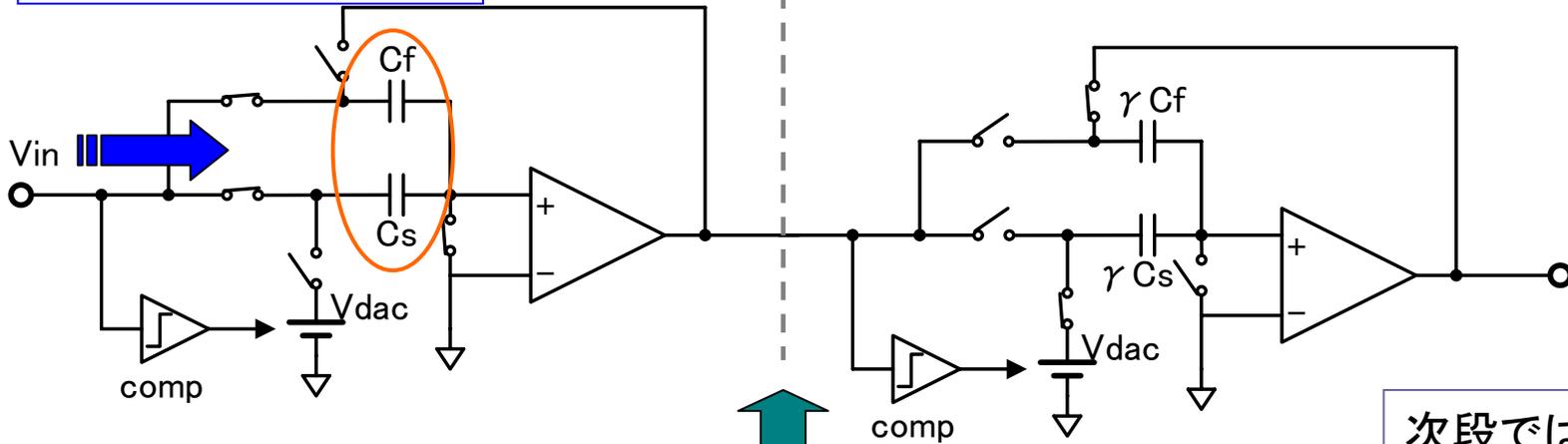
- 消費電流と変換周波数の関係
- β と C_L

パイプライン型ADCの構成

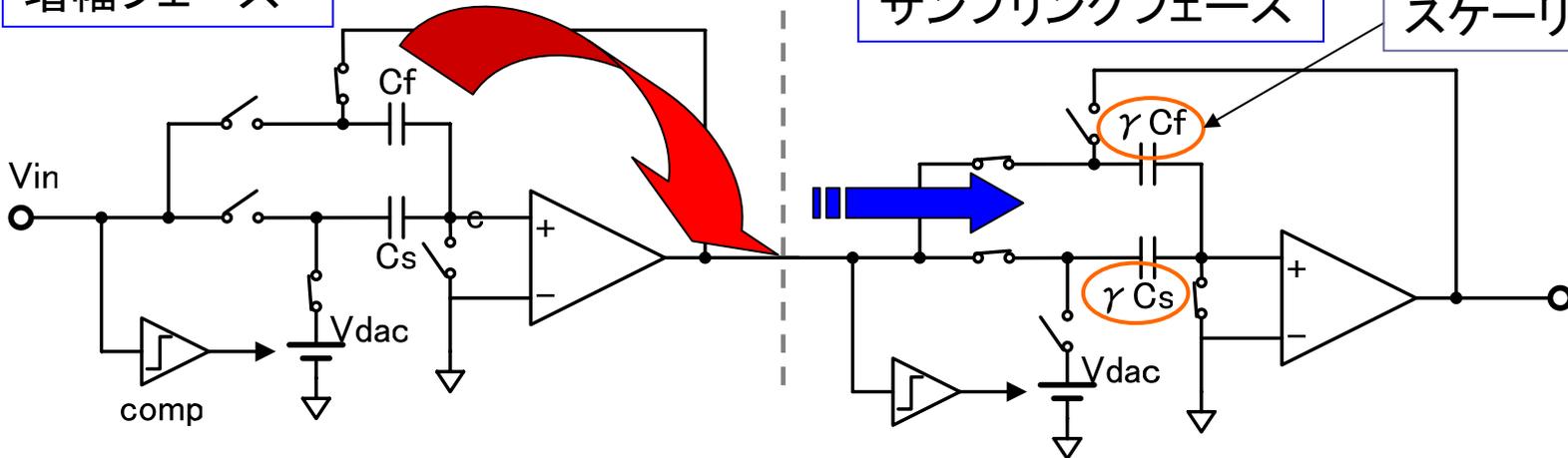


パイプライン動作

サンプリングフェーズ



増幅フェーズ



サンプリングフェーズ

次段では容量値を
利得の逆数で
スケーリング

$$\gamma = \frac{1}{2^M}$$

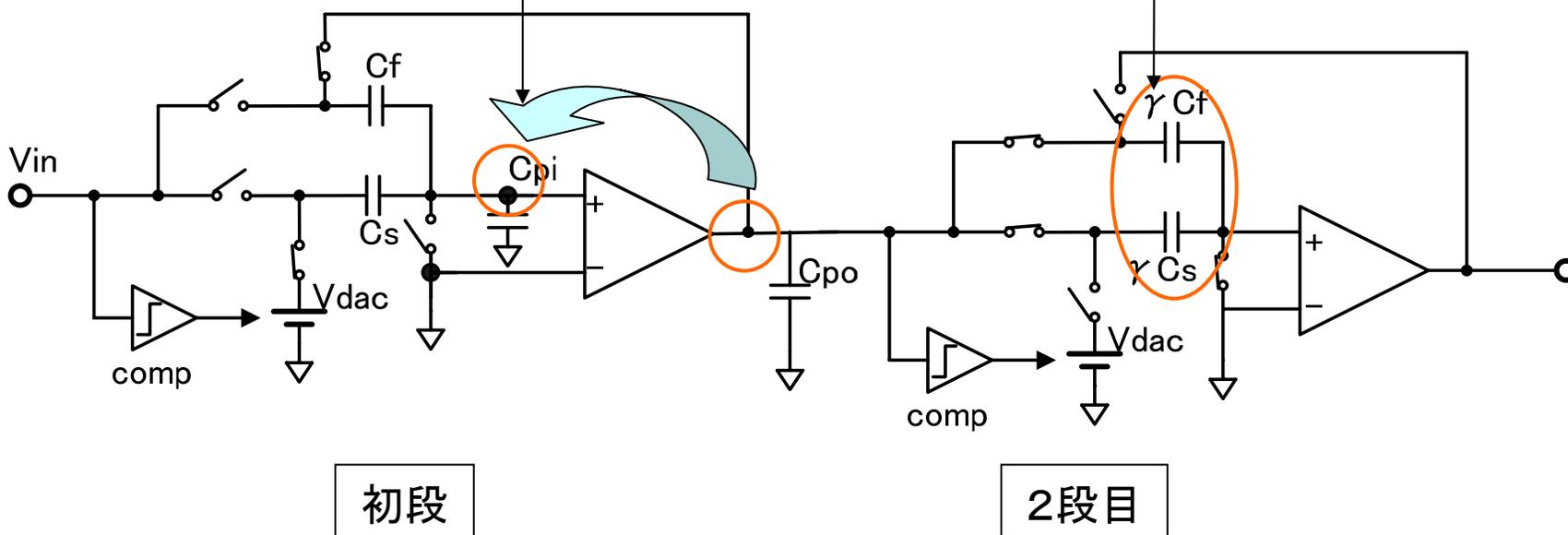
帰還係数 β と負荷容量 C_L

- ・帰還係数 β はフィードバック系でオペアンプ出力から入力に帰還される量
- ・負荷容量は主にサンプリング時の C_s と C_f
(C_{pi} と C_{po} はオペアンプ入出力の寄生容量)

$$\beta = \frac{C_f}{C_s + C_f + C_{pi}} \quad C_L = C_{po} + \gamma(C_f + C_s) + \frac{C_f(C_s + C_{pi})}{C_f + C_s + C_{pi}} \quad \Rightarrow \quad GBW_{-closed} = \frac{g_m \beta}{2\pi C_L}$$

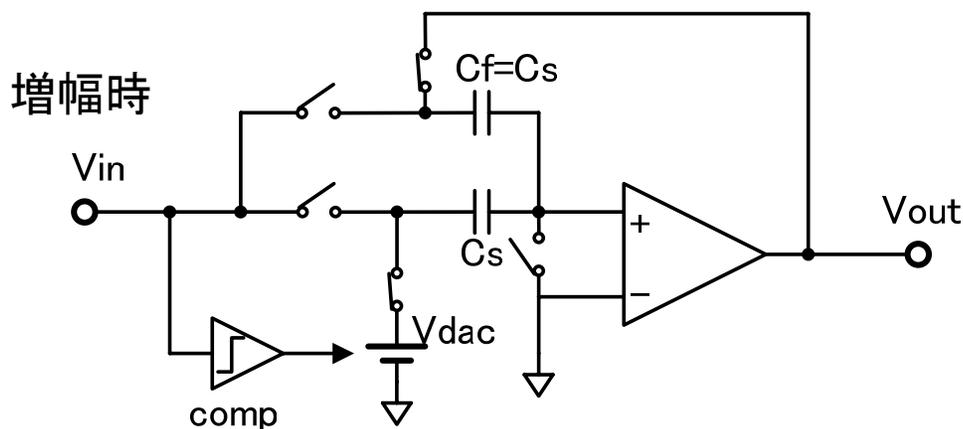
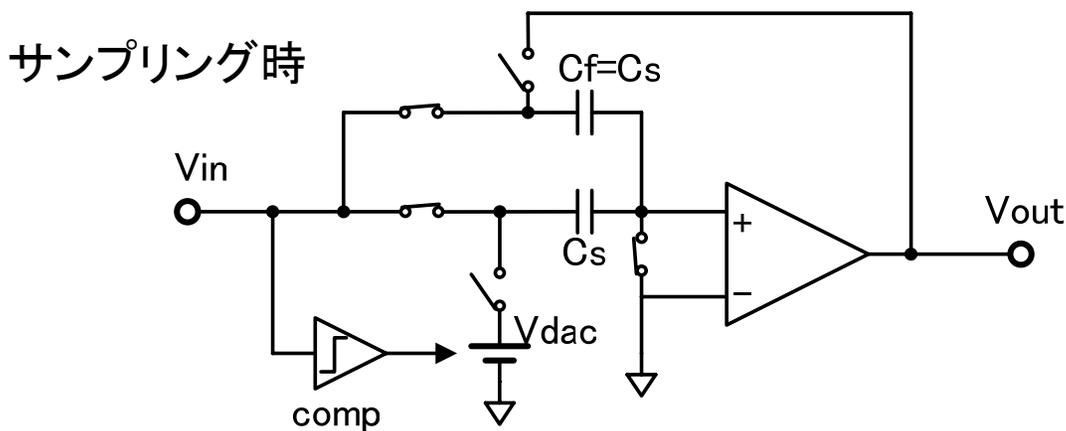
出力から入力に帰還される量

次段の帰還容量

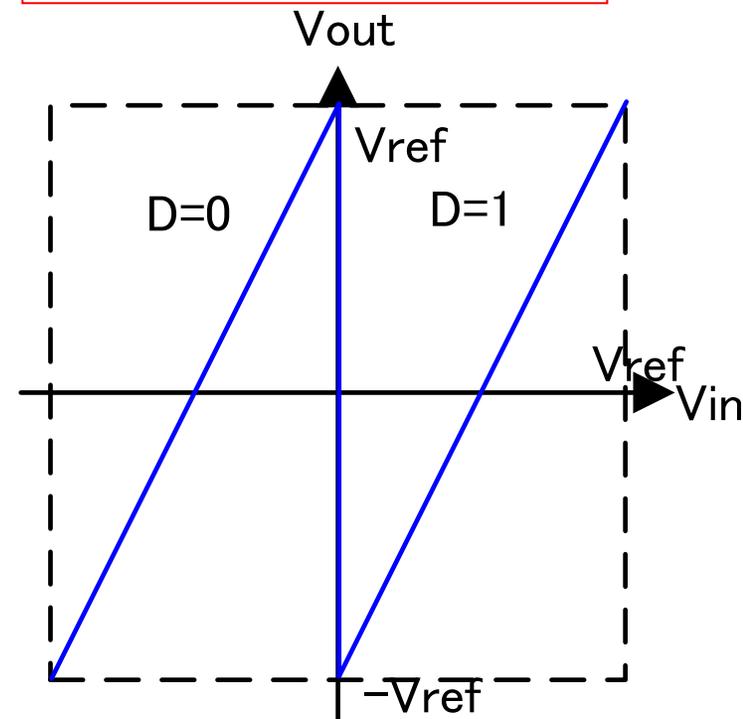


シングルビット構成

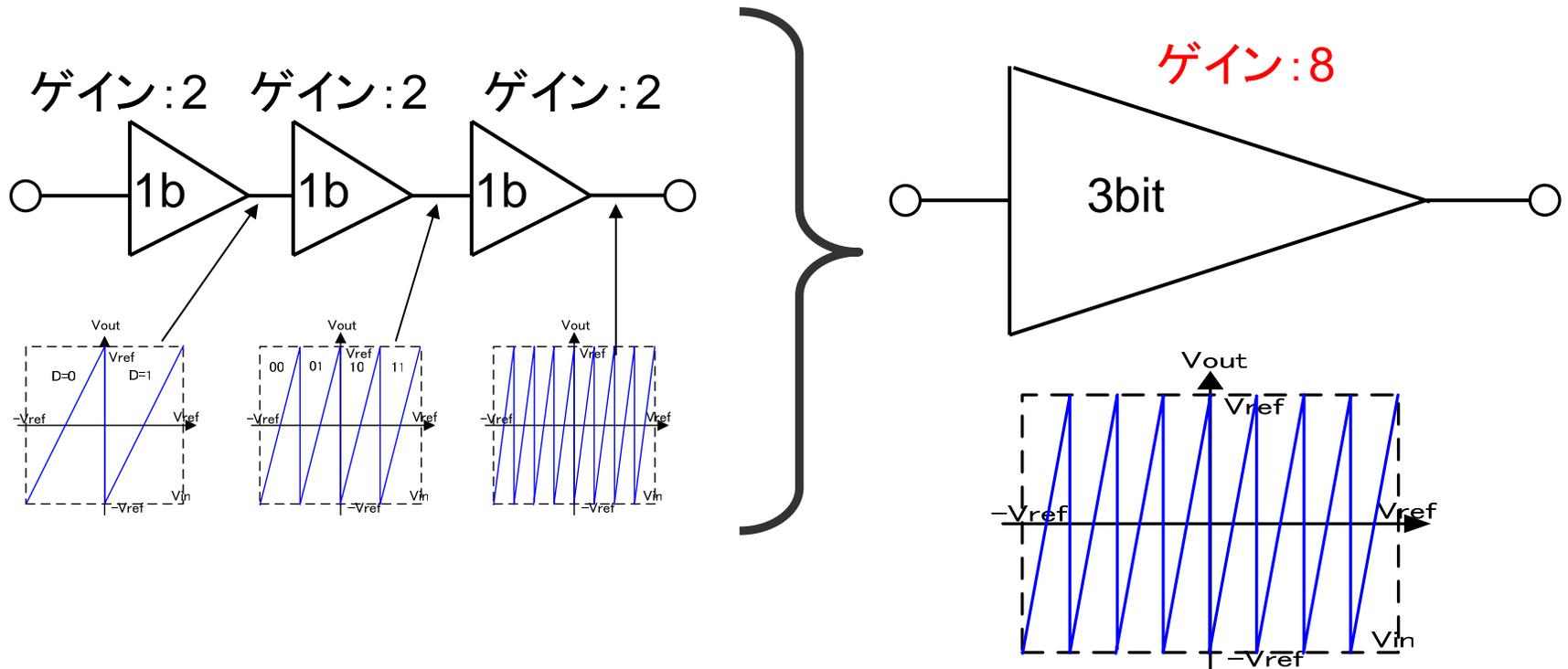
- ・1段で1bit分のデジタル出力
- ・ステージのゲインは2倍
- ・デジタルに出力された分をアナログ領域で減算



入出力転スファークラフ



マルチビット構成



・マルチビット構成では
1段でMビット分の変換を行う。

回路

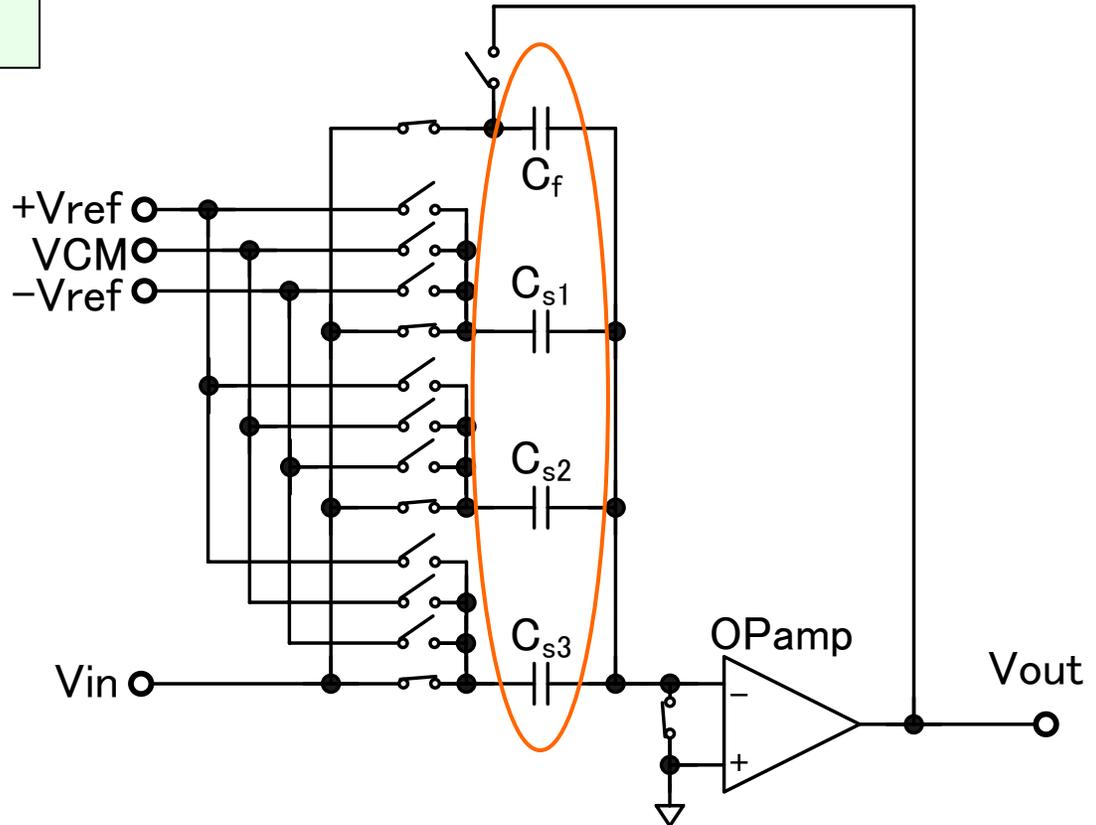
・シングルビット構成と比較 (Mビット構成の場合)

構造的な変化

- ・容量の数が 2^M 個
- ・stageの数が $M-1$ 個減少

※トータルのサンプリング容量

$$C_t = C_f + \sum C_s = 2^M C$$



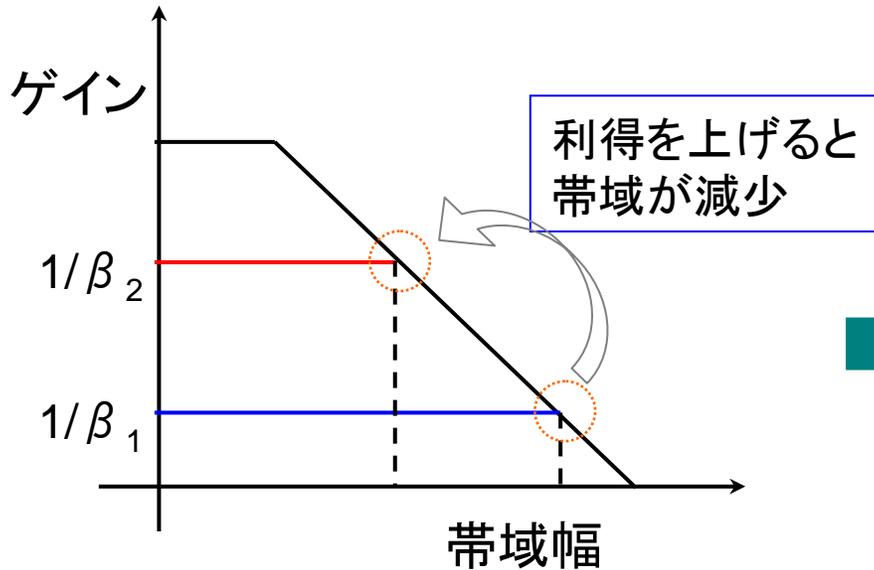
2ビット構成時の単位変換回路

変換速度

$$GBW_{closed} = \frac{g_m \beta}{2\pi C_L}$$

$g_m \beta$ → 減少
 $2\pi C_L$ → 減少

- ・帰還係数 β が減少 → GBWが低下
- ・負荷容量が減少 → GBWが向上



$$f_s \leq \frac{3 GBW_{closed}}{N - M + 1}$$

- ・変換周波数はGBWに比例
- ・セットリング時間の緩和

1次の系のオペアンプの応答

$$\beta = \frac{C_f}{C_s + C_f + C_{pi}} \cong \frac{1}{G_{stage}}$$

発表内容

1. マルチビット構成概要

2. 検討事項

- オペアンプ必要利得

- 容量ミスマッチ解析

- ノイズ解析

- 容量値算出

3. マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係

- β と C_L

オペアンプ必要利得

帰還係数は減少するが後段の誤差が緩和される影響により、オペアンプの必要利得は同程度

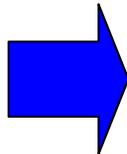
$$v_{out} = \frac{\frac{1}{C_f} [(C_s + C_f) v_{in} - C_s v_{DAC}]}{1 - \frac{C_s + C_f + C_{pi}}{C_f} \frac{v_{io}}{v_{out}}}$$

1/β

1/G

ゲインエラー

$$G(dB) = 20 \log \left[2^{N+1} + 2^{N-M+1} \frac{C_{pi}}{C} \right]$$



1/4LSBを算定基準とすると

$$G_{error} \approx \left| -\frac{1}{G\beta} \right| \leq \frac{1}{2^{N-M+1}}$$

N : ADC全体の分解能

M : 初段ビット数

初段ビット数	1bit	2bit	3bit	4bit	5bit
オープンループ 必要利得(dB)	6N+10	6N+9	6N+8	6N+7	6N+6

※14bit構成で初段が3bit出力→92dB

発表内容

1. マルチビット構成概要

2. 検討事項

- オペアンプ必要利得

- 容量ミスマッチ解析

- ノイズ解析

- 容量値算出

3. マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係

- β と C_L

容量値の決定

容量値 C_s, C_f が
大きい場合

変換精度 … 高い
速度 … 低下
消費電力 … 増加
占有面積 … 増加



これらの要素を考慮した
最適な容量値 C_s, C_f の
決定が重要

仕様を満たす範囲で最小な容量値を用いればよい。



変換精度に影響を与える

1. ミスマッチ精度

2. ノイズ

a) オペアンプノイズ

b) スイッチのオン抵抗ノイズ

を考慮した C_s, C_f の設計

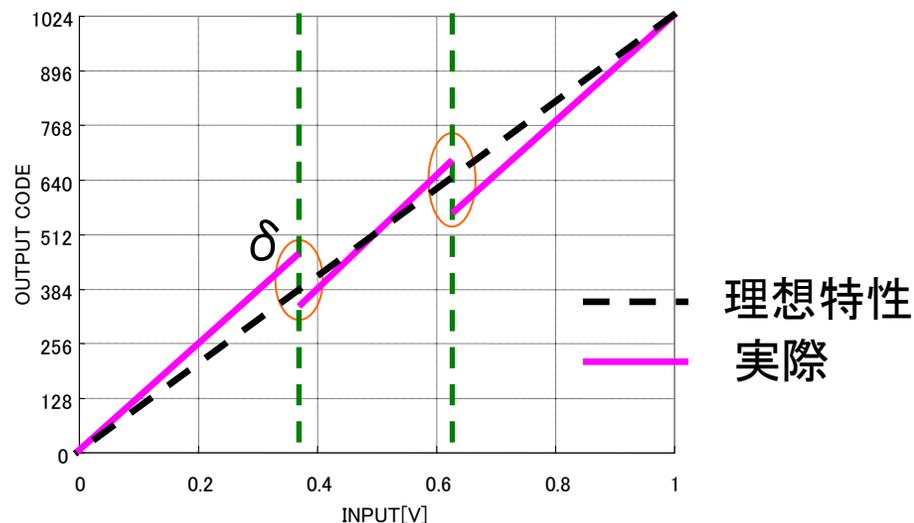
容量ミスマッチ (DNL)

DNLが1/4LSB以下となるように容量値を設定

$$\delta = \frac{1}{2^M - 1} (2^M - 1) \frac{\Delta C}{C} V_{ref} \leq \frac{V_{ref}}{2^{N-M+1}}$$

$$\frac{\Delta C}{C} = \frac{k}{\sqrt{C}}$$

※k: プロセスで決まる定数



初段1.5bit構成時に容量ミスマッチがある場合

$$C_t \geq k^2 \times 2^{2N+2-M}$$

同じDNL精度ならば
より小さな容量値が使える

DNL改善の定性的な説明

傾きが増大



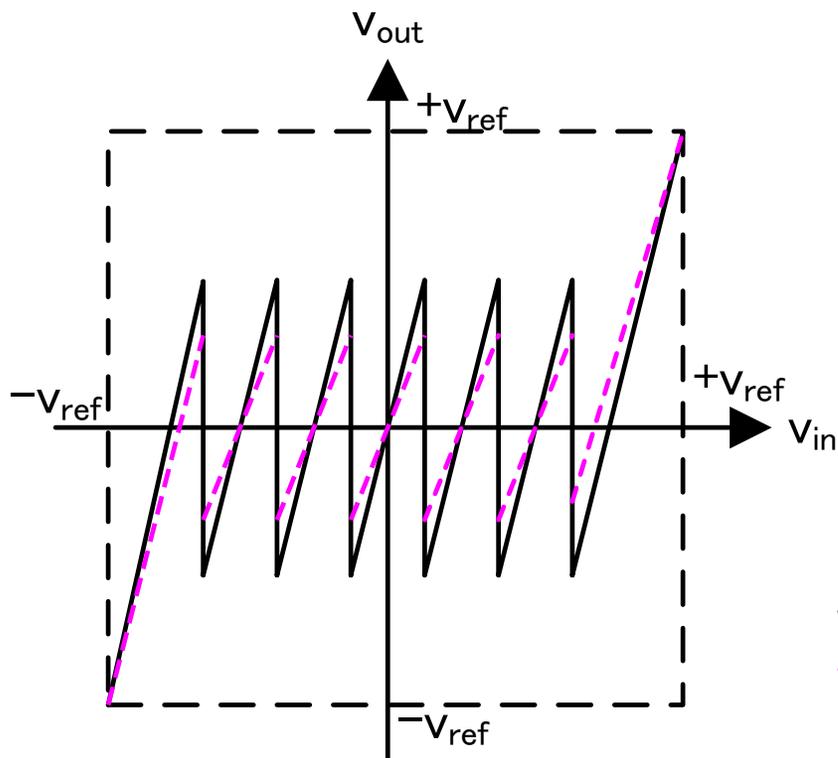
誤差大

間隔が狭まる



誤差小

同程度



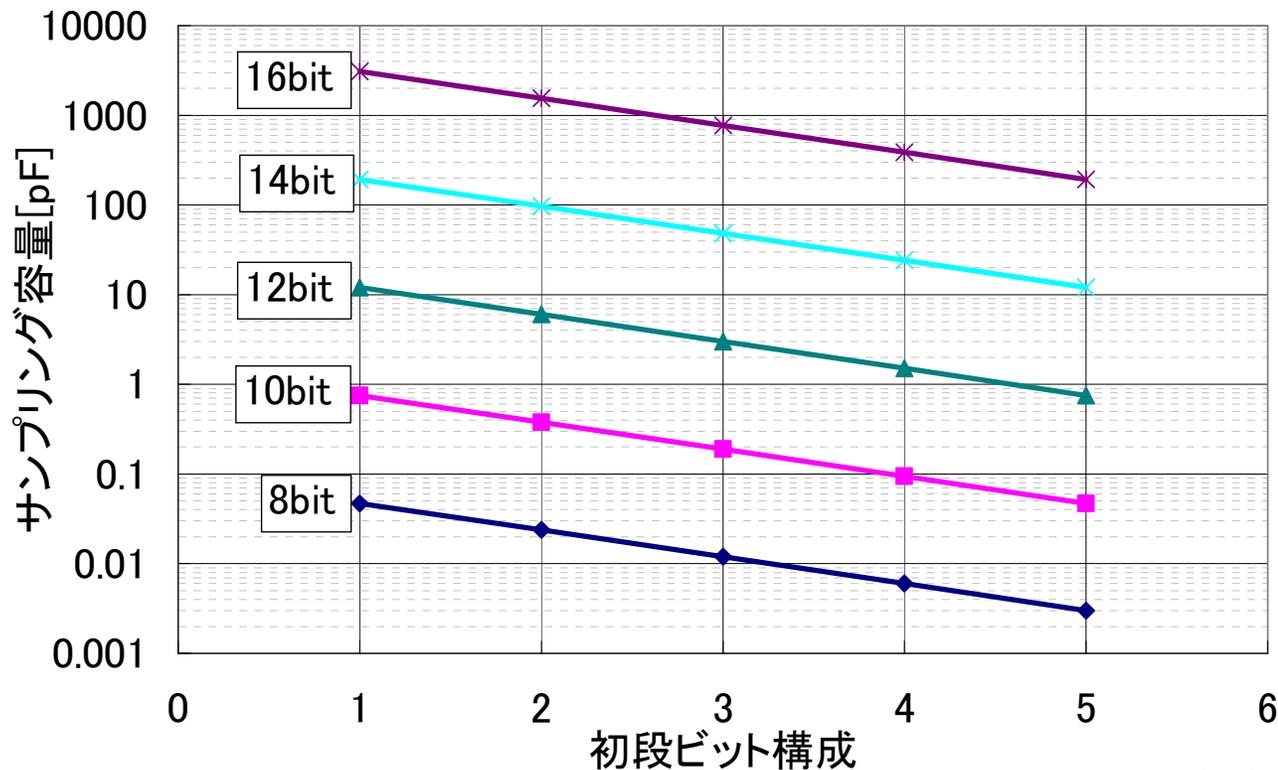
結局、数段分の誤差が緩和される効果によりDNLが改善する。

—— …理想
- - - …ミスマッチ

冗長構成時のトランスファーカーブ

ミスマッチにより決まる容量値

DNLがマルチビットほど改善し、ミスマッチで決まる容量値（トータルのサンプリング容量）が小さくできる。



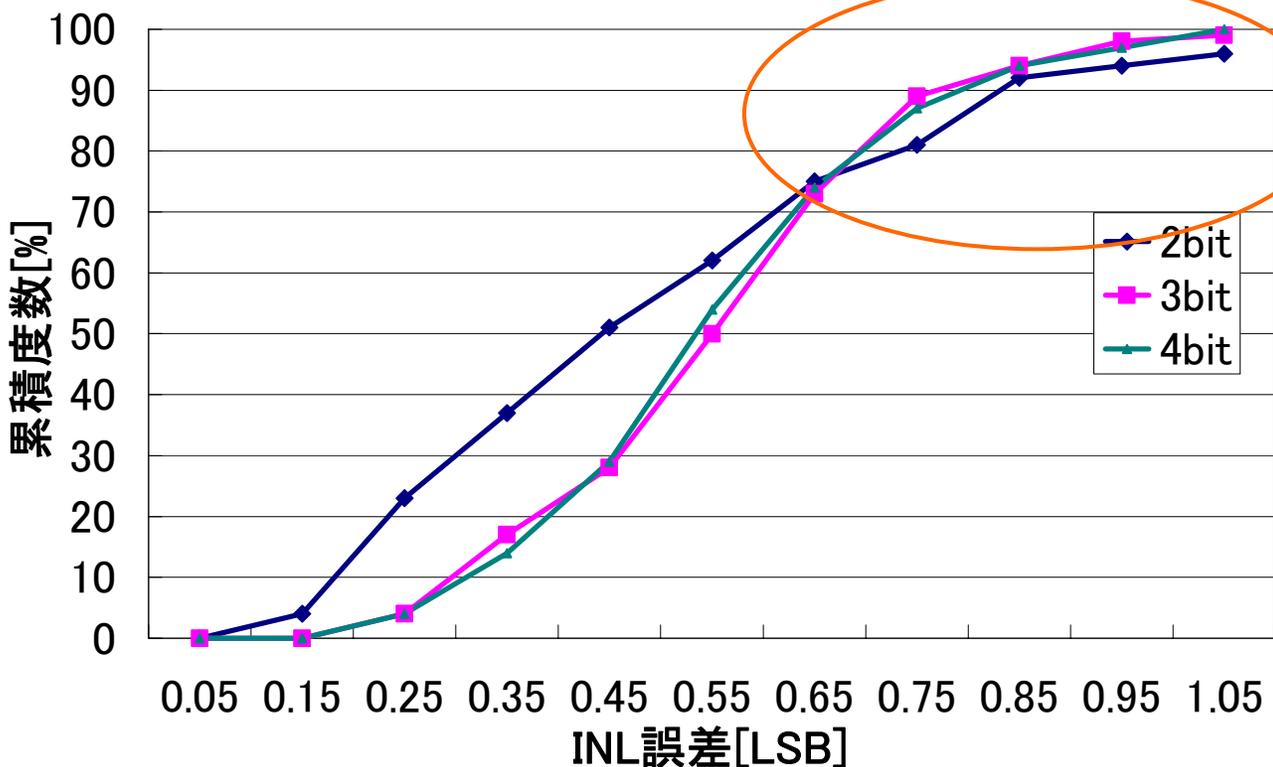
容量ミスマッチによるINL誤差

累積度数が80%以上の領域ではほぼ同じ曲線



INL変換精度にはほぼ影響なし

※ノイズにより決まる容量値を採用



12ビット構成時のINL誤差

発表内容

1. マルチビット構成概要

2. 検討事項

- オペアンプ必要利得

- 容量ミスマッチ解析

- **ノイズ解析**

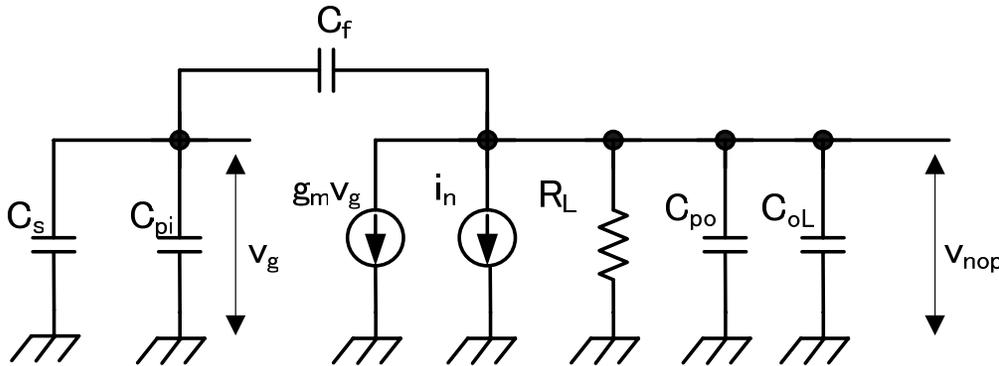
- 容量値算出

3. マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係

- β と C_L

オペアンプノイズ



stageのノイズ等価回路

$$v_{nop} = \frac{i_n}{g_m \beta + sC_L}$$

$$v_{nop}^2 / \text{Hz} = \frac{i_n^2}{(g_m \beta)^2 + (\omega C_L)^2}$$

$$i_n^2 = \frac{16}{3} \gamma \cdot kTg_m$$

C_s, C_f : 帰還容量

C_{pi}, C_{po} : オペアンプ入出力寄生容量

C_{oL} : 次段の帰還容量

g_m : 入力Trのトランスコンダクタンス

R_L : オペアンプの出力抵抗

i_n : ノイズ電流源

γ : 過剰ノイズ係数

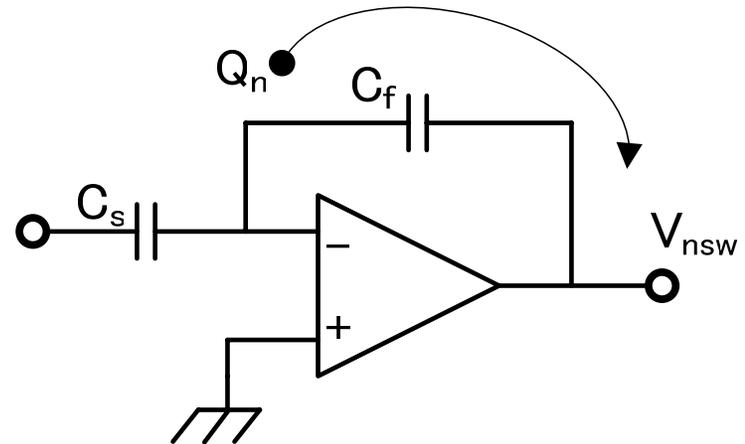
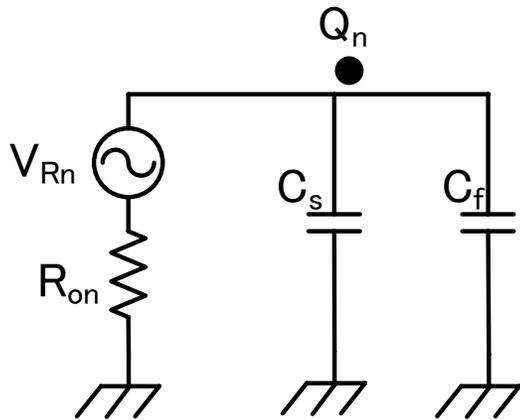
$$v_{nop}^2 = \int_0^{\infty} \frac{i_n^2}{(g_m \beta)^2 + (\omega C_L)^2} df$$

$$\therefore v_{nop}^2 = \frac{4\gamma \cdot kT}{3\beta C_L}$$



スイッチのオン抵抗ノイズ

サンプリングされたノイズが出力端に移動



サンプリングされるノイズ電荷

出力端に現れるノイズ電力

$$\begin{aligned}\overline{Q_n^2} &= (C_s + C_f)^2 \overline{V_{Rn}^2} \\ &= kT(C_s + C_f)\end{aligned}$$

$$v_{nsw}^2 = \frac{\overline{Q_n^2}}{C_f^2}$$

$$\therefore v_{nsw}^2 = 2^M \frac{kT}{C}$$

ノイズ解析

初段の出力換算ノイズ

$$\overline{V_{out_tot}^2} = v_{nop}^2 + v_{nsw}^2$$



後段をすべて1bit構成と仮定して入力に換算

全体の入力換算ノイズ

$$\overline{V_{in_tot}^2} = \alpha \frac{k_B T}{C_t} 2^M$$

結局、 kT/C ノイズの係数倍で表される。

	1bit	2bit	3bit	4bit	5bit
α	2.89	1.50	0.77	0.39	0.20



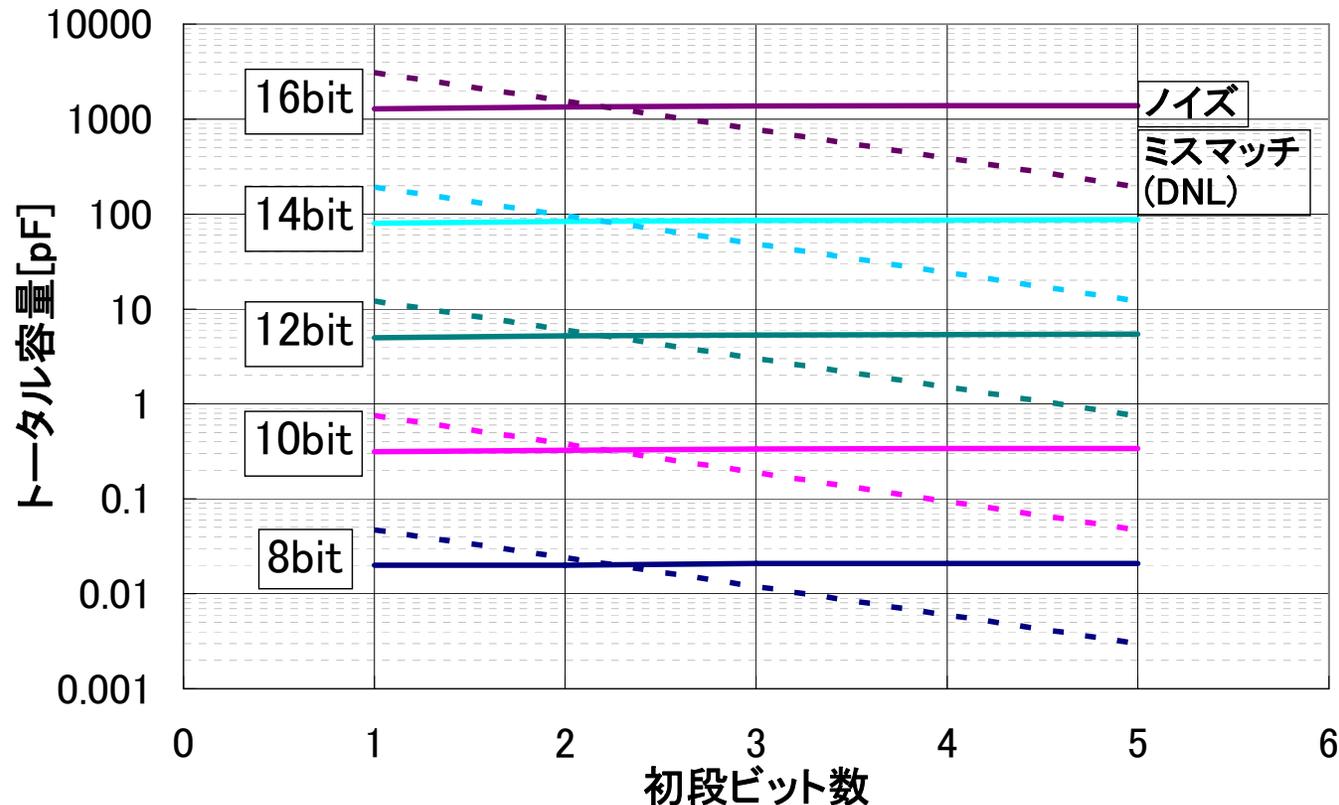
- ・係数が1bitごとに約1/2
- ・必要なトータル容量は変わらない。

※トータル容量 $(C_t = 2^M C)$

容量値算出

容量ミスマッチは誤差補正可能なので不可避なノイズでの容量値を採用

初段サンプリング容量はビット構成に依らない



発表内容

1. マルチビット構成概要

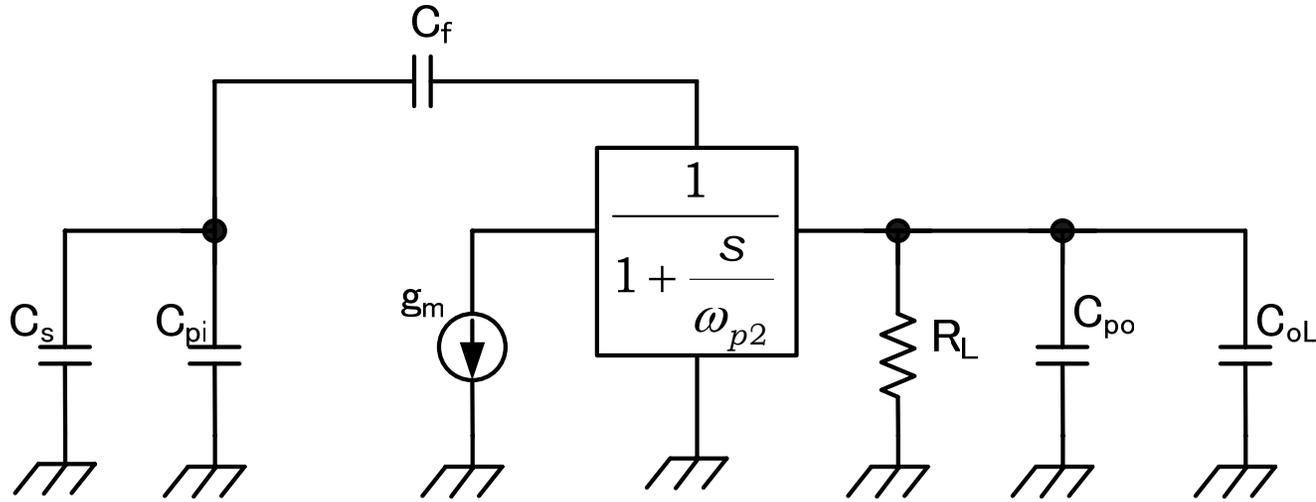
2. 検討事項

- オペアンプ必要利得
- 容量ミスマッチ解析
- ノイズ解析
- 容量値算出

3. マルチビット構成の性能見積もり

- **消費電流と変換周波数の関係**
- β と C_L

性能モデル



C_s, C_f : 帰還容量

C_{pi}, C_{po} : オペアンプ入出力寄生容量

C_{oL} : 次段の帰還容量

g_m : オペアンプのトランスコンダクタンス

R_L : オペアンプの出力抵抗

$$GBW_{closed} = \frac{g_m}{2\pi C_L} \beta$$

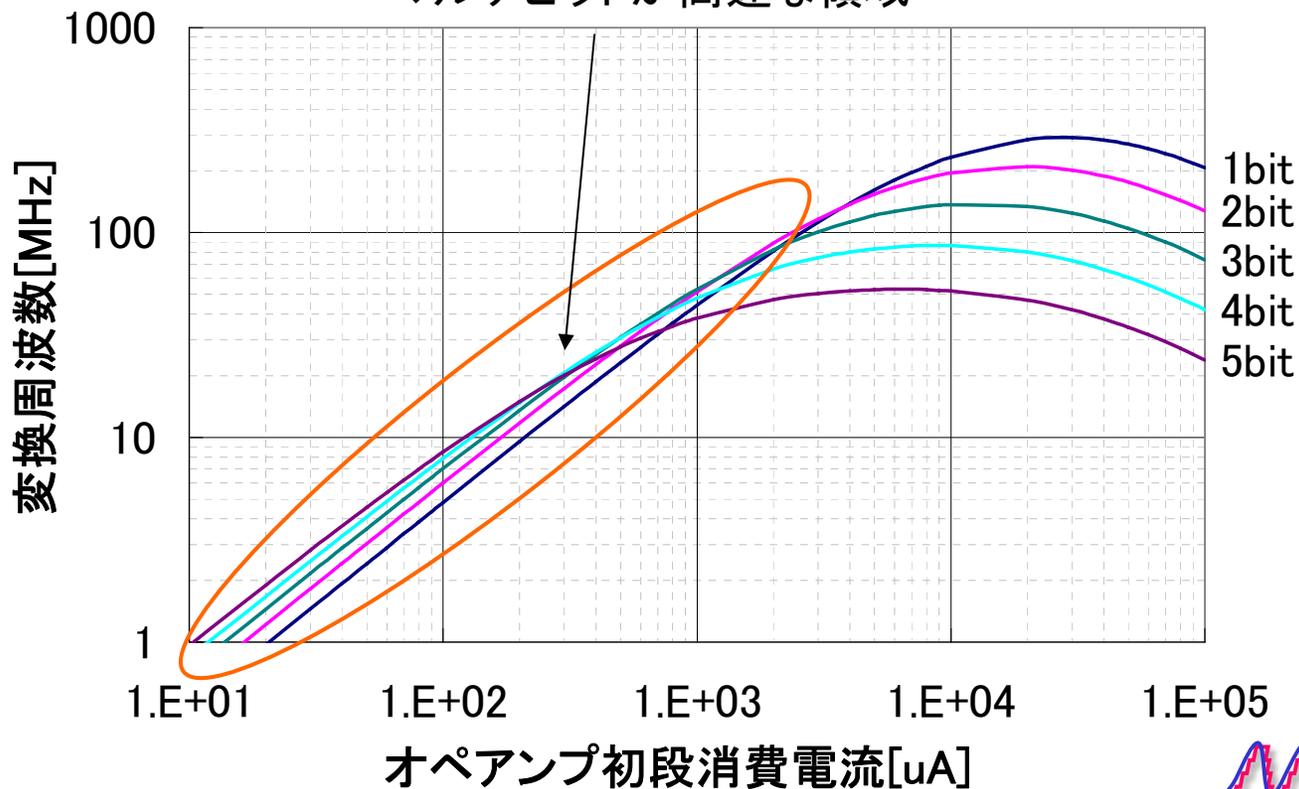
速度検討(12bit)

算出した容量値をもとにマルチビット型での変換周波数を検討
低速な領域ではマルチビット構成のほうが消費電流が小さい

12ビット構成

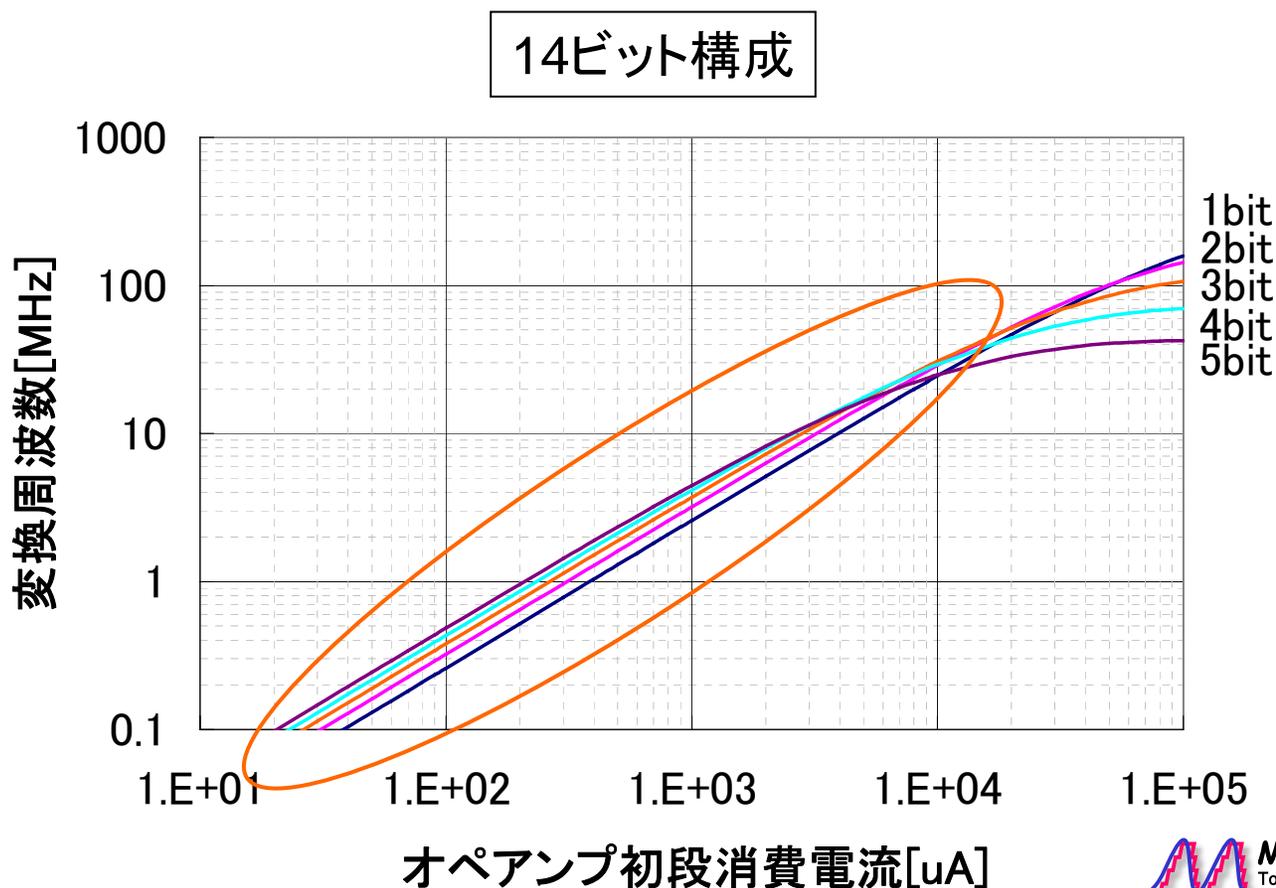
$$f_s \leq \frac{3GBW_{closed}}{N - M + 1}$$

マルチビットが高速な領域



速度検討(14bit)

- ・サンプリングする容量が大きいため
100mAの電流でも変換周波数が飽和しない



発表内容

1. マルチビット構成概要

2. 検討事項

- オペアンプ必要利得
- 容量ミスマッチ解析
- ノイズ解析
- 容量値算出

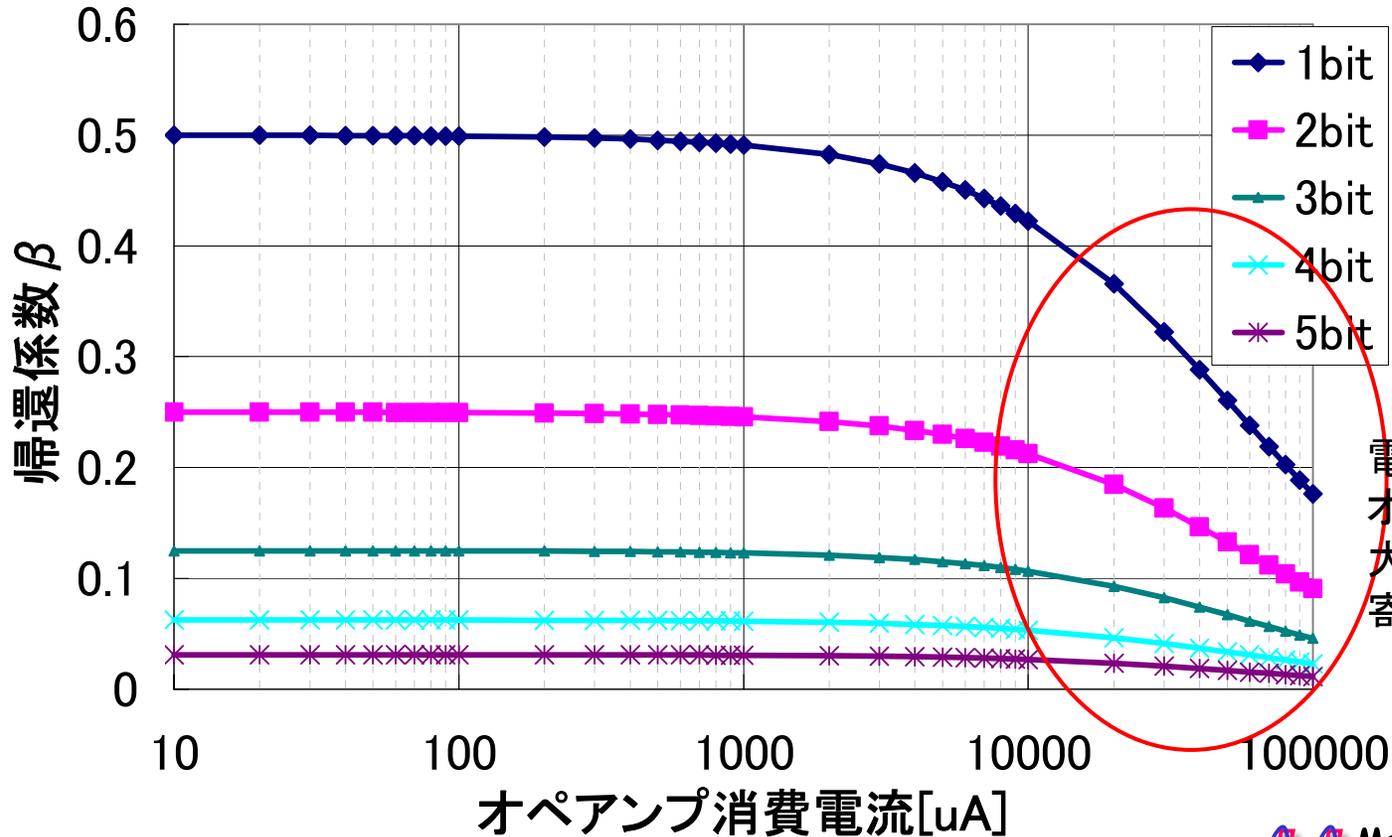
3. マルチビット構成の性能見積もり

- 消費電流と変換周波数の関係
- β と C_L

帰還係数 β

$$\beta = \frac{C_f}{C_s + C_f + C_{pi}} \cong \frac{1}{2^M + \frac{C_{pi}}{C_t} \cdot \frac{1}{2^M}}$$

C_{pi} の増大による
影響



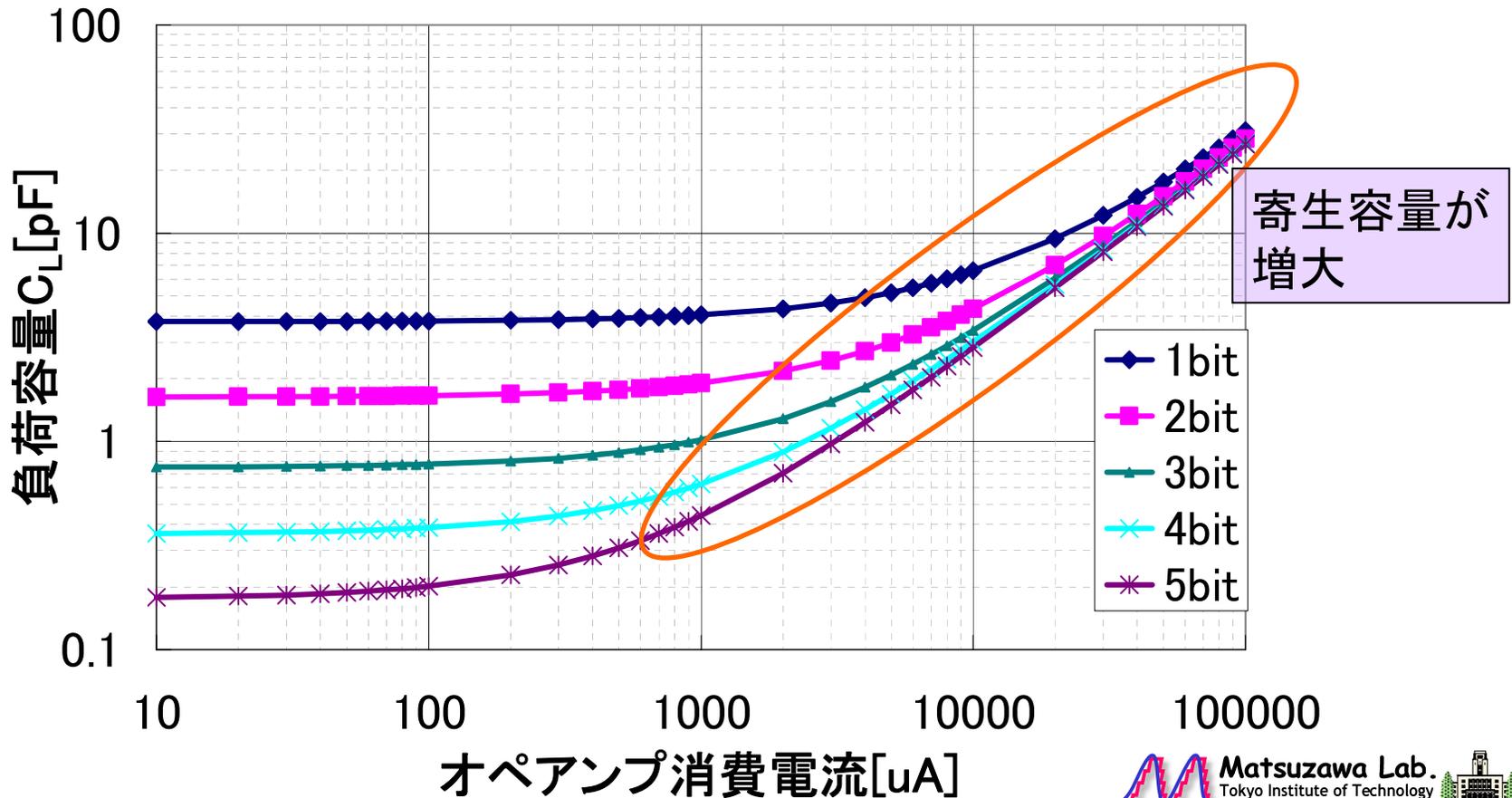
電流が大きくなると
オペアンプのTrが
大きくなるので
寄生容量が増す

負荷容量 C_L

$$C_L = C_{po} + \frac{1}{2^M} (C_f + C_S) + \frac{C_f (C_S + C_{pi})}{C_f + C_S + C_{pi}}$$

入力寄生容量は打ち消す

出力寄生容量の効果が支配的

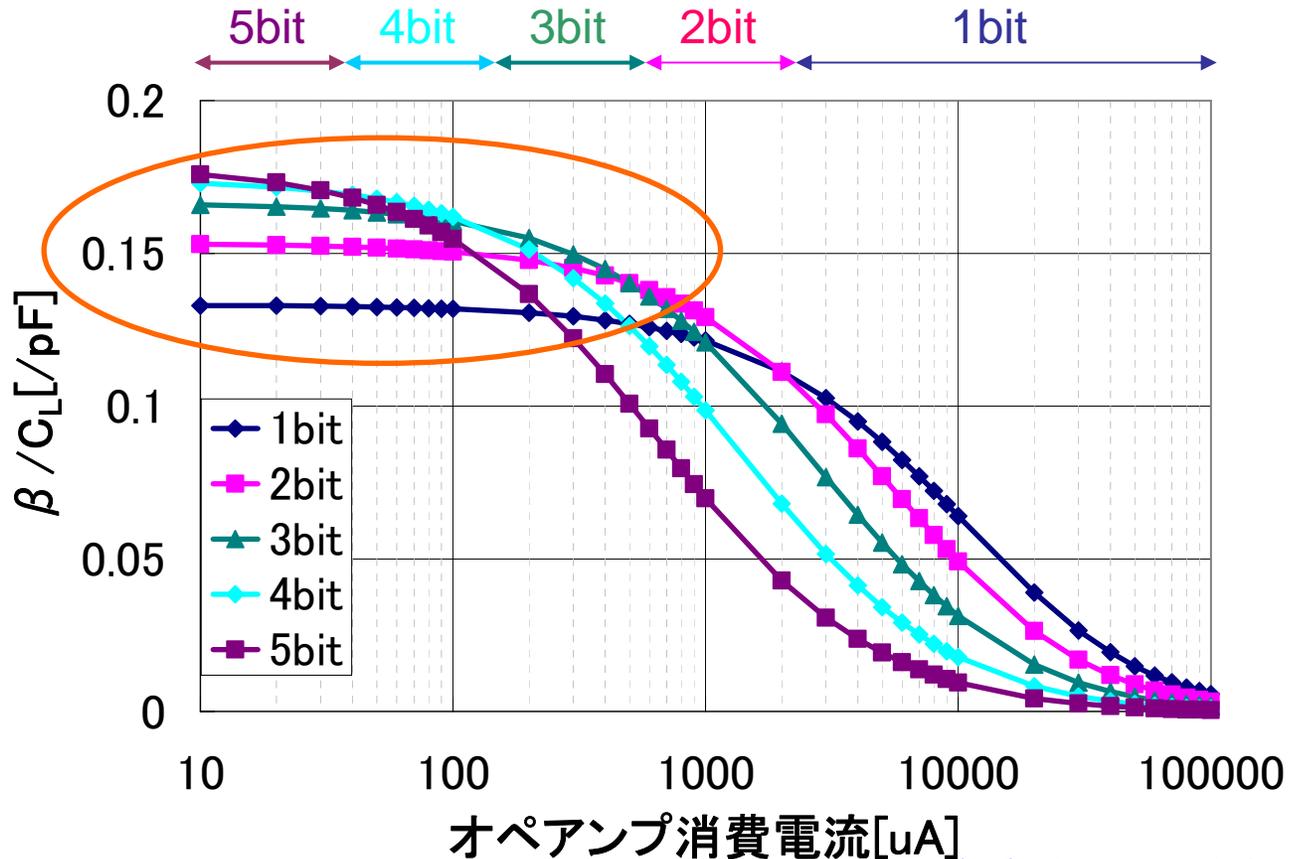


β / C_L

β / C_L は変換アーキテクチャで決まり
GBWに影響する重要なファクタ

$$GBW_{closed} = \frac{g_m \beta}{2\pi C_L}$$

低速な範囲では
マルチビットの方が
低消費電流



まとめ

マルチビット型パイプラインADCの性能を検討

オペアンプ

- ・オペアンプの利得はシングルビット構成と同程度

容量

- ・ミスマッチ誤差が緩和され、DNL特性が改善
- ・INLはビット構成では変化しない
- ・ノイズにより決まる容量値ではトータルのサンプリング容量がビット構成に依らない

消費電流と速度

- ・低消費電流な領域ではマルチビット構成のほうが高速
- ・高速化には不向き
- ・14bit以上の分解能では、マルチビット構成が有利

END