

## 90nmCMOS を用いた超高速並列型 6bitADC の開発

Design of Very High Speed 6-bit Flash ADC using 90nm CMOS Technology

東京工業大学 理工学研究科

Graduate School of Science and Engineering, Tokyo Tech

[yusuke@ssc.pe.titech.ac.jp](mailto:yusuke@ssc.pe.titech.ac.jp)

池田 裕介, 松澤 昭

Ikeda Yusuke, Akira Matsuzawa

はじめに： 近年、デジタル情報家電等の開発が益々盛んになっている。これらのデジタル機器は、高機能化が進むにつれて扱うデータ量も多くなっている。従って、より高速な信号処理技術が必要となり、超高速で動作するAD変換器が求められている。しかしながら、高速化のために微細なトランジスタを使うとしきい値のばらつきによる比較器のオフセットが問題となる。また微細なプロセスを用いると低電圧で回路を動作させなければならず、回路のダイナミックレンジは低下する。

本研究では、90nmCMOSプロセスを用いて上記の課題を克服しつつ変換周波数2GHz以上、入力信号帯域500MHz以上の高速に動作する並列型6bitAD変換器の設計を行った。

結果：低電圧化、比較器のオフセットに対応するために、容量によるオフセットキャンセル技術を用いてAD変換器を設計した。また、低消費電力化のために容量補間を用いた。モンテカルロシミュレーションによって、2GHz動作周波数で比較器の入力換算オフセットの標準偏差が0.1LSB以下となることを確認した。これによってAD変換器のINL, DNLは99%以上の確率で0.5LSB以下となる。さらに、AD変換器の動的特性のシミュレーション評価方法について検討し、入力信号帯域500MHz以上となることをシミュレーションにより確認した。