

素子の微細化がアナログCMOS回路に 及ぼす影響についての研究

～CMOS演算増幅器及びパイプライン型ADC性能のデザインルール依存性～

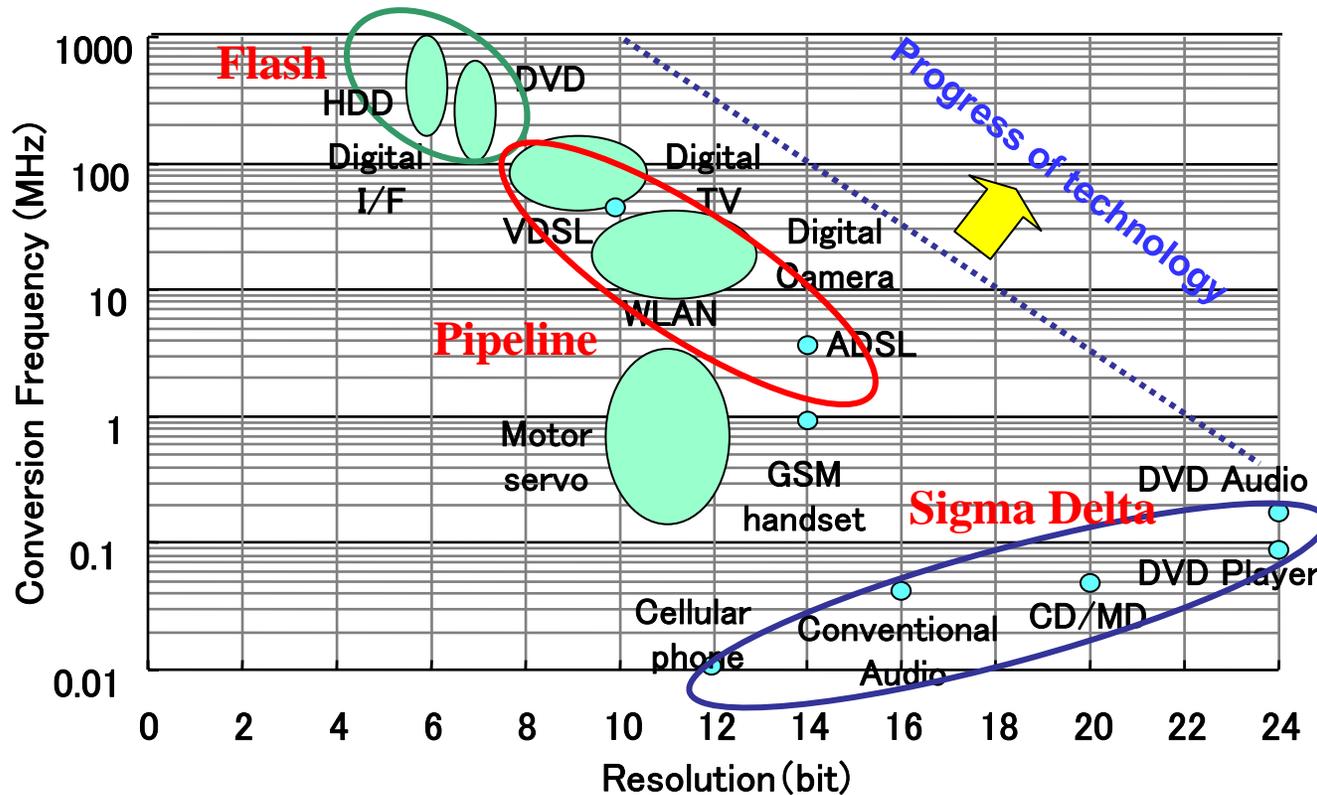
○宮原 正也 倉科 隆 松澤 昭

東京工業大学
電子物理工学専攻
松澤研究室

研究目的

ADCの性能・用途

- ・8-14bit、数M~数100MHzの変換ではパイプライン型ADC
- ・更に高精度、高速、低消費電力なパイプライン型ADCの開発が期待
→素子の微細化により高速化・低電力化が可能か？

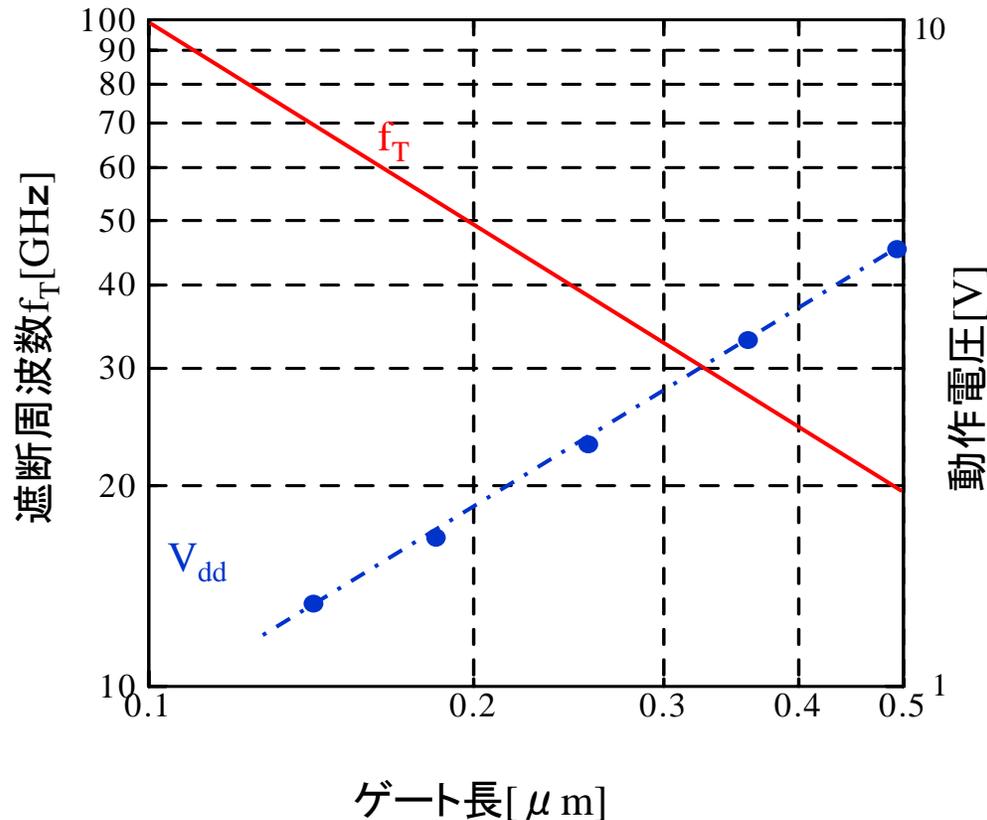


研究目的

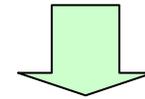
トランジスタの微細化

デザインルールを考慮に入れた最適設計

- ・良い点: トランジスタ固有の f_T の向上 → 回路の高速化
- ・課題: 低電圧化に伴う信号ダイナミックレンジの低下 → 高精度な信号処理が困難



微細化により高速化、低消費電力化が可能であるが...

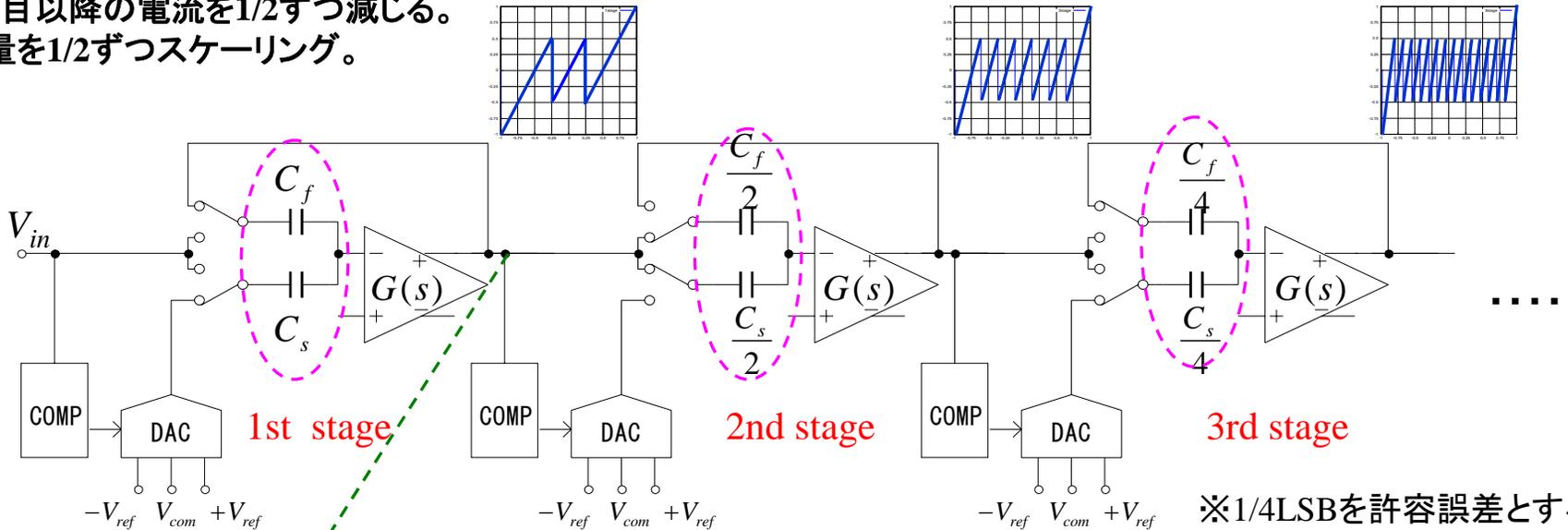


- **パイプライン型ADCについてもトランジスタの微細化は有効であるか?**
- **求められる性能に対して最適なデザインルールとその条件は?**

パイプライン型ADCの必要性能

低消費電力化のため
2段目以降の電流を1/2ずつ減じる。
容量を1/2ずつスケールング。

パイプライン型ADCの構成(1.5bit冗長構成)



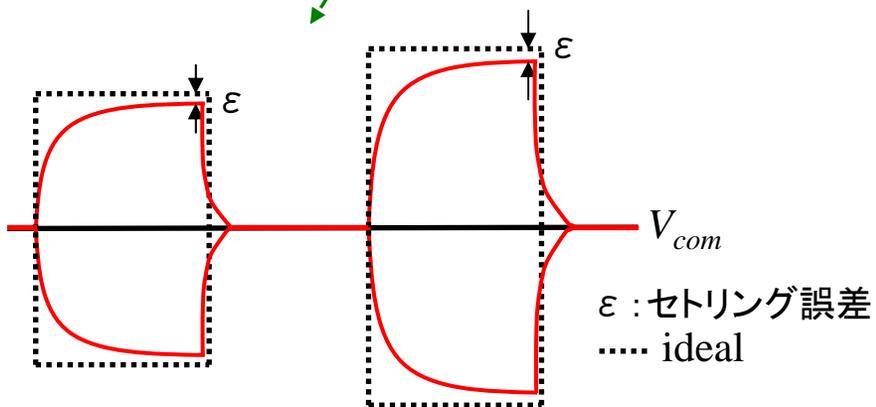
※1/4LSBを許容誤差とすると

スタティックな誤差 $E_{error_S} \approx -\frac{1}{G_0\beta}$

$$G_0 (dB) > 6N + 10$$

ダイナミックな誤差 $E_{error_D} \approx \frac{1}{G(s)\beta}$

$$GBW_{close} > \frac{1}{3} N \cdot f_c$$



オペアンプ回路の性能

オペアンプの構成

性能バランスの良いフォールデッドカスコード型について検討する。

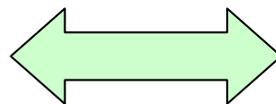
精度

$$SNR \propto \frac{C_L V_{sig}^2}{kT}$$

信号電力: $C_L V_{sig}^2$

ノイズ電力: $V_n^2 \propto \frac{kT}{C_L}$

相反する



速度

$$\omega_u \approx \frac{g_m}{C_L}$$

ω_u : ユニティゲイン周波数

第2ポール: $\omega_{p2} \approx \frac{g_x}{C_x}$

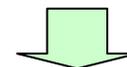
安定動作条件: $\omega_u < \frac{1}{2} \omega_{p2}$

精度を保ちつつ高速化するには

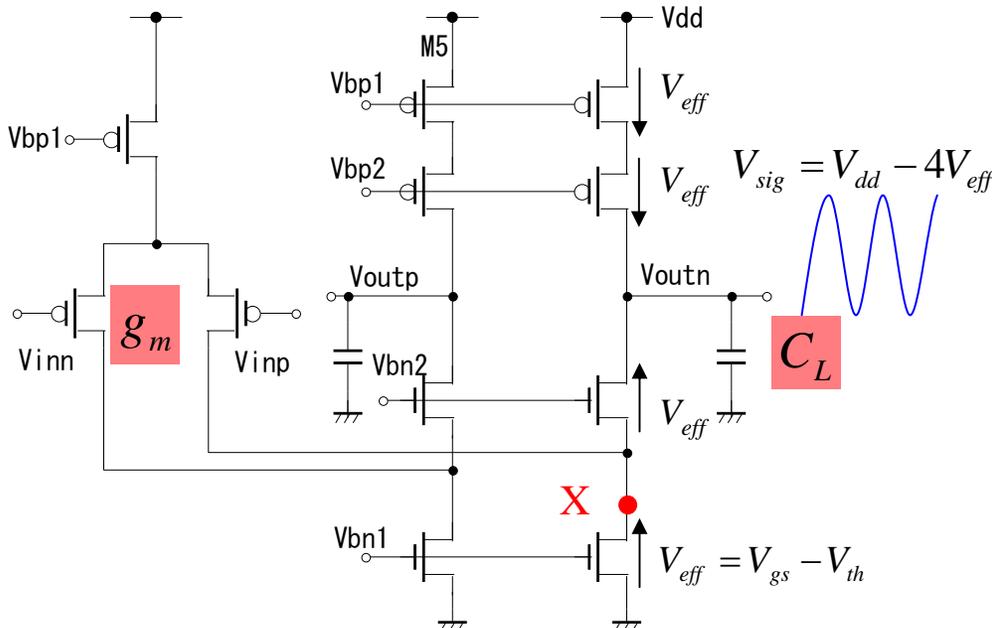
$$g_m = \frac{2I_{ds}}{V_{eff}}$$

より電流を増す。

→ 寄生容量の増加により ω_u は飽和

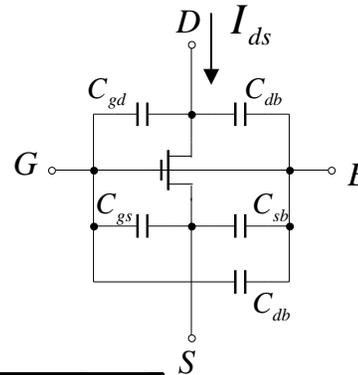
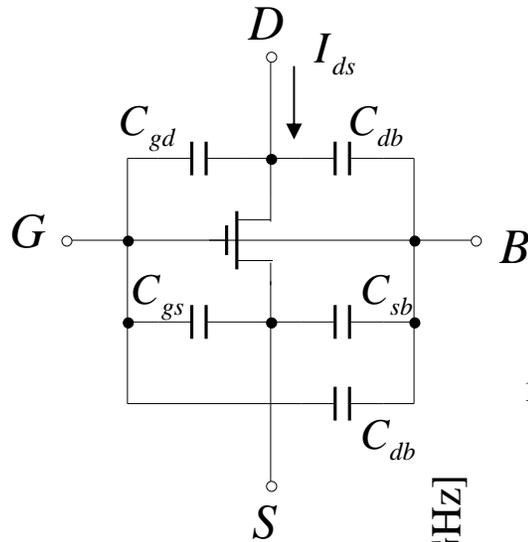


寄生容量を減らすため微細化



アナログにおけるトランジスタの微細化

アナログにおいて微細化とは同一 g_m (=電流) において容量と面積が減少することである。

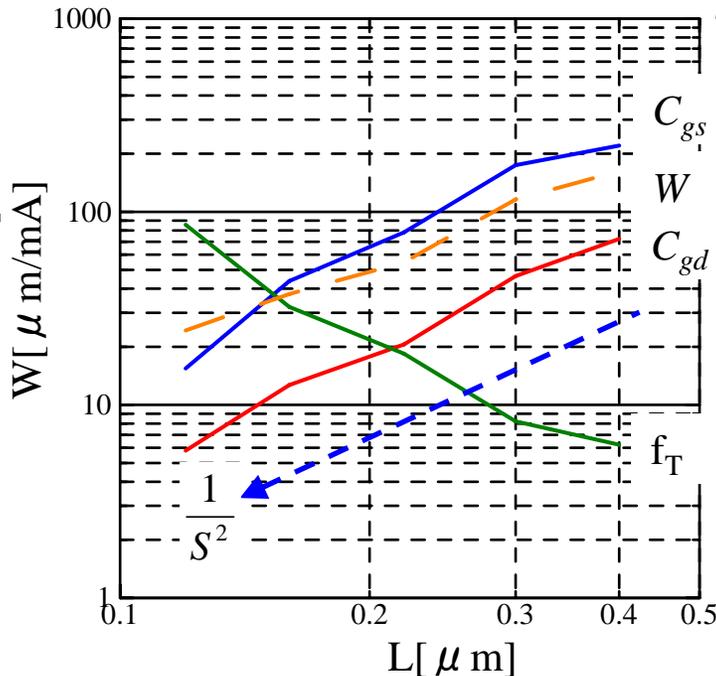


寄生容量が低下
 f_T が上昇

$$g_m = \frac{2I_{ds}}{V_{eff}} \quad \text{一定条件}$$

$$W = \frac{2L}{\mu C_{ox} V_{eff}^2} I_{ds}$$

容量 [fF/mA], f_T [GHz]

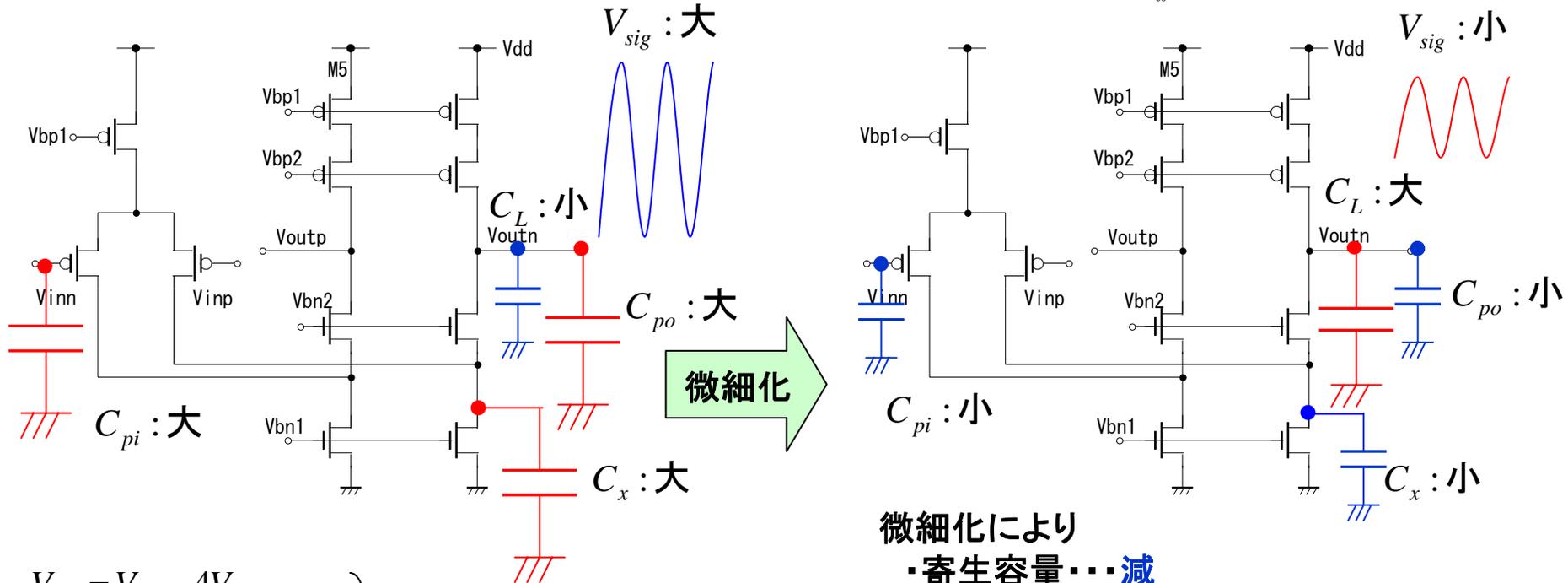


$V_{eff}=0.175V$ とした時の値

0.35 μm ~ 90nm プロセスの
代表的なモデルパラメータを
用いた。

トランジスタの微細化によるオペアンプの性能変化

微細化により寄生容量は減るが帰還容量は大きくなる。 $g_m = \frac{2I_{ds}}{V_{eff}}$ (一定)



$$V_{sig} = V_{dd} - 4V_{ref}$$

$$SNR \propto \frac{C_L V_{sig}^2}{kT}$$

$$\omega_u \approx \frac{g_m}{C_L}$$

$$\text{第2ポール: } \omega_{p2} \approx \frac{g_x}{C_x}$$

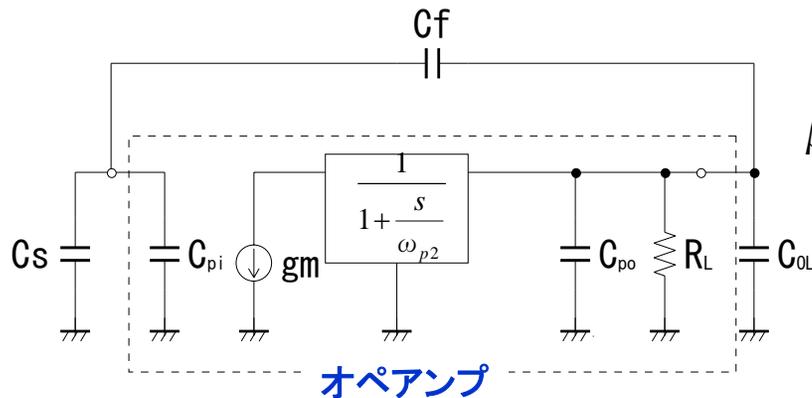
V_{sig} が小さくなっても
同じSNRを得るためには
帰還容量を増やす。

- 微細化により
- ・寄生容量... 減
 - ・信号振幅... 減
 - ・帰還容量... 大

これらのトレードオフの関係を明らかにし、
デザインルールを考慮した最適設計を実現する

GBW_{close}の算出

単位変換回路のGBW



単位変換回路の等価回路

g_m : 入力部トランジスタのトランスコンダクタンス

C_s, C_f : 帰還容量

C_{oL} : 次段の帰還容量の和

C_{pi}, C_{po} : オペアンプの入力, 出力寄生容量

R_L : オペアンプ出力抵抗

ω_{p2} : オペアンプの第2ポール

クローズドループにおける GBW_{close} は

$$GBW_{close} = \frac{g_m}{2\pi C_L} \beta$$

β は帰還係数、 C_L は実効負荷容量を表し、

$$\beta = \frac{C_f}{C_f + C_s + C_{pi}}$$

$$C_L = C_{po} + C_{oL} + \frac{C_f(C_s + C_{pi})}{C_f + C_s + C_{pi}}$$

次段の帰還容量を1/2ずつ減ずると仮定すると、

$$C_{oL} = \frac{C_s + C_f}{2}$$

$$C_o = C_s = C_f = C_{oL}$$

これより、

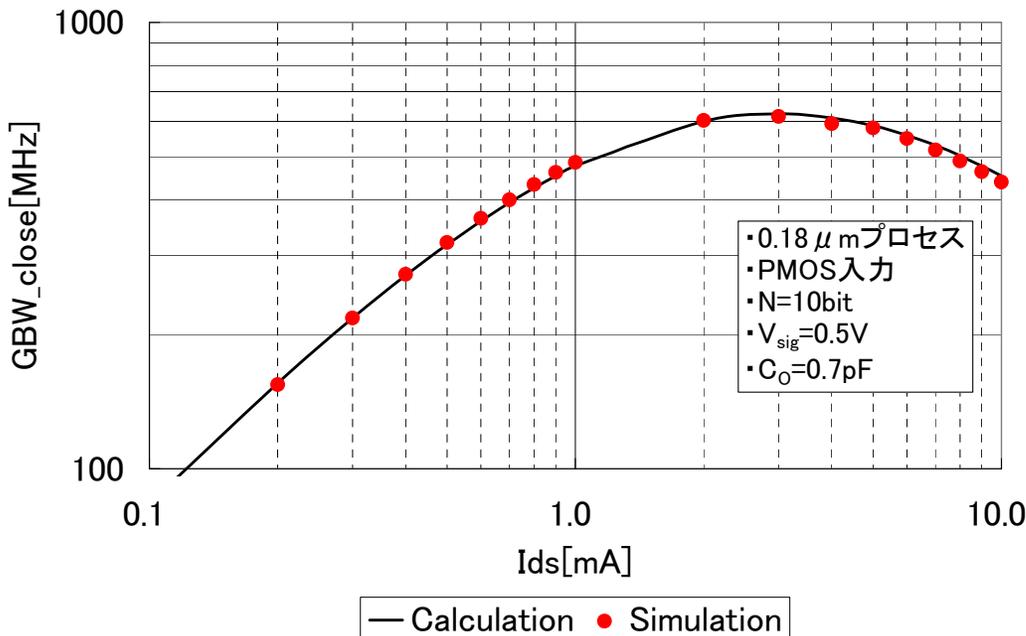
$$GBW_{close} = \frac{g_m}{2\pi C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)}$$

GBW_{close}の推定

電流 I_{ds} で規格化した寄生容量 C_{pi}, C_{po} をもとに GBW_{close} を推定する。

$$GBW_{close} = \frac{g_m}{2\pi C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)} = \frac{I_{ds}}{\pi C_o V_{eff}} \frac{1}{\left(2 + \frac{\alpha_{pi} I_{ds}}{C_o}\right) \left(1 + \frac{\alpha_{po} I_{ds}}{C_o}\right) + \left(1 + \frac{\alpha_{pi} I_{ds}}{C_o}\right)}$$

計算値とシミュレーション結果の比較



Ids:各トランジスタの動作電流(全体では4Ids)

$$g_m = \frac{2I_{ds}}{V_{eff}} \quad C_{pi} = \alpha_{pi} I_{ds}, \quad C_{po} = \alpha_{po} I_{ds}$$

α_{pi}, α_{po} はデザインルールに依存

C_o は熱雑音などを考慮して、

$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$

理論値とSim結果は5%以内で一致

(入力の寄生容量 C_{gd} の

ミラー効果を2倍として計算)

PMOS入力でパイプラインADCの
変換周波数 f_c を推定

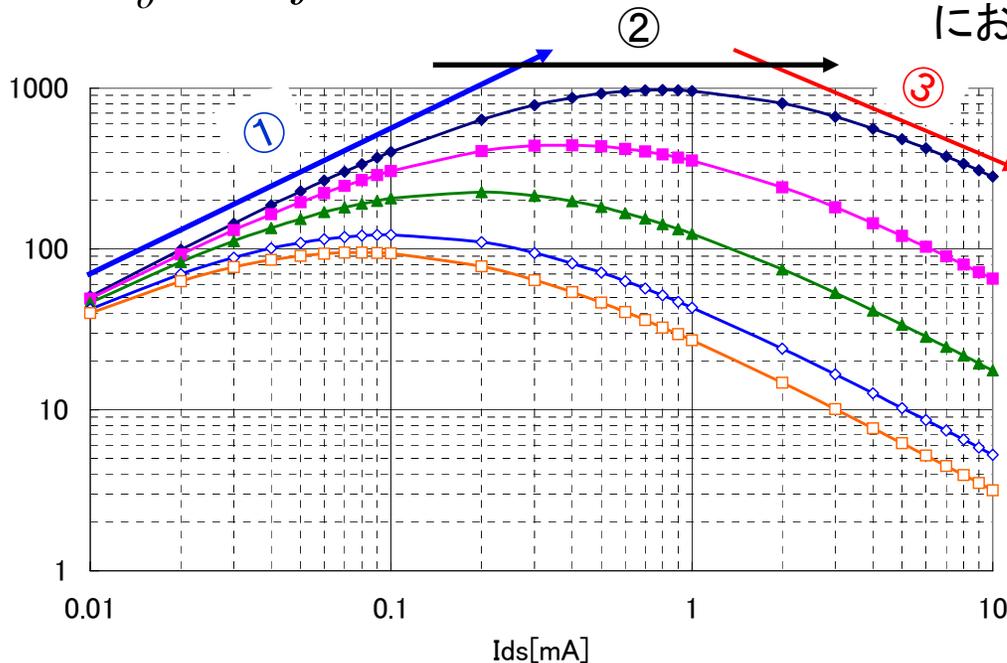
ADCの変換周波数の推定(1)

帰還容量 C_o よりも寄生容量 C_{pi} , C_{po} が小さい時は電流に比例して変換周波数 f_c は増加する。
 C_o よりも C_{pi} , C_{po} のどちらかが大きくなると f_c は飽和し、さらに C_{pi} , C_{po} 共に C_o より大きくなると f_c は電流に反比例する。

信号振幅1Vpp固定 8bit

$$f_c < \frac{3GBW_{-close}}{N} \quad GBW_{-close} = \frac{g_m}{2\pi C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)}$$

$$C_o = 44 \text{ fF}$$



◆ 90nm ■ 0.13 μm ▲ 0.18 μm ◇ 0.25 μm □ 0.35 μm

電流一変換周波数特性 8bit

において

$$g_m = \frac{2I_{ds}}{V_{eff}}, \quad C_{pi} = \alpha_i I_{ds}, \quad C_{po} = \alpha_o I_{ds} \text{ より、}$$

① $C_o \gg C_{po}, C_{pi}$ のとき

$$GBW_{-close} \approx \frac{I_{ds}}{\pi C_o V_{eff}} \cdot \frac{1}{3} \quad (I_{ds} \text{ に比例})$$

② $C_{pi} < C_o < C_{po}$ のとき

$$GBW_{-close} \approx \frac{1}{\pi C_o V_{eff}} \cdot \frac{1}{3 + \alpha_o} \quad (\text{一定})$$

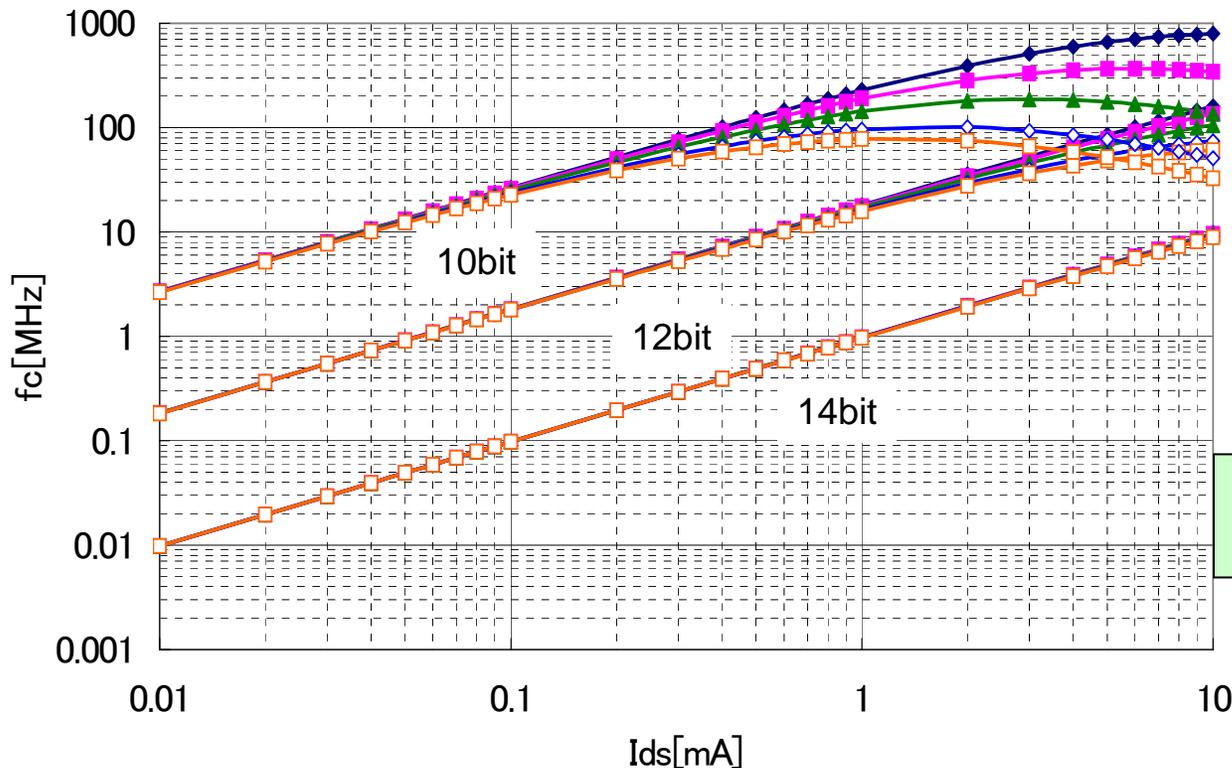
③ $C_o < C_{po}, C_o < C_{pi}$ のとき

$$GBW_{-close} \approx \frac{1}{\pi C_o V_{eff}} \cdot \frac{1}{3 + \alpha_i \alpha_o I_{ds}} \quad (I_{ds} \text{ に反比例})$$

ADCの変換周波数の推定(2)

10bitでは電流を増したところで微細化の効果が見られるが、12、14bitでは C_o が大きすぎるためほとんど微細化の効果が見れない。1Vpp振幅では12、14bitに対応するのは難しい。

信号振幅1Vpp固定 10~14bit



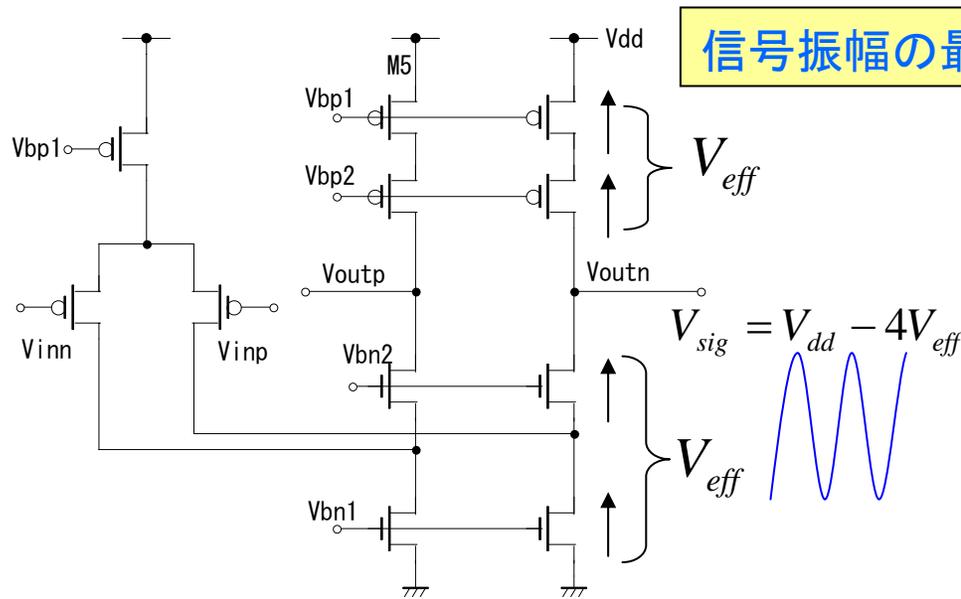
10bit $C_o = 0.7\text{pF}$
12bit $C_o = 11\text{pF}$
14bit $C_o = 176\text{pF}$

信号振幅を各デザインルールで最適化して高分解能を目指す。

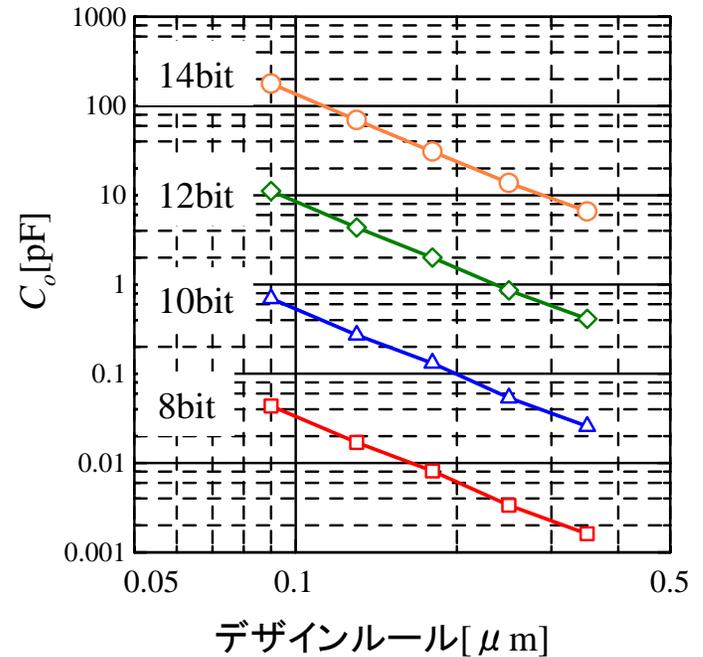
電流—変換周波数特性 10~14bit

ADCの変換周波数の推定(3)

各デザインルールでの電源電圧 V_{dd} に合わせて信号振幅を最大化する。
 信号振幅を大きくすることで C_o を小さくし、 GBW_{close} を大きくする。



$$C_o \geq 1.66 \times 10^{-19} \left(\frac{2^N}{V_{sig}} \right)^2$$



$V_{eff}=0.175$ とした時の V_{sig} の最適値

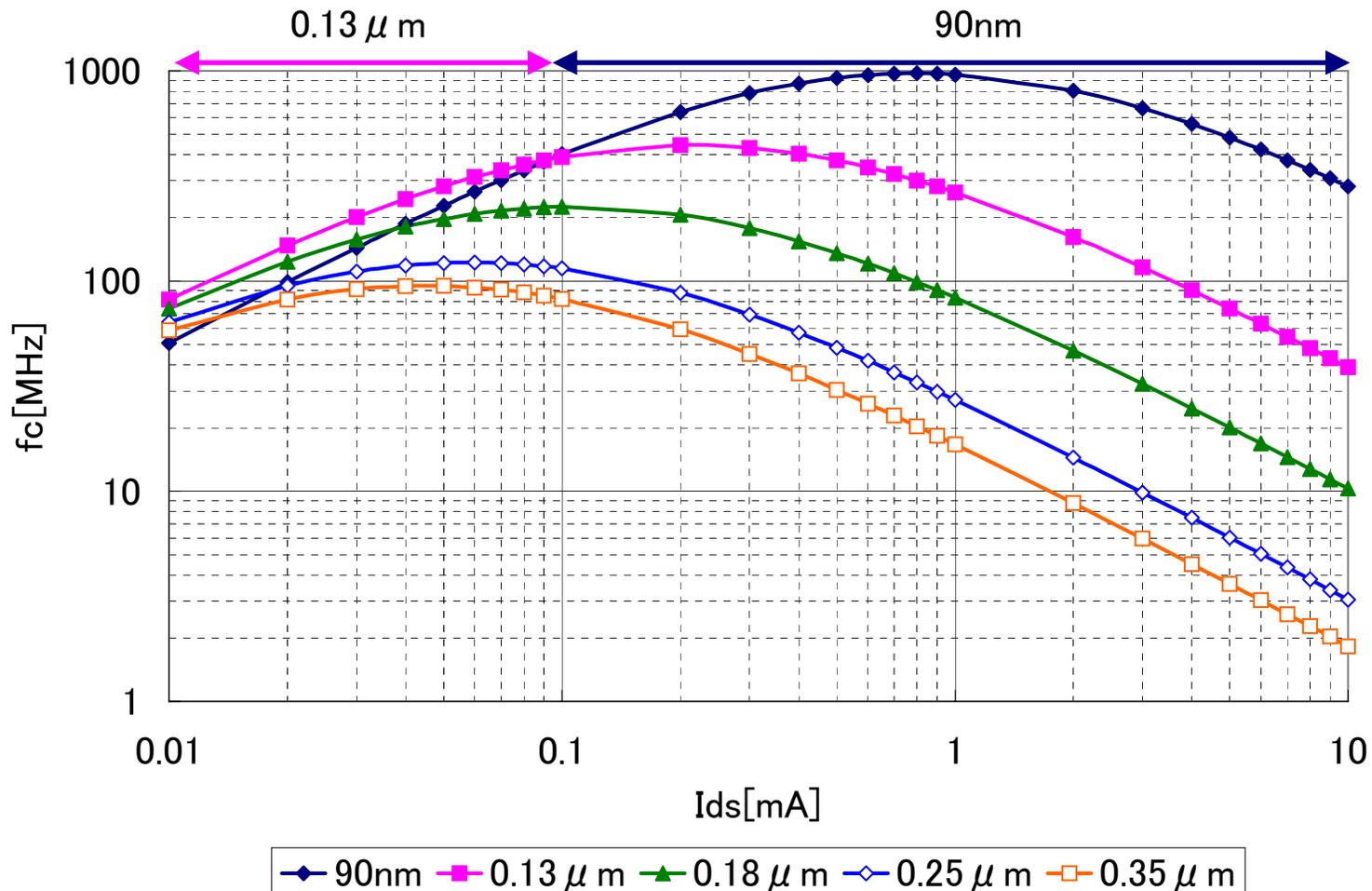
	90nm	0.13 μm	0.18 μm	0.25 μm	0.35 μm
V_{dd}	1.2V	1.5V	1.8V	2.5V	3.3V
V_{sig_pp}	1.0V	1.6V	2.2V	3.6V	5.2V

※25fF以下のものについては25fFに切り上げて算出

ADCの変換周波数の推定(4)

信号振幅の最適化(8bit)

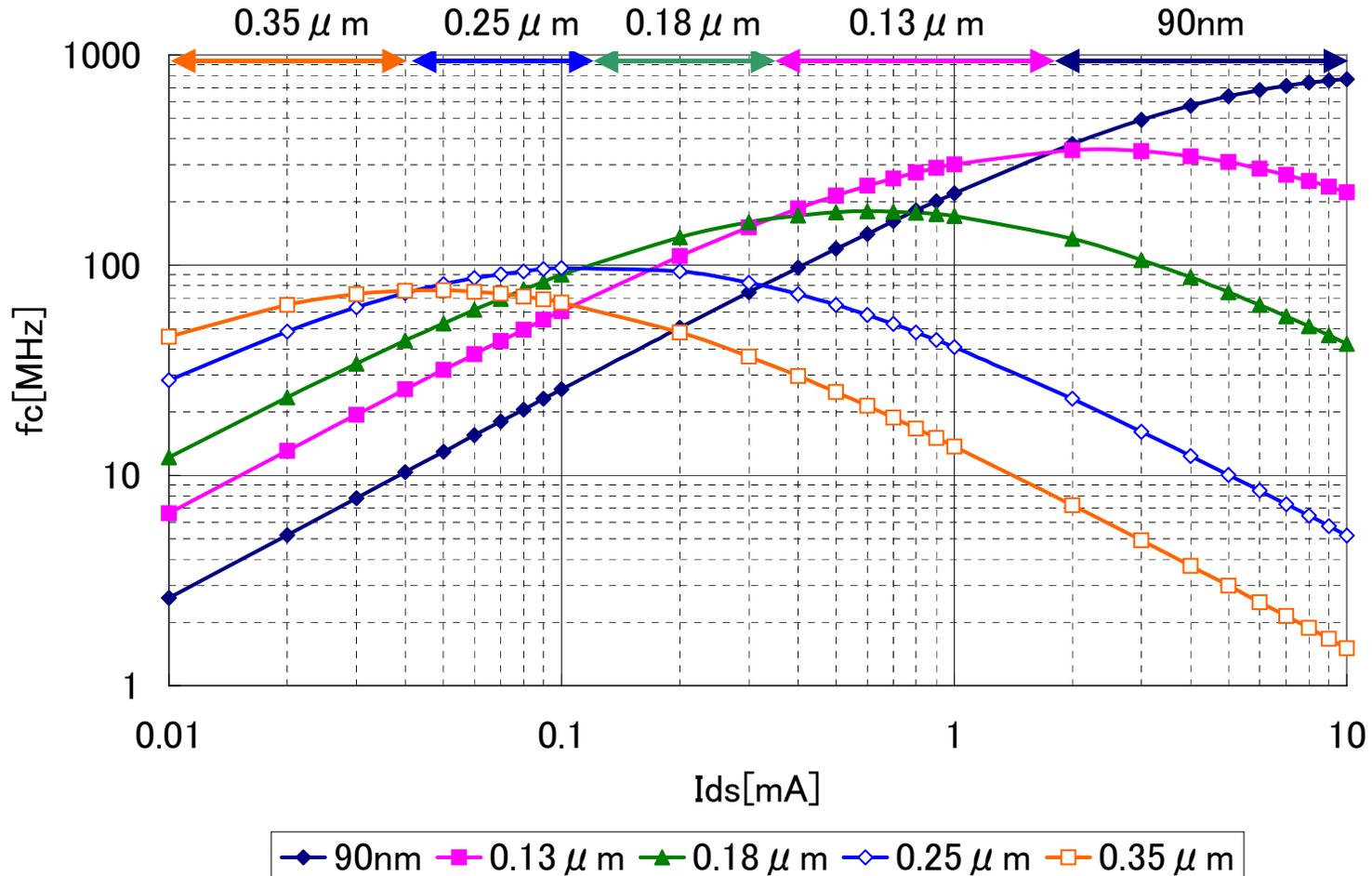
帰還容量が小さいので寄生容量の小さな微細プロセスが有利。



ADCの変換周波数の推定(4)

信号振幅の最適化(10bit)

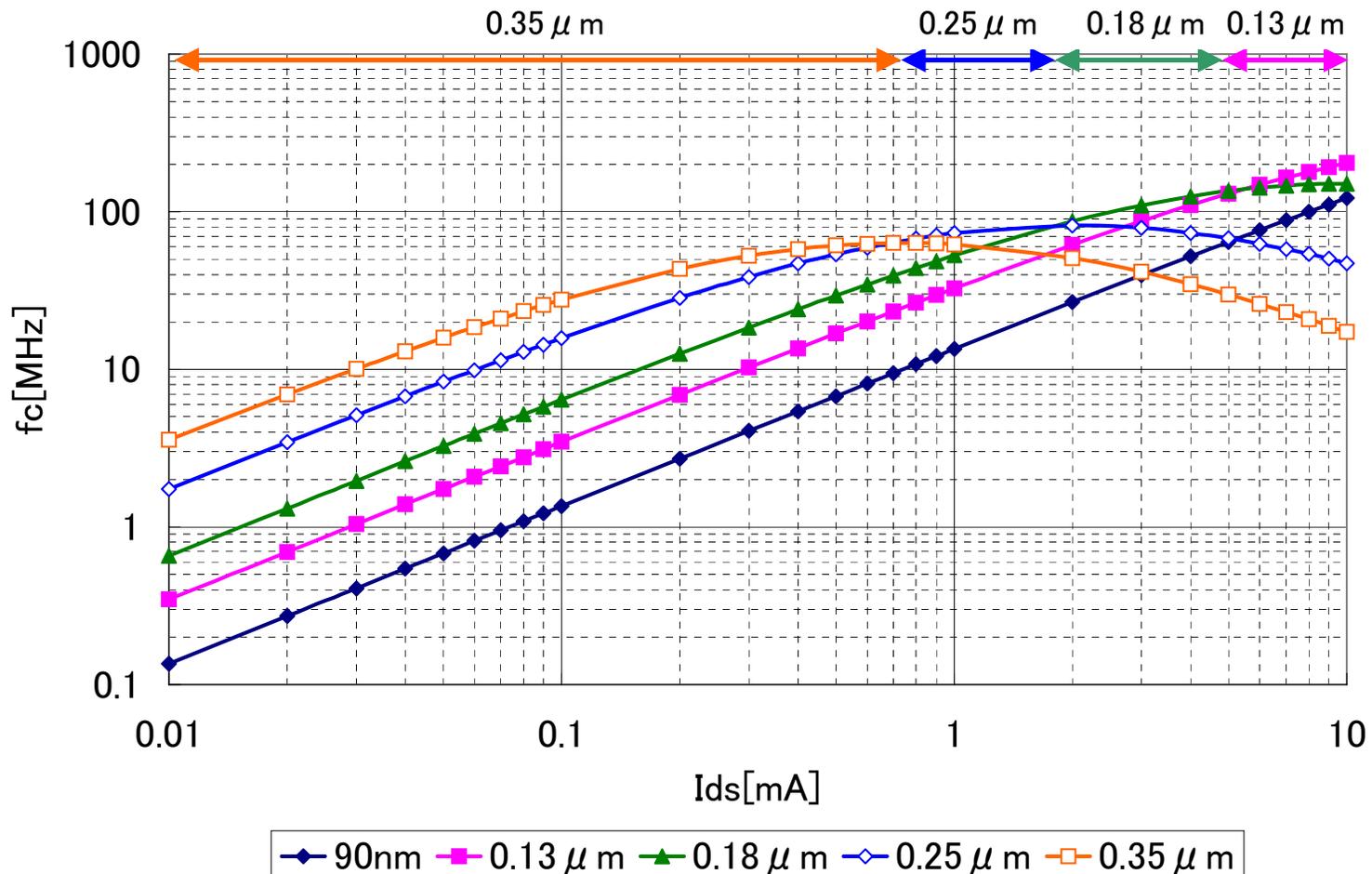
各デザインルールで有利な領域が存在する。



ADCの変換周波数の推定(4)

信号振幅の最適化(12bit)

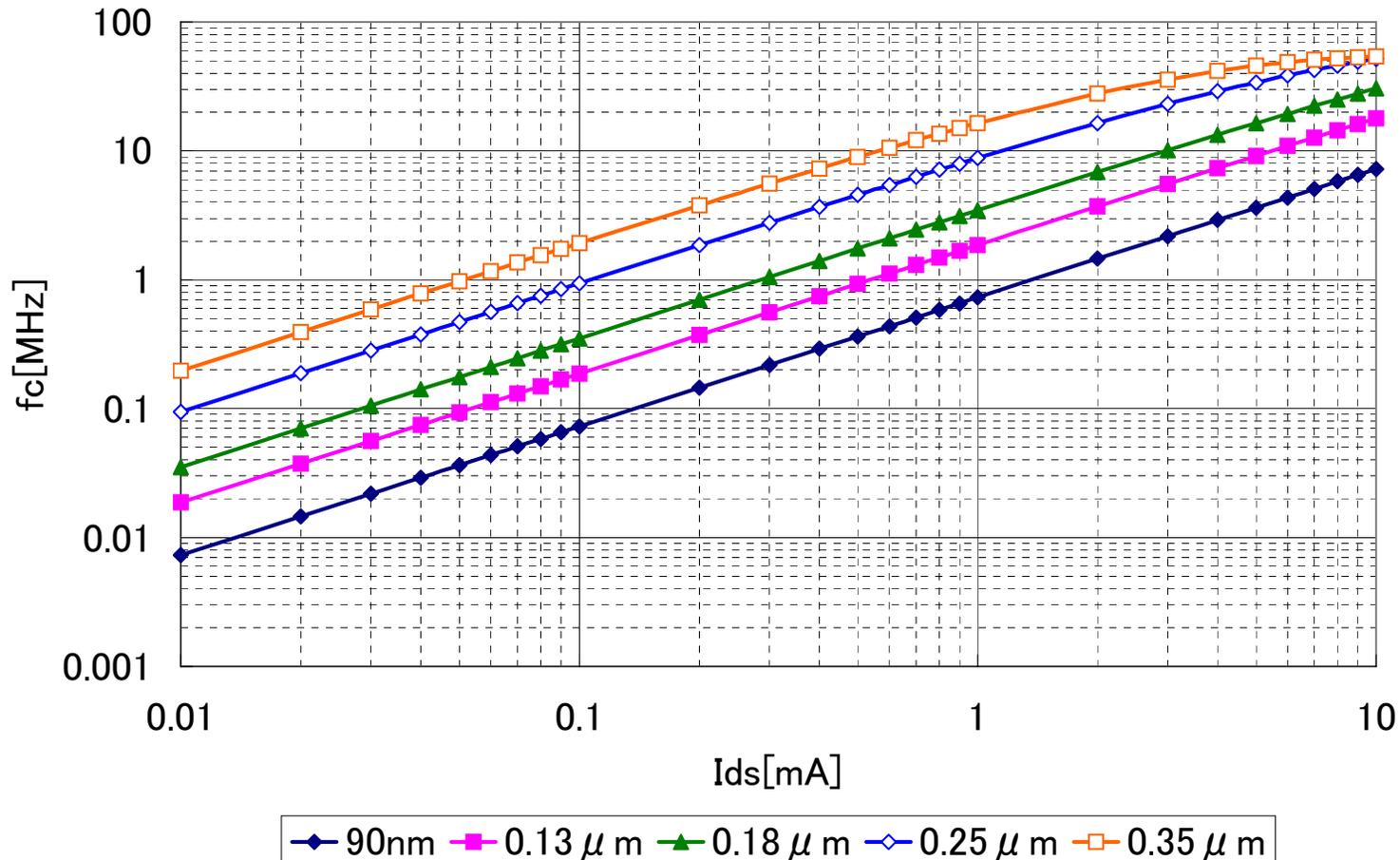
信号振幅の大きく取れる緩いプロセスが有利。
微細化の効果を得るには消費電流を大きくする必要がある。



ADCの変換周波数の推定(4)

信号振幅の最適化(14bit)

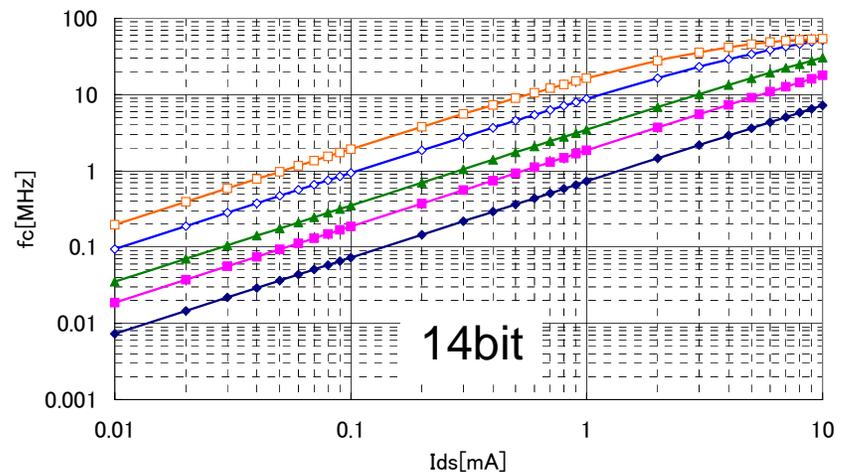
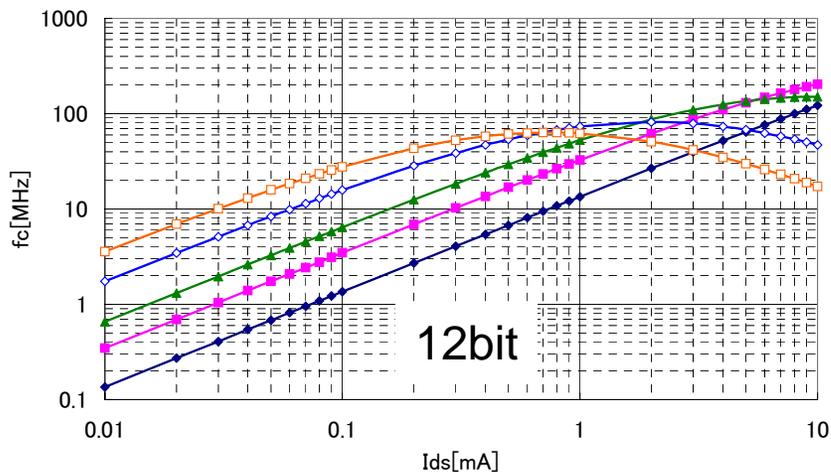
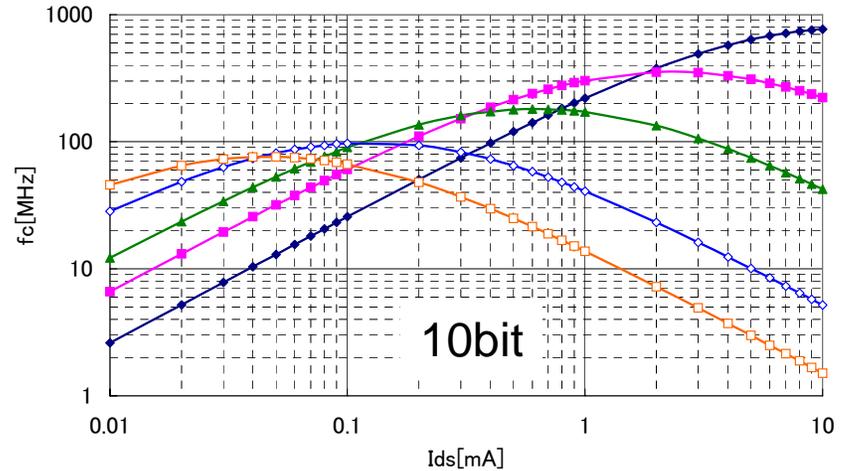
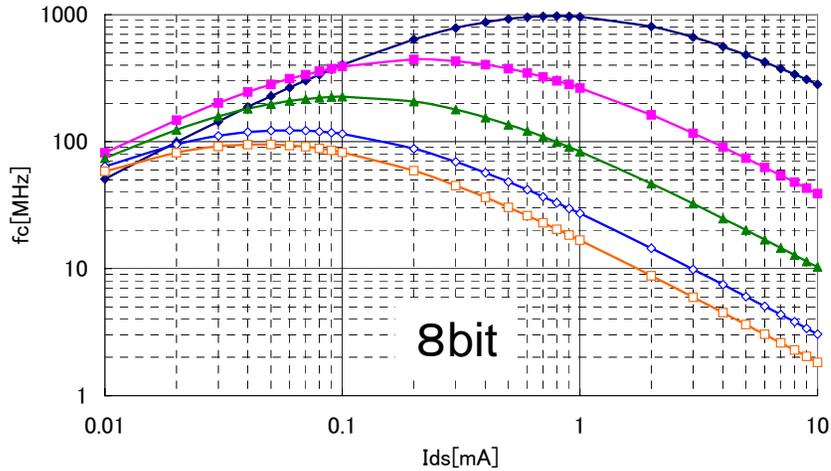
信号振幅の大きく取れる緩いプロセスが有利。
微細化の効果は得られない。



ADCの変換周波数の推定(4)

信号振幅の最適化

低分解能では微細化、高分解能では緩いプロセスが有利。



◆ 90nm ■ 0.13 μm ▲ 0.18 μm ○ 0.25 μm □ 0.35 μm

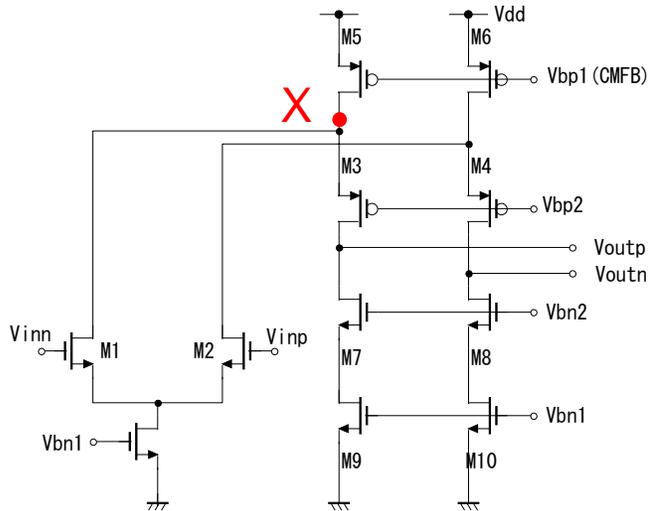
◆ 90nm ■ 0.13 μm ▲ 0.18 μm ○ 0.25 μm □ 0.35 μm

◆ 90nm ■ 0.13 μm ▲ 0.18 μm ○ 0.25 μm □ 0.35 μm

◆ 90nm ■ 0.13 μm ▲ 0.18 μm ○ 0.25 μm □ 0.35 μm

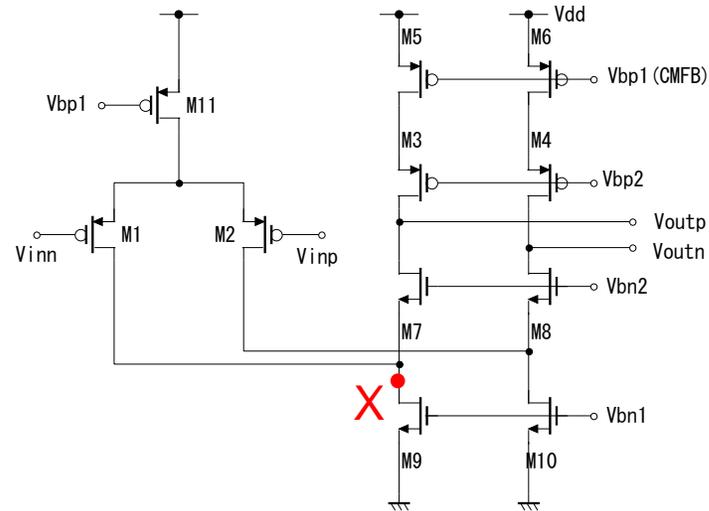
NMOS, PMOS入力の違い

GBW_{close} は ω_{p2} の影響を考慮しなければならない。NMOS, PMOS入力両方の検討が必要



NMOS入力

- ・入力寄生容量 C_{pi} が小さい
- ・ ω_{p2} が低い



PMOS入力

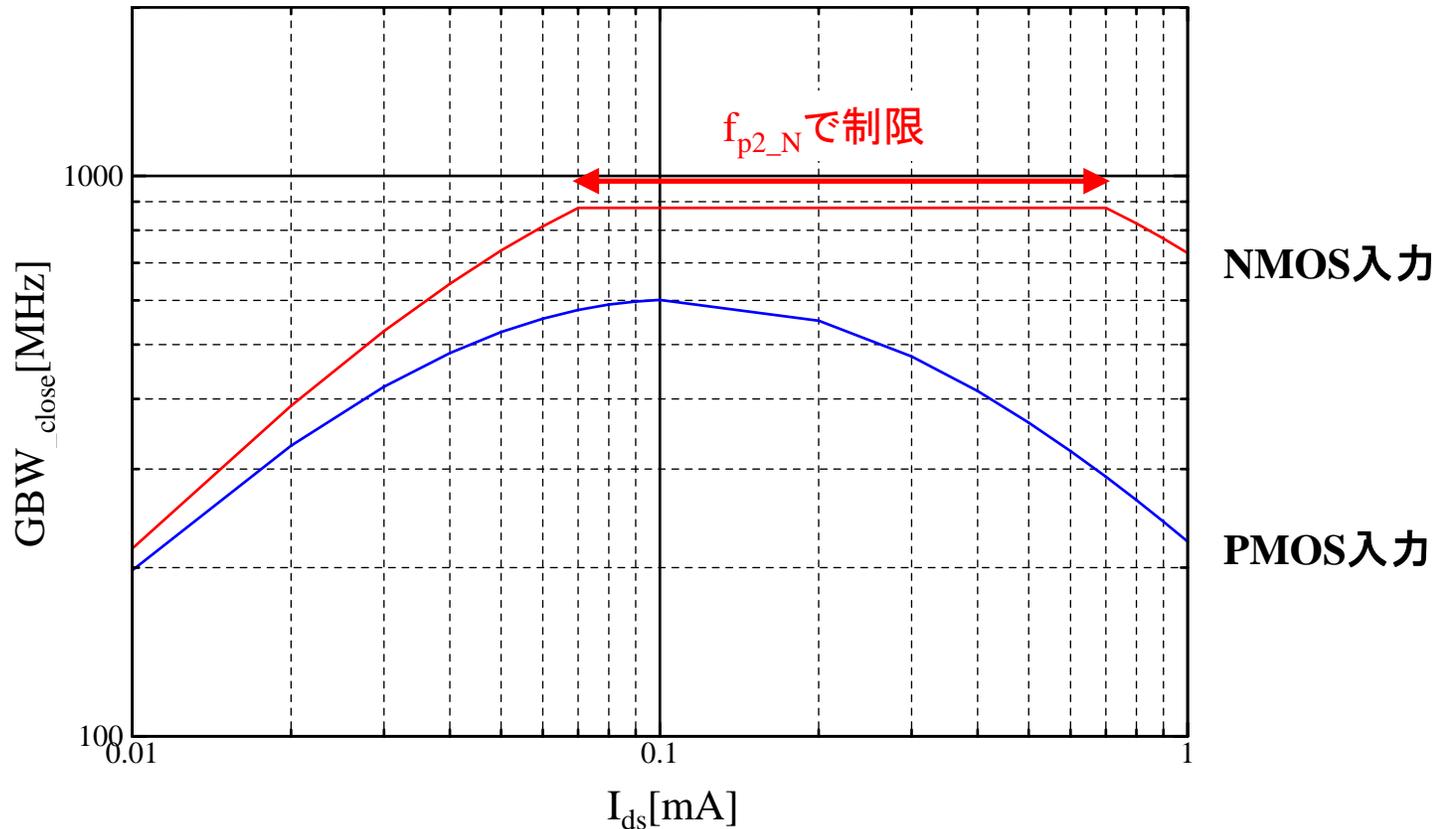
- ・入力寄生容量 C_{pi} が大きい
- ・ ω_{p2} が高い

各デザインルールにおける第2ポールと比較

	90nm	0.13 μ m	0.18 μ m	0.25 μ m	0.35 μ m
f_{p2_N}	18.6	15.4	4.1	1.7	1.1
[GHz]	30.4	20.3	9.4	3.4	3.4
f_{p2_P}					
[GHz]					

NMOS, PMOS入力の違い

同一電流ではPMOSよりNMOSの方が GBW_{close} は高いが、NMOS入力は最大 GBW_{close} で安定動作条件 $GBW_{open} < f_{p2_N}/2$ を満足しないため、 GBW_{close} は f_{p2_N} で制限される。



0.18 μ プロセスにおけるNMOS、PMOS入力の変換周波数 (8bit)

まとめ

結果

1. パイプライン型ADCの微細化による性能の変化のメカニズムを明らかにした。
 - ①微細化により寄生容量は低減できるが、低電圧化により帰還容量は増加する。
 - ②帰還容量より寄生容量が小さい場合のみ電流の増加により変換周波数を上昇することが出来る。
 - ③帰還容量より寄生容量が大きい場合は消費電流を増加させると変換周波数が下がる領域がある。
2. 各デザインルールにおけるパイプライン型ADCの I_{ds} - f_c とデザインルール依存性を明らかにした。
 - ・8~10bit・・・寄生容量の小さい微細化プロセスが有利
 - ・12~14bit・・・信号振幅の大きく取れるプロセスが有利
3. P型、N型入力オペアンプの性能の違いについて明らかにした。
 - ・同一電流ではPMOSよりNMOSの方が GBW_{close} は高いが、NMOS入力は最大 GBW_{close} で安定動作条件 $GBW_{open} < f_{p2_N}/2$ を満足しないため、 GBW_{close} は f_{p2_N} で制限される。

今後の課題

高分解能において高いDCゲインが求められる→スーパーカスコード技術などが必要



スーパーカスコード型オペアンプなどの解析を進め、最適設計技術を構築する。

謝辞

本研究は(株)半導体理工学研究センター
(STARC)の支援を受けて実施されたものである。

ここに感謝の意を表す。