

# 素子の微細化がアナログ CMOS 回路に及ぼす影響についての研究 — CMOS 演算増幅器及びパイプライン型 ADC 性能のデザインルール依存性 —

宮原 正也 倉科 隆 松澤 昭

東京工業大学大学院理工学研究科電子物理工学専攻 〒152-8550 東京都目黒区大岡山 2-12-1,S3-27

E-mail: masaya@ssc.pe.titech.ac.jp

**あらまし** 0.35  $\mu\text{m}$  から 90nm までの CMOS デバイスの代表的アナログ特性をキャラクタライズし、代表的な演算増幅器とこれを用いたパイプライン型 ADC の特性への影響を理論及びシミュレーションにより検討した。その結果、帰還容量よりもトランジスタの寄生容量が小さい時のみ消費電力を増加させることで ADC の変換周波数を大きくできることがわかった。低い分解能においては帰還容量が小さいため寄生容量が小さい微細なルールが有効であり、高い分解能においては帰還容量が支配的となるため、信号振幅を大きくとり帰還容量を小さくすることのできる比較的緩いデザインルールが有効であることがわかった。

**キーワード** 微細化, 演算増幅器, A/D 変換器, パイプライン動作, 低消費電力, 高速動作, アナログ回路, 集積回路

## A Study on the Effect of CMOS Scaling in Analog Circuit Performance — The Effect of Design Rule on CMOS OPamps and Pipeline ADCs —

Masaya MIYAHARA, Takashi Kurashina and Akira MATSUZAWA

Department of Physical Electronics, Tokyo Institute of Technology S3-27, 2-12-1, O-okayama, Meguroku, Tokyo, 152-8550, Japan.

E-mail: masaya@ssc.pe.titech.ac.jp

**Abstract** We discussed the effect of design rule on CMOS OP amps and pipeline ADCs. As a result, the followings are obtained. The conversion frequency of ADC can be increased by increasing power consumption only when the parasitic capacitance of the transistors is smaller than feedback capacitance. When the ADC resolution is lower, smaller design rule with small parasitic capacitance of transistors is effective because feedback capacitance is small. When the ADC resolution is higher, the reduction of feedback capacitance using higher reference voltage is quite important to increase the conversion frequency and reduce the power consumption of the ADC.

**Keyword** Scaling, analog to digital converter, pipeline operation, operational amplifier, low power technology, high speed technology, analog circuits, integrated circuits.

### 1. はじめに

近年、大規模集積回路(LSI)はデジタルシステムだけでなく、アナログシステムを含めた全システムをひとつのチップに搭載したシステムオンチップ(SoC)に移行し、ポータブル電子機器や通信機器など様々な電子機器の小型化、高性能化を進める要因となった。さらに CMOS プロセスの微細化に伴い、デジタル・アナログ混載 LSI はシステム全体での高速化とともに、低電圧化、低消費電力化が求められている。デジタル・アナログ混載 IC において、デジタル部分はこのような要求を満たすことが可能となったが、アナログ部分は低電圧化によって、その性能を制限せざるをえない。その中で実信号をデジタル信号に変換する A/D 変換器(ADC)の高速化・高精度化・低消費電力化の要求も増すばかりである。ADC には主に使用されている型式としてフラッシュ、パイプライン、 $\Sigma/\Delta$ 型があるが、8~14 ビットの分解能と 10MHz を超える変換速度においてはパイプライン型が主流となっており、デジタル

カメラやワイアレス LAN など、その用途は多岐にわたる。パイプライン型 ADC は OP アンプ、コンパレータ、容量、スイッチという比較的単純な構成となっている。またその性能は OP アンプ回路の性能でほぼ決定される。すなわち DC 利得は分解能、利得帯域幅積 (GBW) は変換速度、出力振幅と分解能からは容量の大きさである。しかし OP アンプ回路の性能はデザインルールが微細化するほど DC 利得、出力振幅の確保が困難となる。一方、GBW の限界値はデバイス自身が持つ寄生容量によって決定されるため大きくなる。したがって、回路設計を行うには、素子の微細化がアナログ CMOS 回路に及ぼす影響について検討する必要がある。

本研究では OP アンプ回路を特定のタイプに絞り最適設計を検討する。また 0.35  $\mu\text{m}$  から 90nm までのデザインルールを適用したときの分解能、変換速度、消費電流について理論及びシミュレーションにより検討を行い、この結果からパイプライン型 ADC のプロセス依存性を明らかにし、仕様ごとに最適プロセスがある

ことを提案する。

## 2. パイプライン型 ADC の設計

### 2.1. パイプライン型 ADC の構成

ここで検討するパイプライン型ADCは図1に示したように同一値に設定された容量 $C_s$ ,  $C_f$ とOPアンプ、また $\pm V_{ref}/4$ のしきい値電圧を有する比較器（図には示していない）で構成される単位変換回路を縦続に接続した、1.5bitを変換単位としたものである[1]~[3]。

最初のクロックフェーズ(サンプリングフェーズ)でスイッチ $SW_{1s}$ ,  $SW_{1f}$ は内側に倒されており、 $SW_2$ は接地されている。この状態で比較器が入力信号 $V_{in}$ としきい値電圧を比較する。次のクロックフェーズで $SW_2$ を開放し、 $SW_{1s}$ ,  $SW_{1f}$ を外側に倒し、DAC端子には比較出力に応じて $\pm V_{ref}$ もしくは接地電位が印加される。この動作により入力信号 $V_{in}$ はDAC/2の電圧だけ引かれると同時に2倍の利得を持って増幅され、次段の単位変換回路に入力される(差分増幅フェーズ)。このとき次段の単位変換回路はサンプリングフェーズになっており、以下このような動作がパイプライン的に繰り返されて上位ビットから順次変換値が得られる。ところで図1では簡単のためにシングル型で回路を表現しているが実際の回路は実効的に信号振幅を大きく取るためや、スイッチからのフィードスルー誤差やノイズの抑制などのために差動型を用いることが多い。そこで以下の解析においては差動型を前提としている。解析を行うOPアンプは図2に示すフォールデッドカスコード型を用いる。

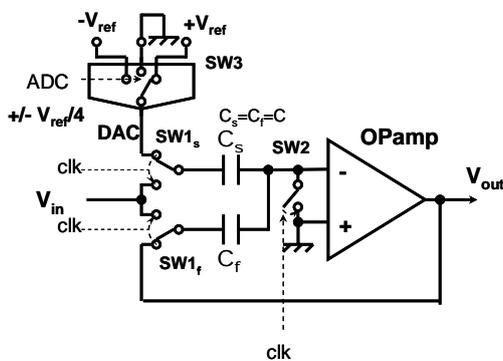


図1 単位変換回路

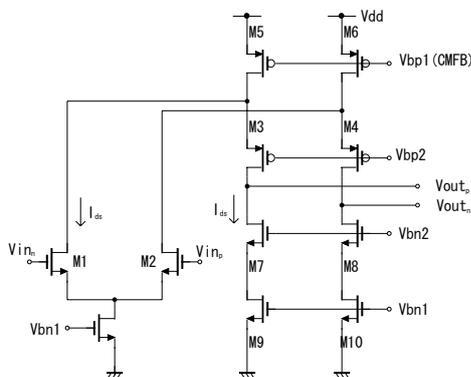


図2 フォールデッドカスコードOPアンプ

### 2.1. $C_s$ , $C_f$ の決定

容量 $C_s$ ,  $C_f$ は精度及び速度、消費電力、占有面積などに大きな影響を与える。一般に容量 $C_s$ ,  $C_f$ が大きいほど精度が高い反面、速度が低下し、消費電力、占有面積が大きくなる。したがって容量 $C_s$ ,  $C_f$ の決定はパイプライン型ADC設計において最も重要である。

精度の観点から $C_s$ ,  $C_f$ を決定する際に考慮しなければならないのが容量のミスマッチとノイズである。容量ミスマッチにより生じる誤差は定常的であるので、何らかの誤差補正技術を用いることにより解消することができる[4]~[5]。したがってノイズから必要容量を算出し、可能な限り小さな容量を使用することで高性能化が期待できる。ノイズは $kT/C$ ノイズとオペアンプの入力換算熱雑音の和で表される[6]。

#### a) $kT/C$ ノイズ

初段の単位変換回路に使用する容量を $C_o=C_s=C_f$ とし、各段の容量を1段につき1/2ずつ低減させていくと仮定すると、

$$v_{c\_tot}^2 \approx \frac{2kT}{C_o} \quad (1)$$

となる。

#### b) 入力換算熱雑音

入力換算熱雑音は図2の1段のフォールデッドカスコード型OPアンプを仮定すると、

$$v_{ther}^2 = 2\gamma \frac{8kT}{3} \frac{1}{g_m} \left( 1 + \frac{g_{m\_CMN}}{g_m} + \frac{g_{m\_CMP}}{g_m} \right) \Delta f \quad (2)$$

となる。 $\gamma$ は過剰ノイズ係数、 $g_m$ はOPアンプの初段のトランジスタペアを構成するトランジスタのトランスコンダクタンス、 $g_{m\_CMN}$ ,  $g_{m\_CMP}$ は定電流を構成するN型およびP型トランジスタのトランスコンダクタンスを、 $\Delta f$ は周波数帯域を表す。図2に示した電流条件によると $g_{m\_CMN}$ ,  $g_{m\_CMP}$ は $g_m$ に対して1及び2倍となる。次段以降のOPアンプの動作電流を1段毎に半分減少させるこ

とを仮定し、更に $g_m = \frac{2I_{ds}}{V_{eff}}$ であり、 $\gamma$ を2、 $V_{eff}$ を0.175Vとお

くと、(2)式は、

$$v_{ther}^2 \approx 15 \frac{kT}{I_s} \Delta f \quad (3)$$

となる。 $\Delta f$ をGBWと実効負荷容量より算出すると(3)式は

$$v_{ther}^2 \approx \frac{3kT}{C_o} \quad (4)$$

と表される。したがって、a)で示したサンプリングによる $kT/C$ ノイズと合わせて全ノイズは

$$v_n^2 = v_c^2 + v_{th}^2 \approx \frac{5kT}{C_o} \quad (5)$$

となる。この雑音電力が量子化ノイズ電力の半分を基準とすると

$$C_o \geq 1.66 \times 10^{-19} \left( \frac{2^N}{V_{ref}} \right)^2 \quad (6)$$

となる。

## 2.2. OP アンプの要件

図1に示した単位変換回路の増幅時における等価回路を図3に示す。図3において $g_m$ はOPアンプの初段のトランジスタペアを構成するトランジスタのトランスコンダクタンス、 $R_L$ はOPアンプの出力抵抗、 $\omega_{p2}$ はOPアンプ回路の第2ポールを表している。 $C_{pi}$ はOPアンプの入力、 $C_{po}$ はOPアンプの出力に付く寄生容量を示している。 $C_s$ 、 $C_f$ は単位変換回路の帰還容量、 $C_{oL}$ は次段の帰還容量であり、 $C_o = C_s = C_f = C_{oL}$ の関係がある。

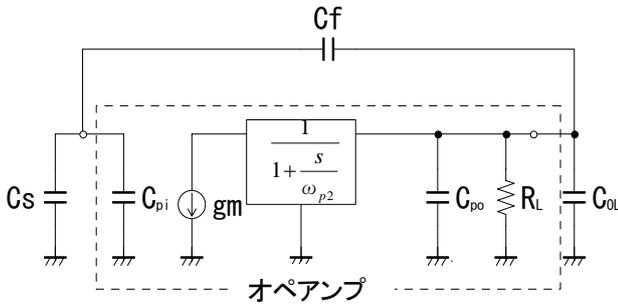


図3. 単位変換回路の増幅時等価回路

図2においてクローズドループにおけるOPアンプの $GBW_{close}$ は、

$$GBW_{close} = \frac{g_m}{2\pi C_L} \beta \quad (7)$$

で表される。ここで $\beta$ はフィードバックファクタ、 $C_L$ はOPアンプの実効負荷容量であり、

$$\beta = \frac{C_f}{C_f + C_s + C_{pi}} \quad (8)$$

$$C_L = C_{po} + C_{oL} + \frac{C_f (C_s + C_{pi})}{C_f + C_s + C_{pi}} \quad (9)$$

で表される。式(7)に式(8)、(9)を代入し、 $C_o = C_s = C_f = C_{oL}$ の関係から

$$GBW_{close} = \frac{g_m}{2\pi C_o} \frac{1}{\left(2 + \frac{C_{pi}}{C_o}\right) \left(1 + \frac{C_{po}}{C_o}\right) + \left(1 + \frac{C_{pi}}{C_o}\right)} \quad (10)$$

が得られる。

$C_o$ は式(6)から算出される定数である。 $V_{eff}$ 一定の条件において

は、 $g_m$ 、 $C_{pi}$ 、 $C_{po}$ は $I_{ds}$ に比例する。ここで $g_m = \frac{2I_{ds}}{V_{eff}}$ 、 $C_{pi} = \alpha_i I_{ds}$ 、 $C_{po} =$

$\alpha_o I_{ds}$ とすると、

① $C_o \gg C_{po}, C_{pi}$ のとき

$$GBW_{close} \approx \frac{I_{ds}}{\pi C_o V_{eff}} \cdot \frac{1}{3} \quad (11)$$

と表され、 $I_{ds}$ に比例して $GBW_{close}$ は大きくなる。

② $C_{pi} < C_o < C_{po}$ のとき

$$GBW_{close} \approx \frac{1}{\pi C_o V_{eff}} \cdot \frac{1}{3 + \alpha_o} \quad (\alpha: \text{定数}) \quad (12)$$

となり、 $I_{ds}$ を増やしても $GBW_{close}$ は一定になる。

③ $C_o < C_{po}$ 、 $C_o < C_{pi}$ のとき

$$GBW_{close} \approx \frac{1}{\pi C_o V_{eff}} \cdot \frac{1}{3 + \alpha_i \alpha_o I_{ds}} \quad (\alpha: \text{定数}) \quad (13)$$

となり、 $GBW_{close}$ は $I_{ds}$ に反比例して小さくなる。

ただし実際には $GBW_{close}$ の最大値は $\omega_{p2}$ の制限を受けるので、この効果を考慮しなければならない。

a) DC 利得

OPアンプの利得による誤差は許容誤差を1/4LSBを基準とすると、

$$G(dB) > 6N - 20 \log \beta \quad (14)$$

となる。ここで $\beta$ を1/3とすると、 $G(dB) > 6N + 10$ の条件が得られる。

b) GBW

セトリング時間の基準を1/4LSBとすると、一次のポールを有するアンプの応答より

$$\exp\left(-\frac{t_{ss}}{\tau}\right) < \frac{1}{2^N}, \quad \tau = \frac{1}{2\pi \cdot GBW_{-close}} \quad (15)$$

ここで、 $t_{ss}$ はセトリングに要する時間である。スルーレートなどを考慮し、 $t_{ss}$ を変換の半周期の2/3とすると、

$$GBW_{-close} > \frac{1}{3} N \cdot f_c \quad (16)$$

と近似できる。 $f_c$ はADCの変換周波数である。

### 3. トランジスタのキャラクタライズ

OPアンプの性能のデザインルール依存性を見るため、0.35  $\mu\text{m}$  ~ 90nmの各世代のデザインルールのトランジスタのキャラクタライズを行った。トランジスタのゲート幅Wと $I_{ds}$ との関係は、

$$W = \frac{2L}{\mu C_{ox} V_{eff}} I_{ds} \quad (17)$$

で表されるので、 $V_{eff}$ 、L一定条件においてWは $I_{ds}$ に比例する。さらにトランジスタの寄生容量はWとLの積に比例するので、寄生容量も $I_{ds}$ に比例する。図2に示したOPアンプ回路の構成で、 $V_{eff}=0.175V$ 、 $L=1.2L_{min}$  ( $L_{min}$ は各デザインルールの最小ゲート長)としたときのW (NMOS: $W_N$ 、PMOS: $W_P$ )、 $C_{pi}$ 、 $C_{po}$ 、アーリー電圧 $V_A$ の関係を表1に示す。 $C_{pi,N}$ はNMOS入力、 $C_{pi,P}$ はPMOS入力、 $C_{pi,N}$ 、 $C_{pi,P}$ は入力のMOSの $C_{gs}$ 及び $C_{gd}$ の和で与えられる。このときミラー効果を考慮して、 $C_{gd}$ は2倍している。 $C_{po}$ はどちらの構成でも変わらず、出力のMOSの $C_{gd}$ 、 $C_{jd}$ 、 $C_{db}$ の和で与えられる。

表1 代表的プロセスでのMOSのキャラクタライズ  $V_{eff}=0.175V$

(a)  $W_N, W_P$  [ $\mu\text{m}/\text{mA}$ ],  $V_{A,N}, V_{A,P}$  [V]

ルール	$W_N$	$W_P$	$V_{A,N}$	$V_{A,P}$
90nm	24.3	74.9	0.82	0.69
0.13 $\mu\text{m}$	37.5	147	0.82	0.64
0.18 $\mu\text{m}$	54.8	219	0.99	0.93
0.25 $\mu\text{m}$	116.0	396	0.78	0.97
0.35 $\mu\text{m}$	162.0	603	1.01	0.86

(b)  $C_{pi,N}, C_{pi,P}, C_{po}$  [fF/mA],  $\omega_{p2,N}, \omega_{p2,P}$  [GHz]

ルール	$C_{pi,N}$	$C_{pi,P}$	$C_{po}$	$\omega_{p2,N}$	$\omega_{p2,P}$
90nm	23.7	93.4	94.5	9.35	15.4
0.13 $\mu\text{m}$	65.5	249	168	7.7	10.3
0.18 $\mu\text{m}$	115	475	340	2.06	4.7
0.25 $\mu\text{m}$	236	662	832	0.83	1.7
0.35 $\mu\text{m}$	303	1034	892	0.54	1.7

## 4. デザインルールとADCの性能の推定

### 4.1 $GBW_{-close}$ の推定

(6)、(10)式及び表1からOPアンプの $GBW_{-close}$ を推定することができる。図3の等価回路モデル及びMOSのキャラクタライズの妥当性を確認するため、0.18  $\mu\text{m}$  プロセス、PMOS入力のOPアンプを設計しシミュレーション結果との比較を行った。ADCの条件と

して $N=10$ ビット、 $V_{ref}=0.5V$ を設定し、(6)式から $C_o=0.7\text{pF}$ とした。結果を図4に示す。5%以内の範囲で計算とシミュレーション結果が一致しており、等価回路及びMOSのキャラクタライズの妥当性が確認された。

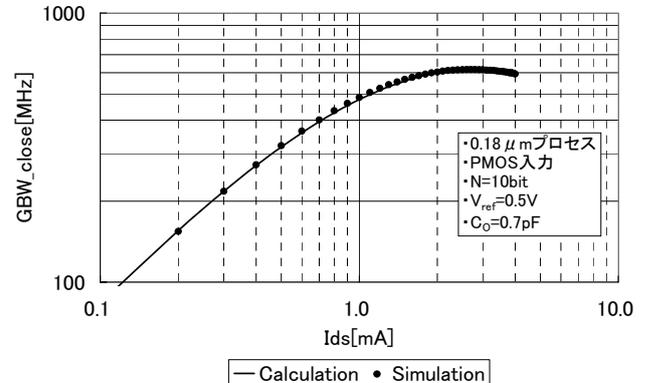


図4  $GBW_{-close}$ の計算値とシミュレーション値の比較

### 4.2 ADCの変換周波数と消費電力の推定

(16)式より、

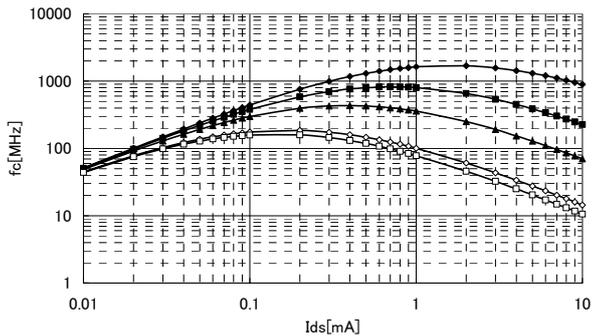
$$f_c < \frac{3GBW_{-close}}{N} \quad (18)$$

が得られる。(18)式より2通りの条件でADCの変換周波数の推定を行う。

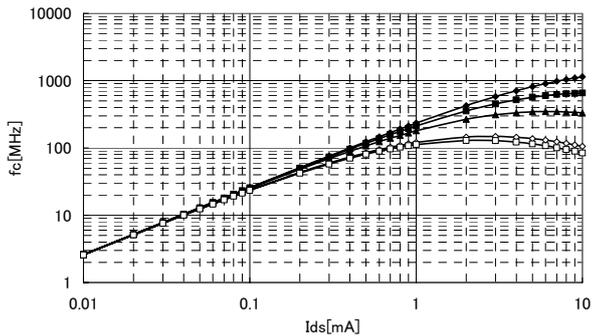
#### a) 入力振幅固定

入力振幅がデザインルールに依らず  $1V_{pp}$  である場合を考える。 $N=8\sim 10\text{bit}$ の分解能において各デザインルールによってどのような性能差が現れるか検討した。ここでOPアンプはNMOS入力と仮定した。

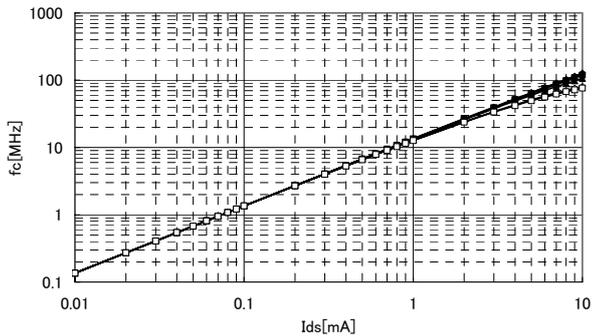
$N=8\text{bit}$ では使用する $C_o$ が小さいため、寄生容量の小さな微細化プロセスのほうが優位であるといえる。 $I_{ds}$ が小さく寄生容量が $C_o$ に対して比較的小さい間((11)式で表される領域)は各プロセスともほぼ $I_{ds}$ に比例して $f_c$ が大きくなるが、0.35、0.25  $\mu\text{m}$ ...と順次飽和領域((12)式で表される領域)に入り、入出力の寄生容量が $C_o$ に対して大きくなったところで $I_{ds}$ に反比例して $f_c$ は小さくなる((13)式で表される領域)。 $N=10\text{bit}$ でも同様なことがいえる。 $N=12, 14\text{bit}$ では $C_o$ が寄生容量と比較して十分に大きいため、どのデザインルールを用いても $f_c$ にほとんど差が現れない。



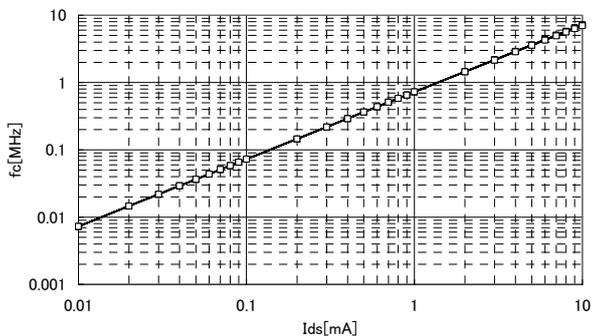
(a) N=8bit  $C_o=44\text{fF}$



(b) N=10bit  $C_o=0.7\text{pF}$



(c) N=12bit  $C_o=11\text{pF}$



(d) N=14bit  $C_o=176\text{pF}$

図5 信号振幅  $1V_{pp}$  のときのデザインルールにおける ADC の変換周波数特性

b) 信号振幅最適化

各デザインルールにより使用可能な電源電圧の値が異なるため、扱える信号振幅も異なる。電源電圧と  $V_{ref}$  の関係は

$$V_{ref} = V_{dd} - 4V_{eff} \quad (19)$$

と表される。  $V_{eff}=0.175$  とした時のデザインルールごとの  $V_{ref}$  を表 2 に示す。また、  $N=8\sim 14\text{bit}$  としたときの単位容量  $C_o$  のデザインルール依存性を図 6 に示す。

表2  $V_{ref}$  の最適値

	90nm	0.13 $\mu\text{m}$	0.18 $\mu\text{m}$	0.25 $\mu\text{m}$	0.35 $\mu\text{m}$
Vdd	1.2V	1.5V	1.8V	2.5V	3.3V
Vref	0.5V	0.8V	1.1V	1.8V	2.6V

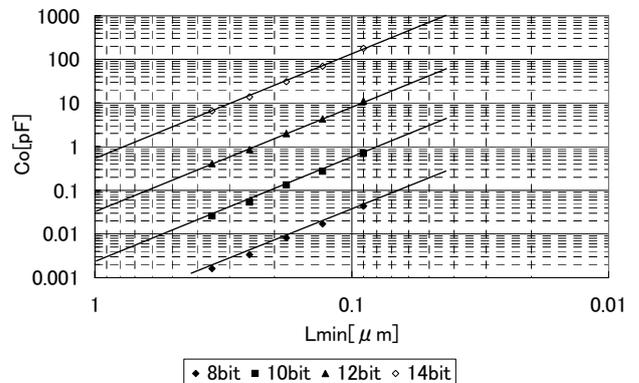
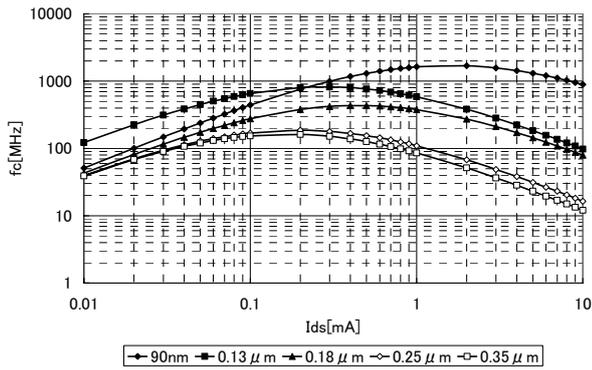


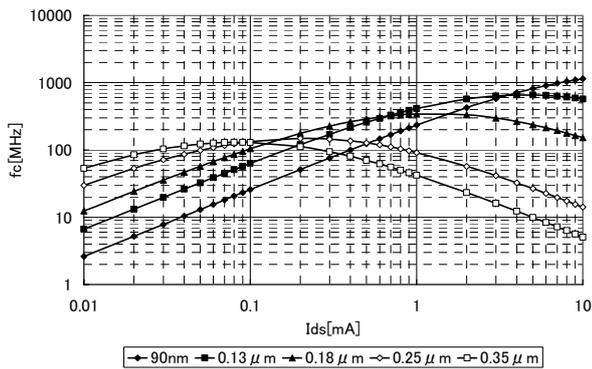
図6 信号振幅最適化後のデザインルールと単位容量の関係

図7に信号振幅を最適化したときのADCの変換周波数特性を示す。  $C_o$  の値は基本的に図6のとおりであるが、  $50\text{fF}$  を下回ったものについては  $50\text{fF}$  としている。

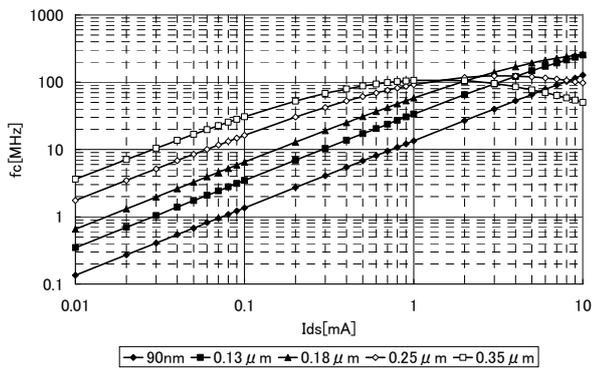
信号振幅が大きいほど小さな  $C_o$  でよいから、寄生容量の効果が現れるまでは  $0.35\mu\text{m}$  などの緩いデザインルールのほうが速度・消費電力の面で有利であるといえる。変換速度の限界値は微細なプロセスのもののほうが大きいから、高速動作を狙う場合には微細化プロセスを用い消費電流を増加させることで高速化を狙える。しかし電力効率は必ずしも良いとはいえず、緩いデザインルールのADCをインタリーブ動作させて高速化を図ったほうが良い場合もあると考えられる。



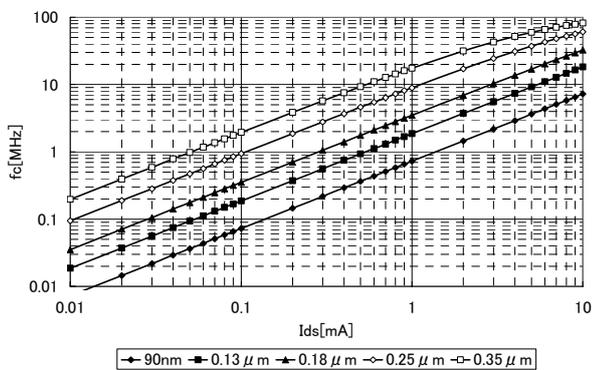
(a)8bit



(b)10bit



(c)12bit



(d)14bit

図7 信号振幅を最適化した時のADCの変換周波数

## 5. まとめ

パイプライン型ADCの性能のデザインルール依存性について検討を行った。

ADCの変換周波数 $f_c$ は単位容量 $C_0$ とトランジスタの寄生容量 $C_{pi}, C_{po}$ の大小関係により $I_{ds}$ を増加させたときの特性が異なることを示した。 $C_0$ に対して $C_{pi}, C_{po}$ が十分小さいとき $f_c$ は $I_{ds}$ に比例して上昇する。 $C_{pi}$ または $C_{po}$ のどちらかが $C_0$ よりも大きくなると $I_{ds}$ を増加させても $f_c$ が増加しなくなる。さらに $C_{pi}, C_{po}$ の両方が $C_0$ よりも大きくなると $f_c$ は $I_{ds}$ に反比例して減少するようになる。

$C_0$ が比較的小さい低分解能のADC(8~10bit程度)においては $C_{pi}, C_{po}$ の小さい微細化プロセスが速度、消費電力共に有利であるといえる。しかし微細化すると信号振幅の減少により $C_0$ が大きくなり、この効果が支配的となる。そのため高分解能のADC(12~14bit)においては信号振幅を大きくし $C_0$ を小さくできるデザインルールの緩いプロセスが速度、消費電力共に有利であることがわかった。

今回はOPアンプ回路に良く用いられているフォールデッドカスコード型に限り解析を行った。しかし微細なプロセスではフォールデッドカスコード型のみではゲインの確保が難しいため、高分解能のADCにおいてはスーパーカスコードなどのゲインブースト技術が不可欠である。したがって、今後このスーパーカスコード型のOPアンプについても解析を進める予定である。

## 文献

- [1] S. H. Lewis, H. S. Fetterman, G. F. Gross, Jr., R. Ramachandran, T. R. Viswanathan, "A 10-b, 20-Msample/s Analog-to-Digital Converter," IEEE Journal of Solid-State Circuits, Vol. 27, No. 3, pp. 351-358, March, 1992.
- [2] T. Cho and P. R. Gray, "A 10b 20Msample/s, 3mW pipeline A/D converter," IEEE Journal of Solid-State Circuits, Vol. 30, No. 3, pp. 166-172, March, 1992.
- [3] A. M. Abo and P. R. Gray, "A 1.5V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," IEEE Journal of Solid-State Circuits, Vol. 34, No. 5, pp. 599-606, May, 1999.
- [4] S-Y. Chuang and T. L. Scully, "A Digitally Self-Calibrating 14-bit 10MHz CMOS Pipelined A/D Converter," IEEE Journal of Solid-State Circuits, Vol. 37, No. 6, pp. 674-683, June, 2002.
- [5] Jipeng Li and Un-Ku Moon "A 1.8-V 67-mW 10-bit 100-MS/s Pipelined ADC" IEEE Journal of Solid-State Circuits, Vol.39, No.9, pp.1468-1476, Sep, 2004.
- [6] 宮原正也 松澤 昭,"A Study on a pipeline ADC—Basic requirements for capacitance and OP amp—",電子情報通信学会集積回路研究専門委員会, Vol.104, No.175, pp.7-12, Jul.2004.