

90nmCMOSによる 低電圧・超高速OPアンプの検討

宮原 正也 松澤昭

東京工業大学
大学院理工学研究科
電子物理工学専攻
松澤研究室

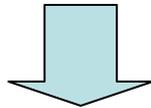
背景

目的・・・超高速パイプラインADCの製作
8～10bit 500MH 動作

パイプラインADCに用いられるオペアンプに要求される主な特性

DCゲイン

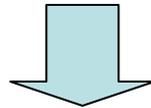
$$G(dB) > 6N + 10$$



$$G(dB) > 70dB$$

GBW

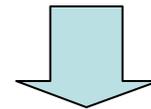
$$GBW > N \cdot f_c$$



$$GBW > 5GHz$$

出力振幅

出力振幅が大きいほど
ノイズの影響が緩和
 C_s, C_f を小さく設定可能



高速動作、低消費電力化

出力振幅ができるだけ大きく、DCゲイン、GBWなどの必要性能を満たす
低電源電圧・超高速オペアンプの製作

必要性能は1/4LSB誤差を許容した場合

発表内容

1. オペアンプの構成

- ・メインアンプ、ゲインブースト回路の構成

2. シミュレーション結果

- ・AC解析
- ・DC解析
- ・GBW-消費電流の関係
- ・パイプラインADC 8ビット分解能時の変換周波数見積もり
- ・0.25 μm プロセスとの比較

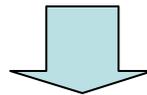
3. まとめ

オペアンプの構成

オペアンプ基本性能比較

オペアンプ型式	ゲイン	速度	出力振幅
テレスコピック型			
フォールデッドカスコード型			
2段型		×	
ゲインブースト型			

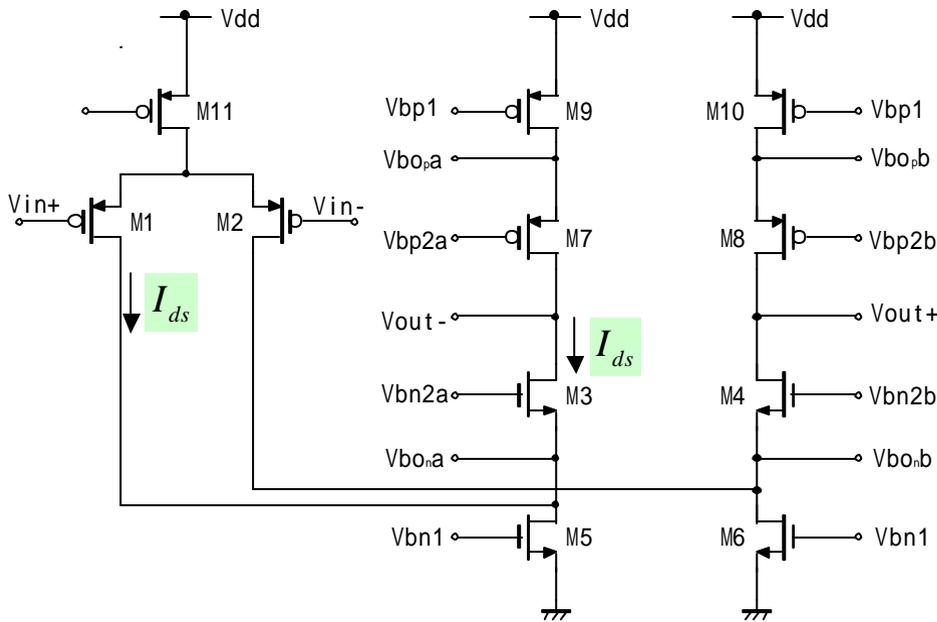
- ・微細プロセスでは g_{ds} が大きいいためゲインが取りにくい
- ・高速動作が可能であること
- ・低電圧動作が可能であること



フォールデッドカスコード型をゲインブーストする構成を採用

回路構成 (メインアンプ)

メインアンプ



出力抵抗 NMOS側

$$R_{out_main_n} \approx r_{ds3} + (r_{ds1} // r_{ds5}) + (g_{m3} + g_{mb3})(r_{ds1} // r_{ds5})r_{ds3}$$

出力抵抗 PMOS側

$$R_{out_main_p} \approx r_{ds7} + r_{ds9} + (g_{m7} + g_{mb7})r_{ds7}r_{ds9}$$

出力抵抗 R_{out}

$$R_{out_main} = R_{out_main_n} // R_{out_main_p}$$

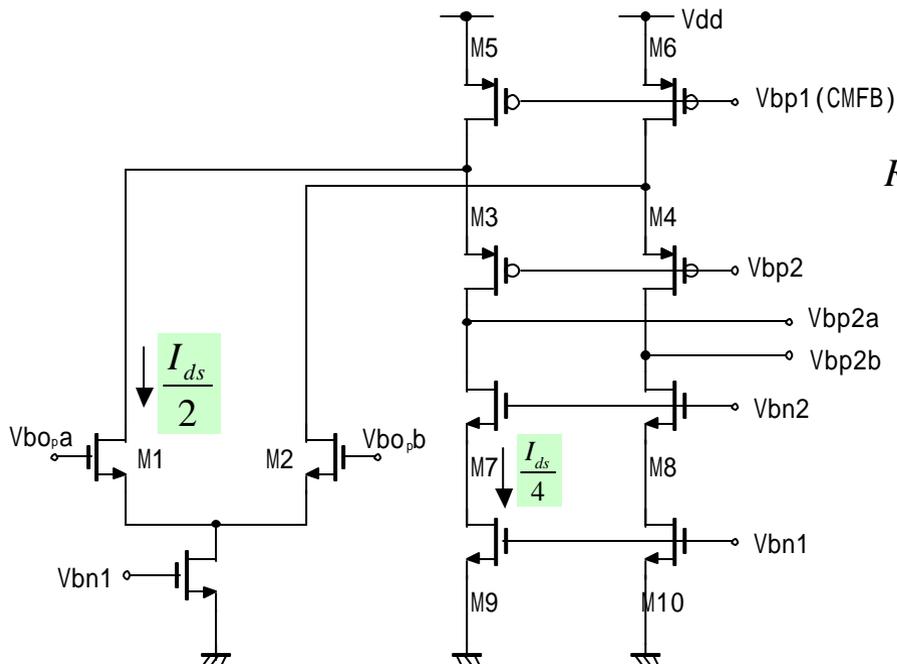
メインアンプのゲイン (片相)

$$G_{main} \approx g_{m1} R_{out_main}$$

スーパーカスコード構成により
 R_{out_n} , R_{out_p} それぞれをブーストして
 利得を得る

回路構成 (ブーストアンプ)

PMOS側ブーストアンプ



出力抵抗 NMOS側

$$R_{out_boostp_n} \approx r_{ds7} + r_{ds9} + (g_{m7} + g_{mb7})r_{ds7}r_{ds9}$$

出力抵抗 PMOS側

$$R_{out_boostp_p} \approx r_{ds3} + (r_{ds1} // r_{ds5}) + (g_{m3} + g_{mb3})(r_{ds1} // r_{ds5})r_{ds3}$$

出力抵抗

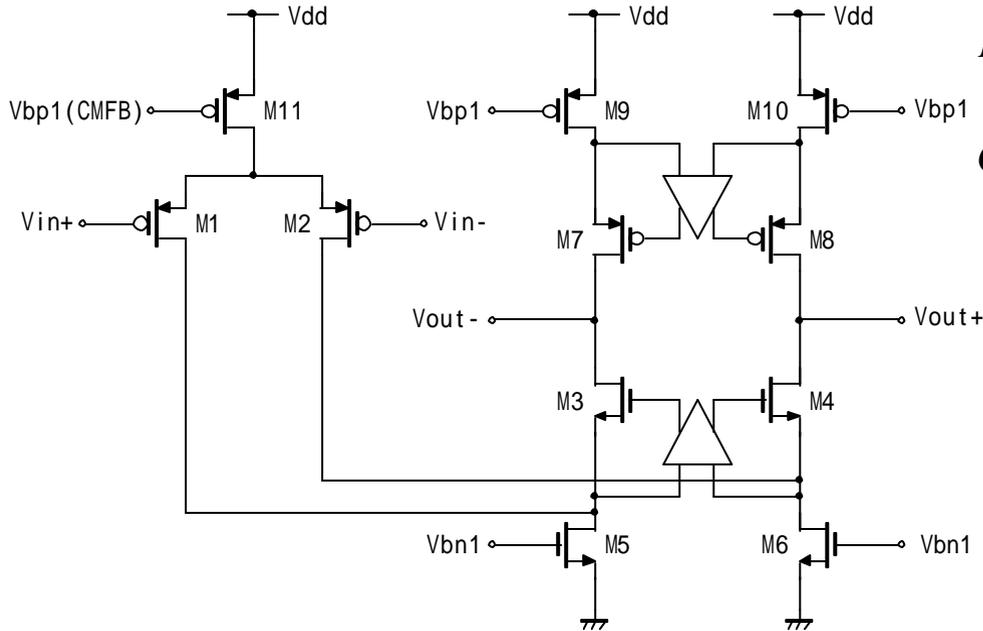
$$R_{out_boostp} = R_{out_boostp_n} // R_{out_boostp_p}$$

PMOS側ブーストアンプのゲイン (片相)

$$G_{boostp} \approx g_{m1}R_{out_boostp}$$

回路構成

オペアンプ回路



メインアンプの出力抵抗がブーストされる

$$R_{out_n} \approx G_{boostn} (r_{ds1} + r_{ds3} + (g_{m3} + g_{mb3})r_{ds1}r_{ds3})$$

$$R_{out_p} \approx G_{boostp} (r_{ds5} + r_{ds7} + (g_{m5} + g_{mb5})r_{ds5}r_{ds7})$$

$G_{boost} \approx G_{boosp} \approx G_{boostn}$ と仮定すると

$$R_{out} = G_{boost} (R_{out_n} // R_{out_p})$$

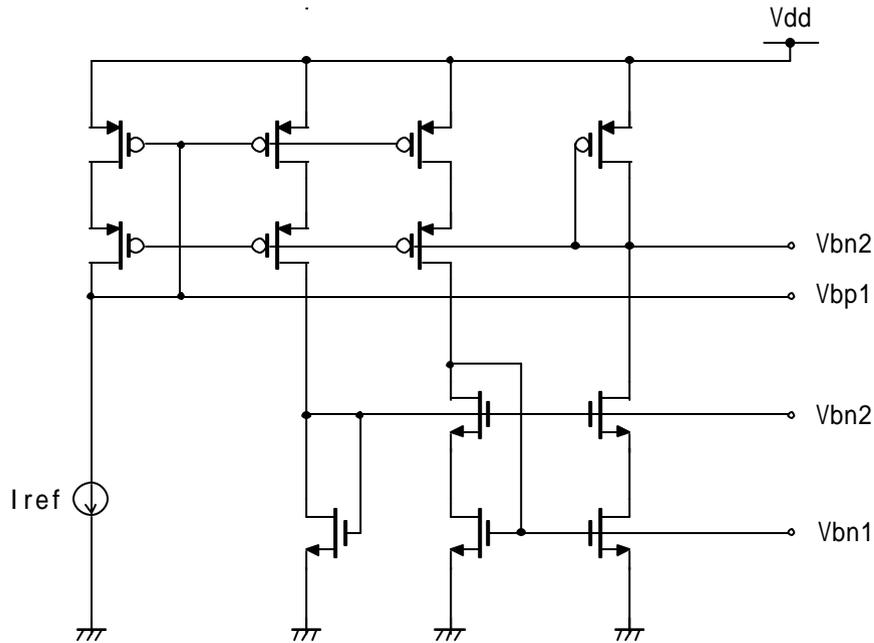
オペアンプのゲイン片相

$$G_{main} \approx G_{boost} g_{m1} R_{out}$$

メインアンプのゲインが G_{boost} 倍される

回路構成 (バイアス回路)

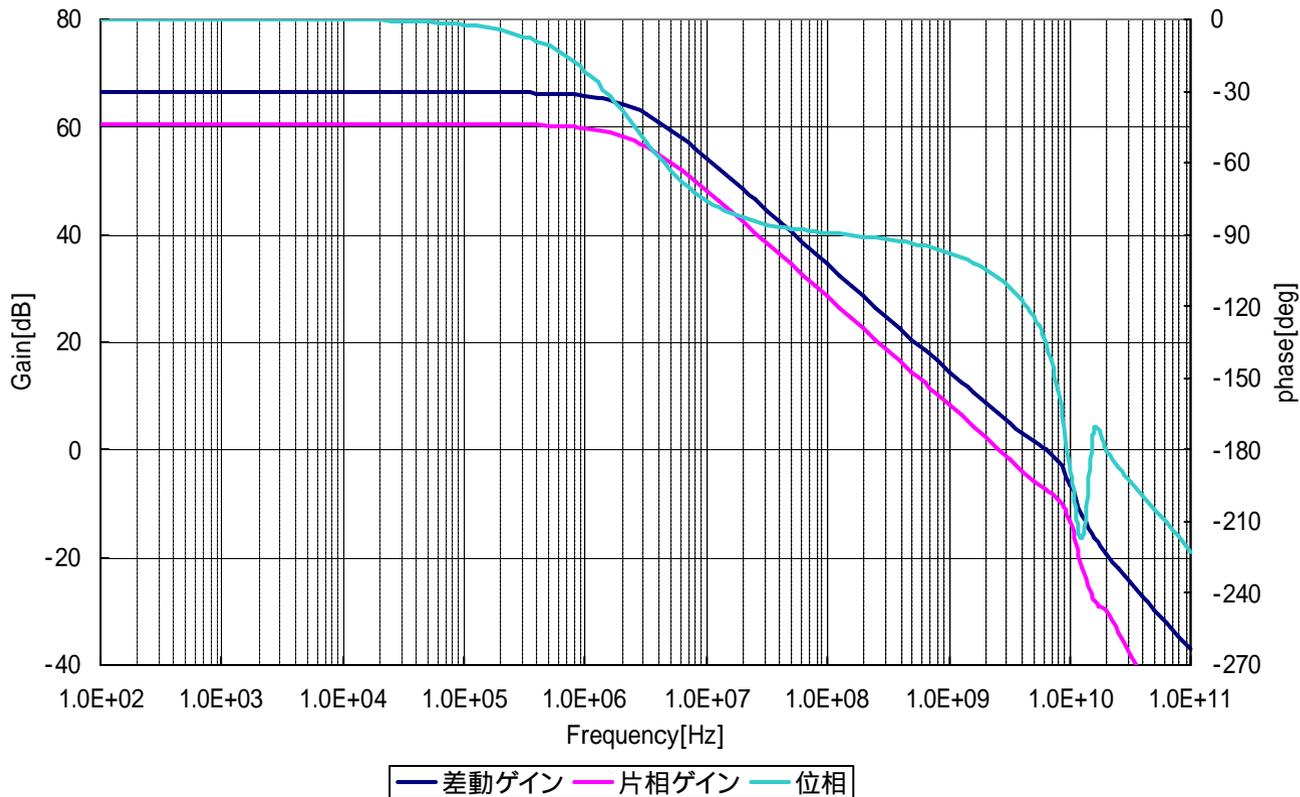
バイアス回路



$V_{eff}=0.175$ でバイアスされるよう
W/Lを設定

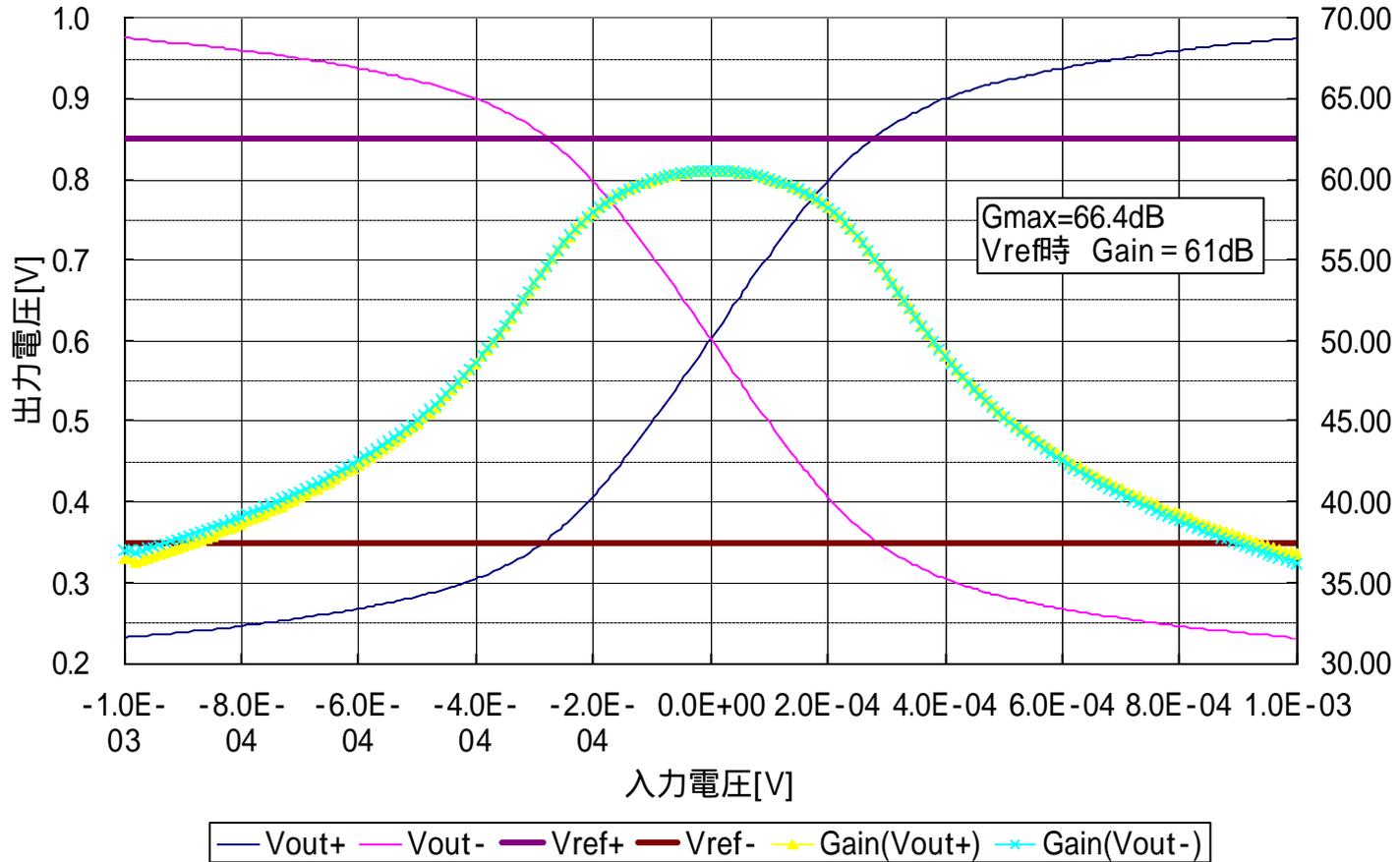
オペアンプ周波数特性

AC解析



負荷容量0.1pF
 $I_{ds}=400 \mu A$
DCゲイン66.4dB (差動)
差動GBW=5.324GHz
片相GBW=2.662GHz
fp2=6.323GHz
位相余裕71.47deg

オペアンプDC特性



オペアンプGBW特性

消費電流—GBW特性

寄生容量 C_p とすると無負荷時では

$$GBW = \frac{g_m}{2 C_p}$$

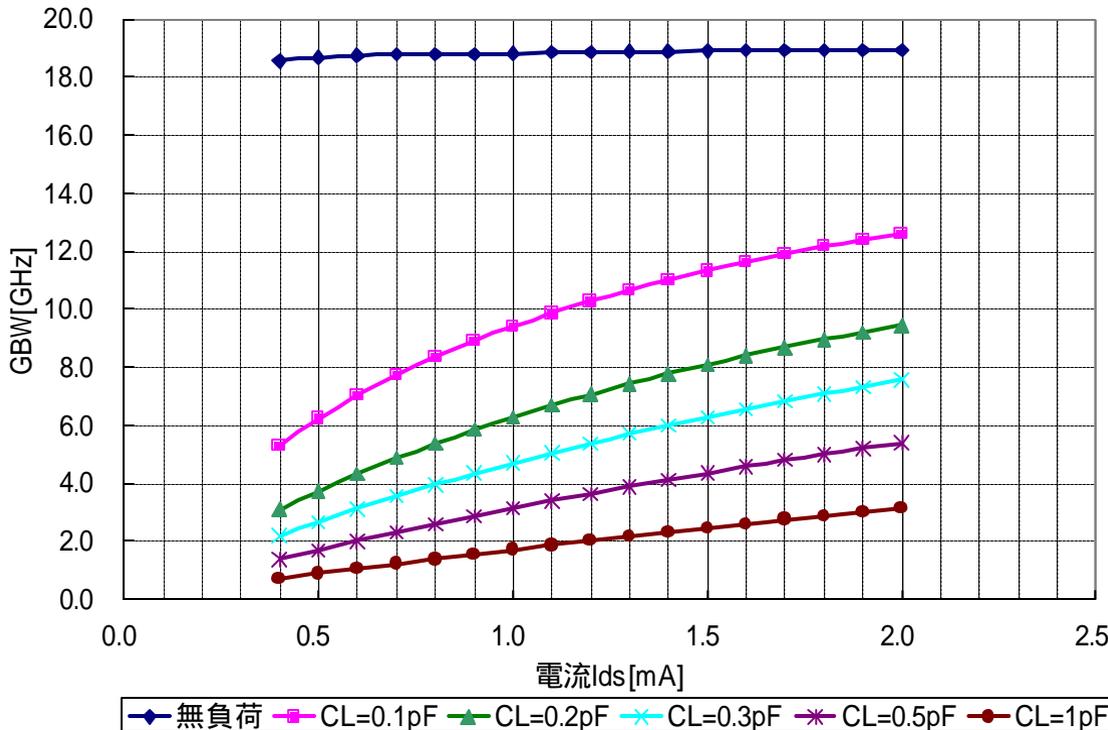
V_{eff} 、 L 一定の条件においては、

$$\left. \begin{aligned} g_m &= \frac{2I_{ds}}{V_{eff}} \\ I_{ds} &\approx \frac{\mu C_{ox} W}{2 L} V_{eff}^2 \end{aligned} \right\} I_{ds} \propto g_m \propto W \propto C_p$$

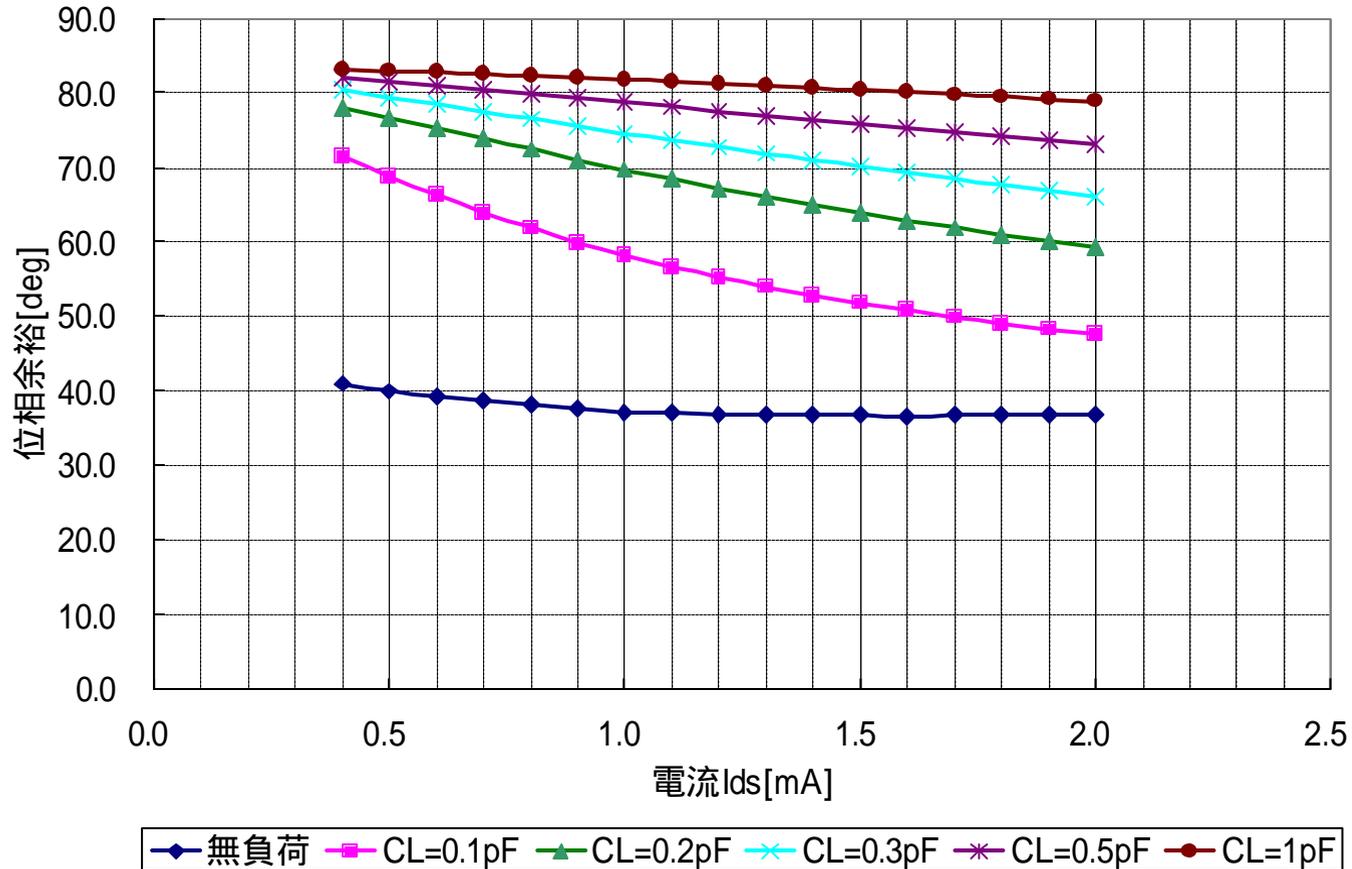
であるのでGBW一定となる。

位相余裕を考慮しない場合
この値が GBW_{max} となる

差動GBW



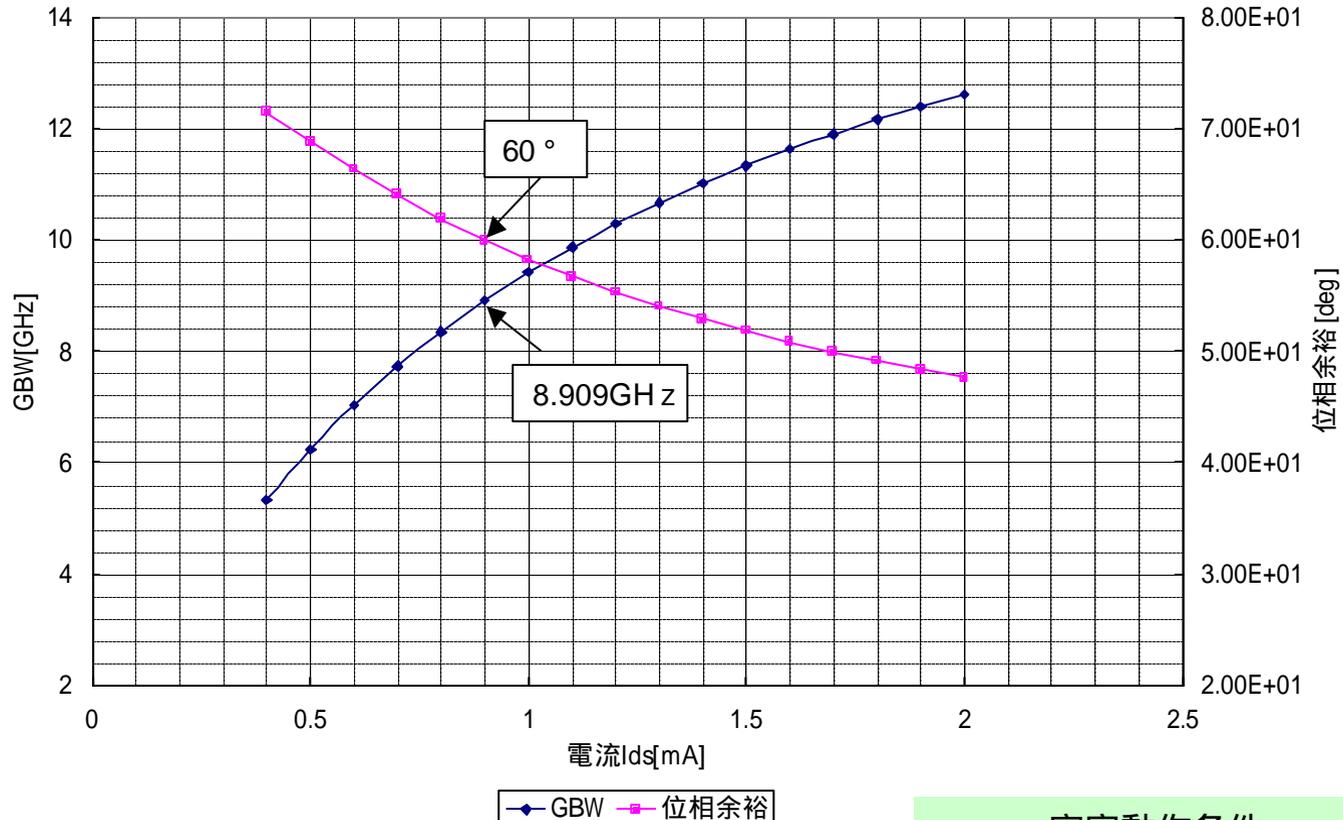
オペアンプ位相余裕特性



$C_L = 0.2\text{pF}$ 以上は安定動作 位相余裕 $>60^\circ$
 $C_L = 0.1\text{pF}$ 時では 1.0mA 以上で位相余裕が小さい

オペアンプの安定動作限界

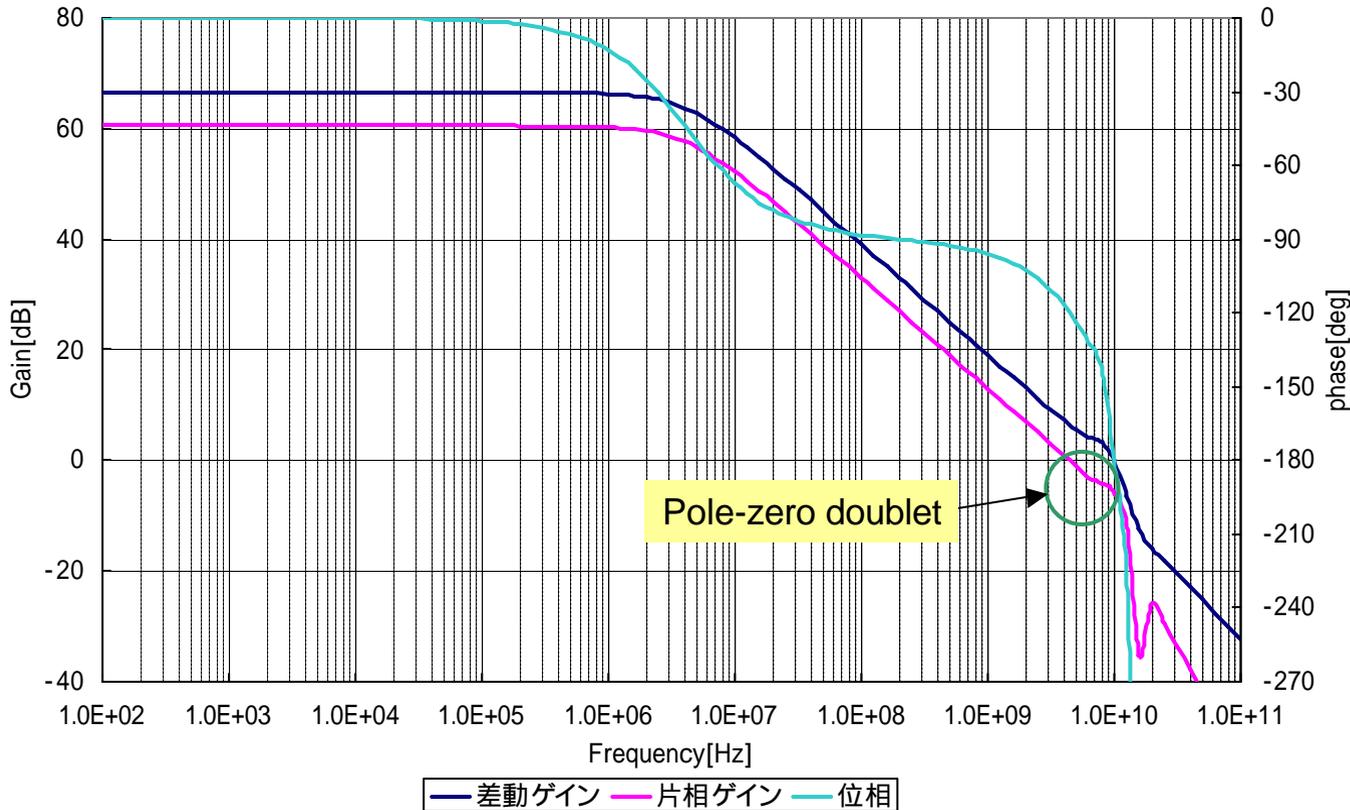
$C_L=100\text{ fF}$



安定動作条件
位相余裕 $> 60^\circ$ を考慮すると
GBW_{max} 9GHz 程度

オペアンプ安定動作限界

$C_L=100\text{ f}$ 、 $I_{ds}=900\text{ }\mu\text{ A}$

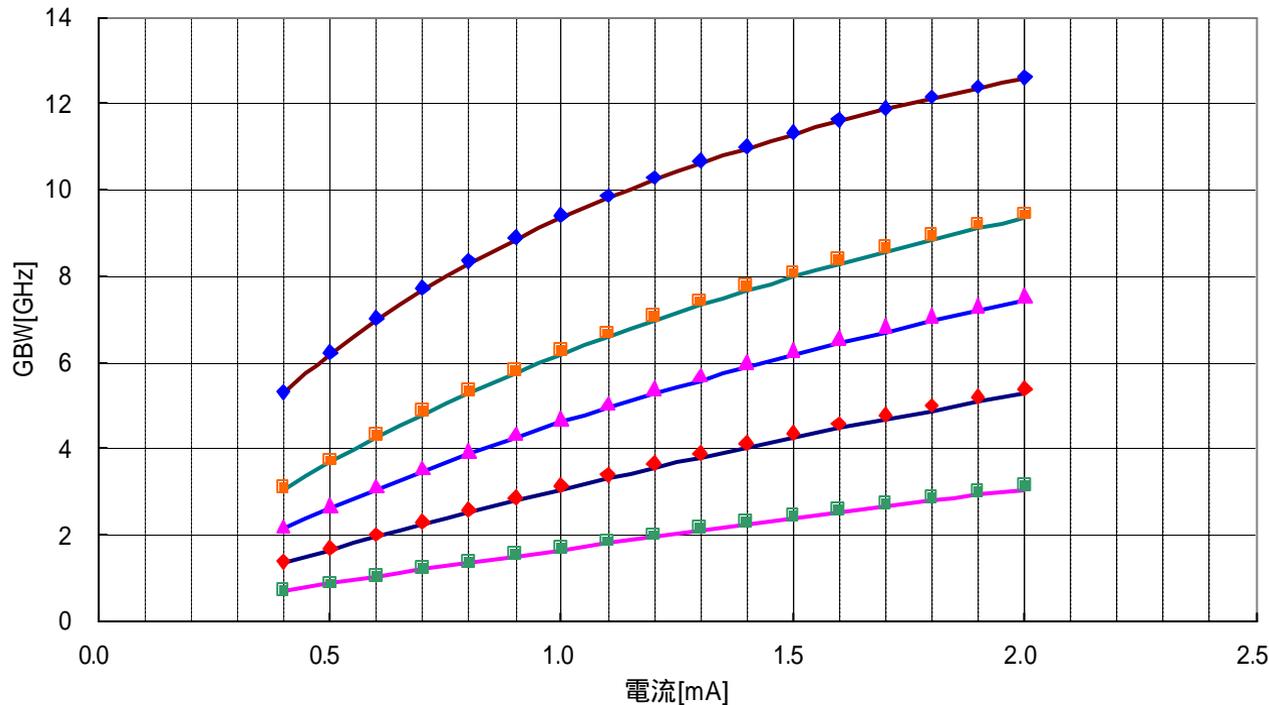


負荷容量0.1pF
 $I_{ds}=900\text{ }\mu\text{ A}$
差動GBW=8.909GHz
片相GBW=4.454GHz
fp2=6.939GHz
位相余裕59.94deg

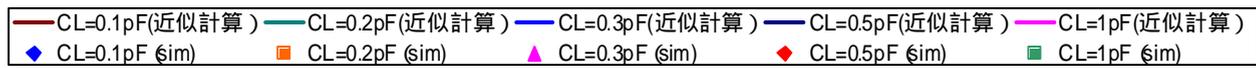
GBWの近似計算

負荷につく寄生容量を算出

$$C_p = 9.45 \times 10^{-11} \cdot I_{ds} \quad GBW \approx \frac{g_m}{2(C_p + C_L)} \quad g_m = \frac{2I_{ds}}{V_{eff}} \quad \text{より近似値を算出}$$



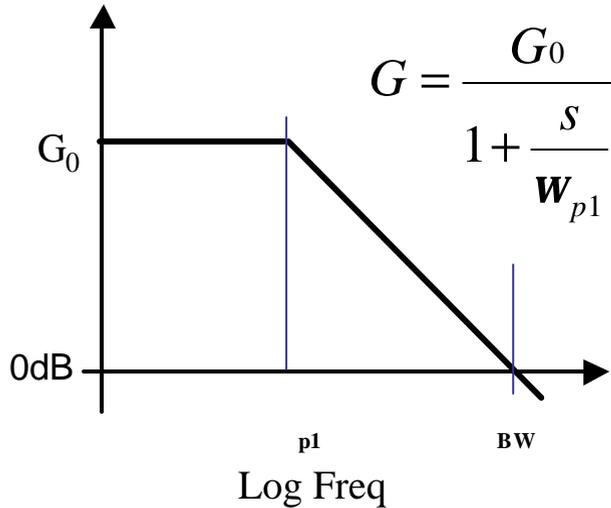
各ノードの寄生容量の見積もりが可能



オペアンプの必要性能 (GBW)

利得帯域幅積 (GBW)

必要な利得帯域幅積(GBW)は変換周波数に分解能を掛けたものである。



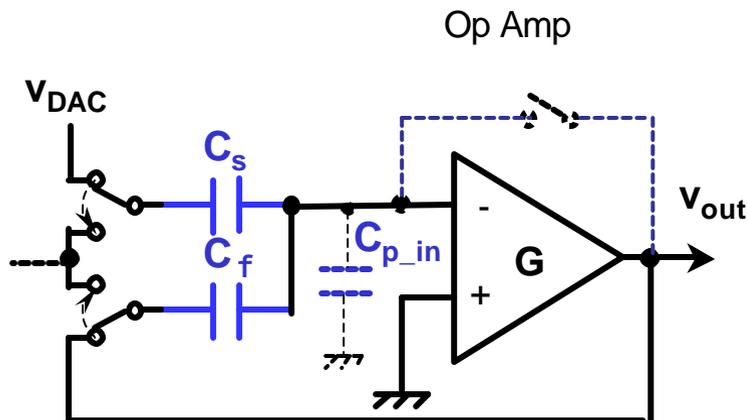
$$E_{error} = \frac{1}{1 + G(s)\mathbf{b}} = \frac{1}{1 + \frac{G_0\mathbf{b}}{1 + \frac{s}{\omega_{p1}}}} = \frac{1}{2 + \frac{C_{p-in}}{C_f}}$$

$$E_{error} = \exp(-G_0\omega_{p1}\mathbf{b}t) = \exp\left(-\frac{t}{t}\right), t = \frac{1}{\omega_{BW}\mathbf{b}}$$

$$\exp\left(-\frac{t_{ss}}{t}\right) < \frac{1}{2^{N-M+1}} \quad \therefore \omega_{BW} = G_0 \cdot \omega_{p1}$$

$$\omega_{BW} > \frac{0.7(N-M+1)}{\mathbf{b}t_{ss}} \quad GBW > N \cdot f_c \quad \begin{array}{l} t_{ss} \text{は変換の半周期の} 2/3 \\ = 1/3 \text{としたとき} \end{array}$$

実効変換周波数



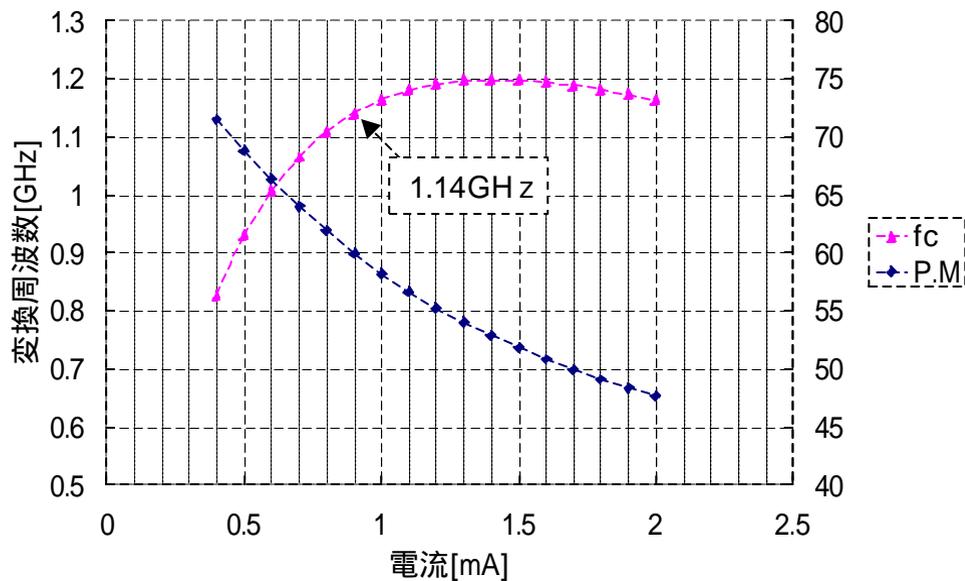
パイプラインADCの変換周波数

$$f_c < \frac{3GBW}{N}$$

N:分解能

$$= \frac{1}{2 + \frac{C_{p_in}}{C_f}}$$

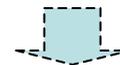
$$C_{p_in} = 5.167 \times 10^{-11} I_{ds}$$



$$C_f = 50 \text{ f F}$$

$$C_L = 100 \text{ f F}$$

N=8bitで構成



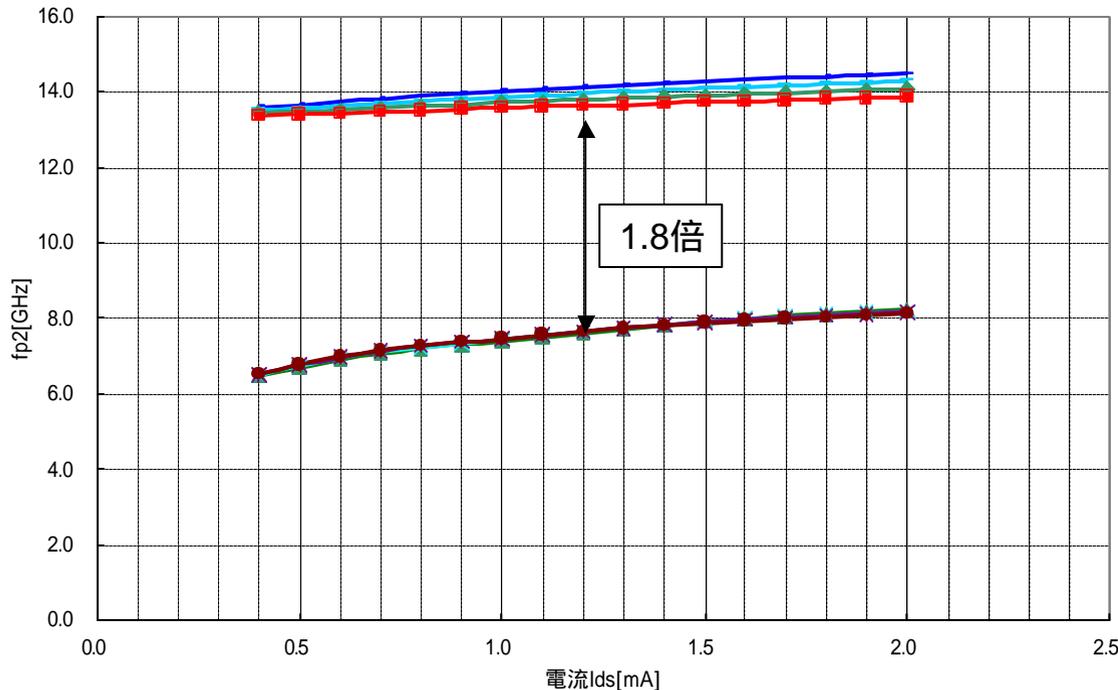
1GHz以上で動作可能

第2ポール f_{p2}

シミュレーション値

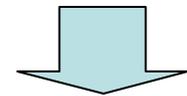
GBWは第2ポールによって制限される

90nmプロセス



実効的に位相-135°を f_{p2} とする

ゲインブーストしないフォールデッドカスコードアンプの f_{p2} はほぼ一定 (g_m , C_p であるため)



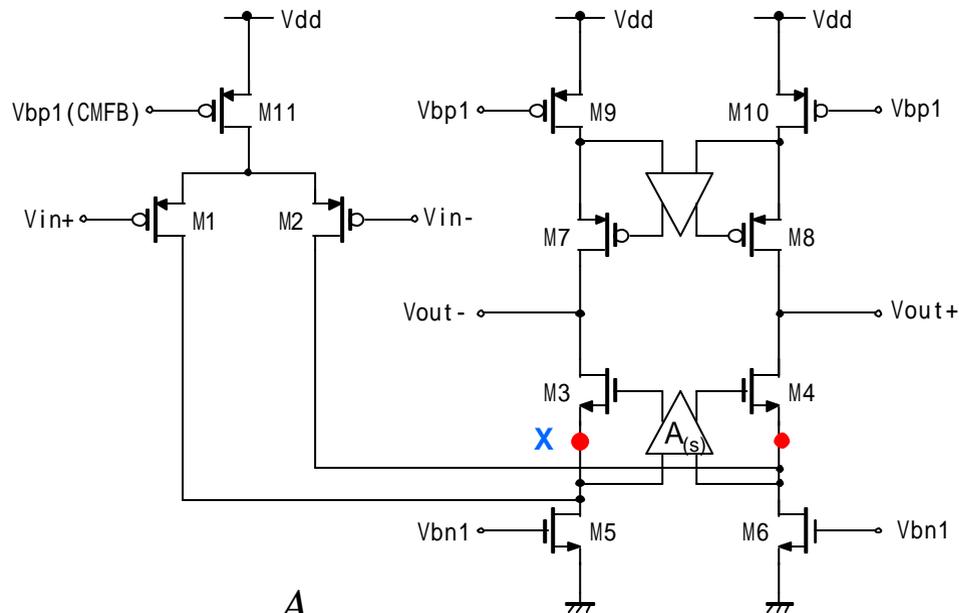
f_{p2} の変化はゲインブーストアンプの影響と考えられる。

CL=0.2pF(ゲインブースト) CL=0.3pF(ゲインブースト) CL=0.5pF(ゲインブースト) CL=1pF(ゲインブースト)
CL=0.2F(ゲインブーストなし) CL=0.3F(ゲインブーストなし) CL=0.5F(ゲインブーストなし) CL=0.1F(ゲインブーストなし)

第2ポール f_{p2}

ゲインブーストの影響

ノードXの寄生容量が大きい 第2ポールが存在



$$A_{(s)} = \frac{A_0}{1 + \frac{s}{p_1}}$$

ゲインブーストしない場合

$$g_x = g_{ds1} + g_{ds5} + (g_{m3} + g_{mb3})$$

$$C_x = C_{dg1} + C_{db1} + C_{dg5} + C_{db5} + C_{sg3} + C_{sb3}$$

ゲインブーストした場合

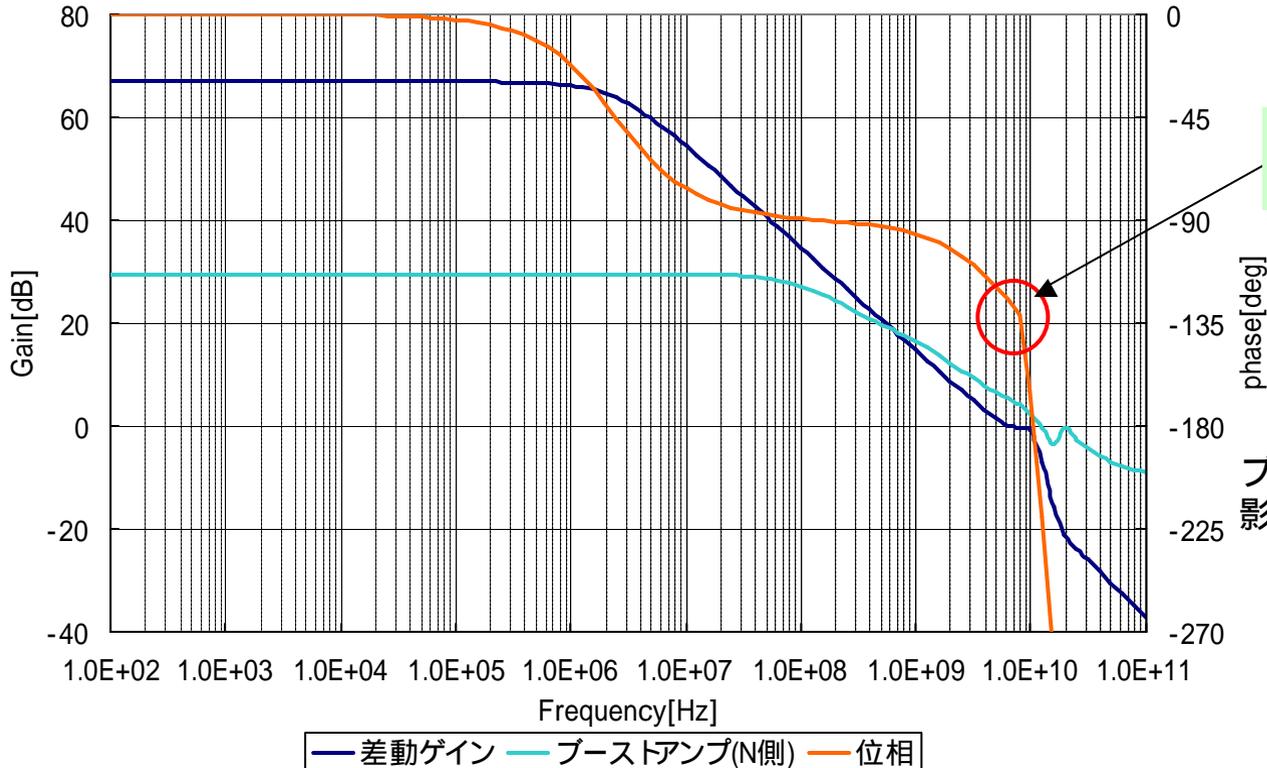
$$g_x = g_{ds1} + g_{ds5} + A_{(s)}(g_{m3} + g_{mb3})$$

$$C_x \approx C_{dg1} + C_{db1} + C_{dg5} + C_{db5} + A_{(s)}C_{sg3} + C_{sb3} + C_{gs_boost}$$

となると考えられる。

第2ポール f_{p2}

ゲインブーストの影響

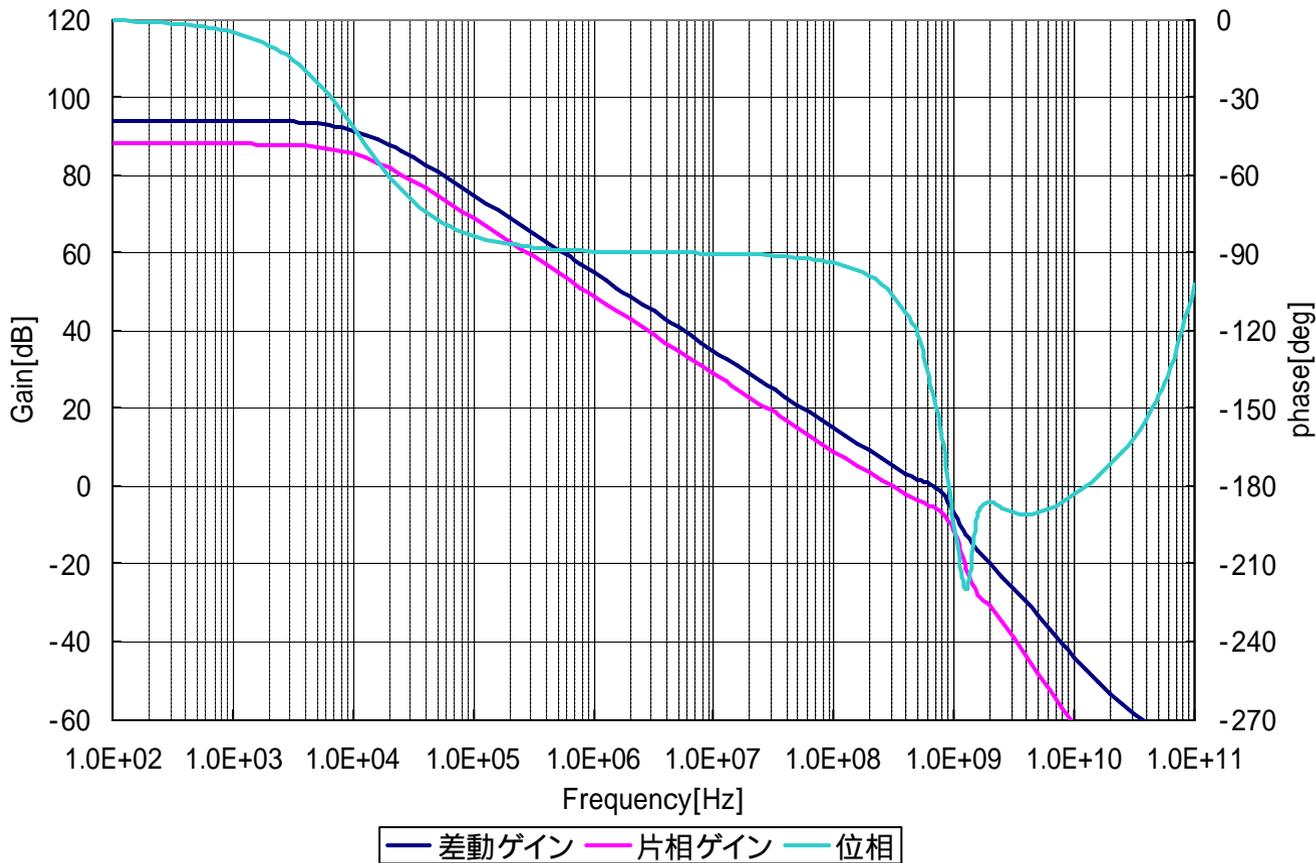


135° あたりで零点・極が集中
ノード以外の影響も大きい

ブーストアンプ、その他のノードの
影響も考慮しなければならない

0.25 μm プロセスとの比較

TSMC0.25 μm プロセスを用いて同一形式のオペアンプを作成

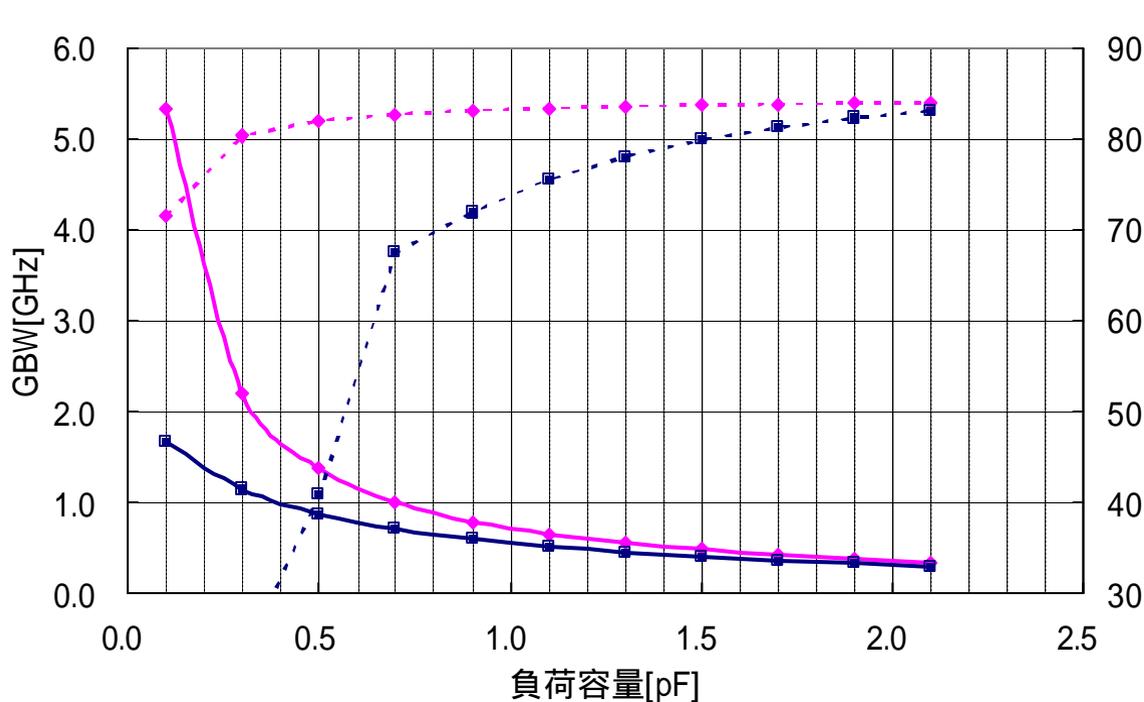


$V_{\text{eff}}=0.175$
 $L=0.3 \mu\text{m}$ で設計

負荷容量 1pF
 $I_{\text{ds}}=400 \mu\text{A}$
DCゲイン93.9dB (差動)
差動GBW=554MHz
片相GBW=277MHz
fp2=610MHz
位相余裕73.75deg

0.25 μ mプロセスとの比較

$I_{ds}=400 \mu A$ として負荷容量を変化させたときのGBWを比較



90nmプロセス寄生容量

$$C_p = 9.45 \times 10^{-11} \cdot I_{ds}$$

0.25 μ mプロセス寄生容量

$$C_p = 7.81 \times 10^{-10} \cdot I_{ds}$$

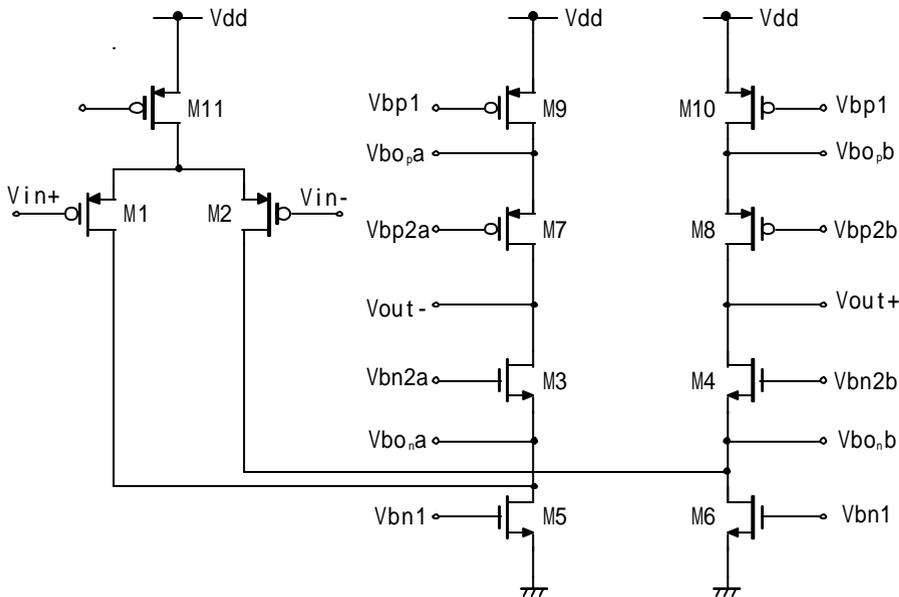
0.25 μ mプロセスのほうが
同一電流では約8倍 C_p が大きい

90nmプロセスでは
小さな負荷容量でも安定動作が可能

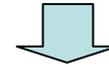
オペアンプ回路の最適化

DCゲイン

出力抵抗を可能な限り上げる



負荷のLを大きくする ($V_{eff} = \text{一定}$)
ゲインブースト回路のゲインを上げる



寄生容量が大きくなりGBWが下がる
ゲインブースト回路によるPole-zero doublet
が生じる

変換周波数、分解能によってトレードオフが必要

まとめ

成果

- ・DCゲイン66.4 dB、 $GBW > 5\text{GHz}$ ($I_{ds} = 400\ \mu\text{A}$ 、負荷容量 $C_L = 100\ \text{fF}$)
- ・出力振幅 $V_{p-p} = 1.0\text{V}$ (最大振幅時ゲイン = 61 dB)
- ・微細プロセスを用いることで寄生容量が小さく、 f_{p2} を高くすることができ、超高速動作が可能であることを確認。
- ・8ビット分解能・変換周波数1.1GHzのパイプラインADC実現の可能性を確認
- ・0.25 μm プロセスとの比較
- ・負荷に付く寄生容量の大きさを明確にし、GBWの限界値を比較

課題

オペアンプ回路の最適化

- ・ゲインブースト回路が位相余裕を劣化させているのでゲインブースト回路を用いた場合の零点・極の位置を明確にし、DCゲイン・GBWのトレードオフを図る。
 - ・分解能、変換周波数に合わせた回路性能の実現
- パイプラインADCへの適用