

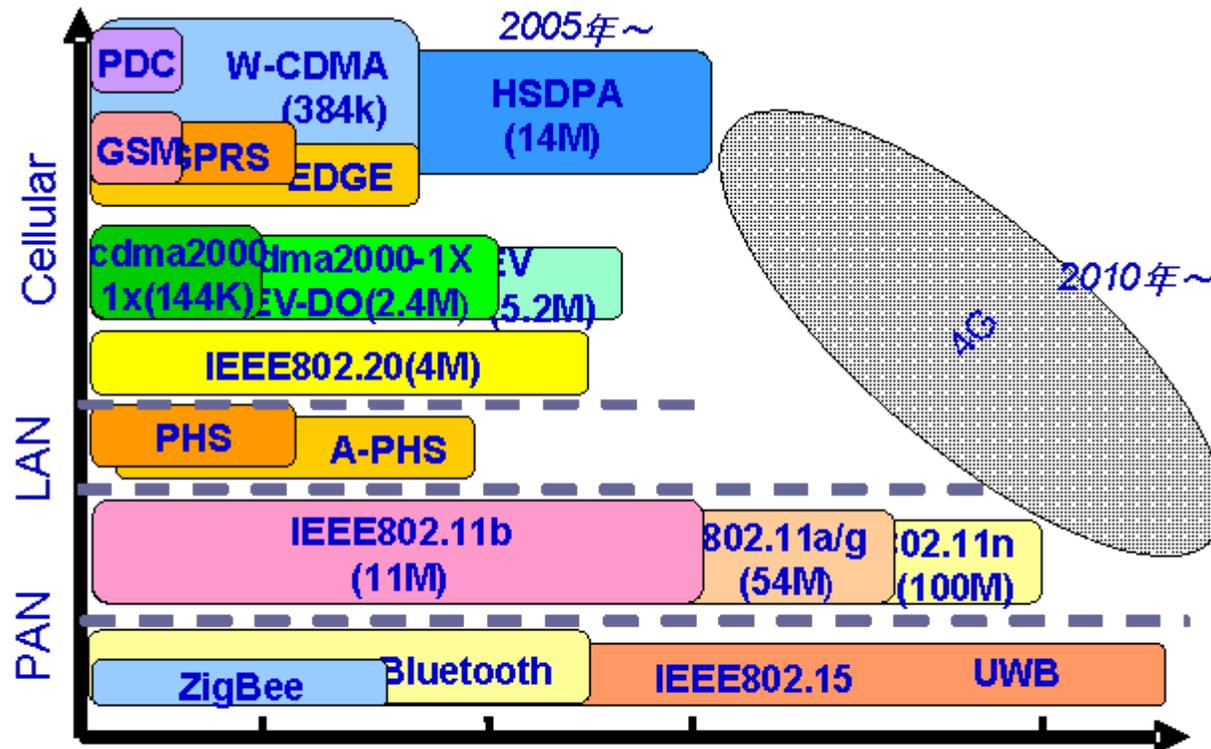
ベースバンド処理の統一に向けた A/D変換技術

東京工業大学
大学院理工学研究科
電子物理工学専攻

松澤昭

ワイアレスシステムの多様化

今後増大するワイアレスシステムの規格
LSIの開発を合理的に進める必要がある。

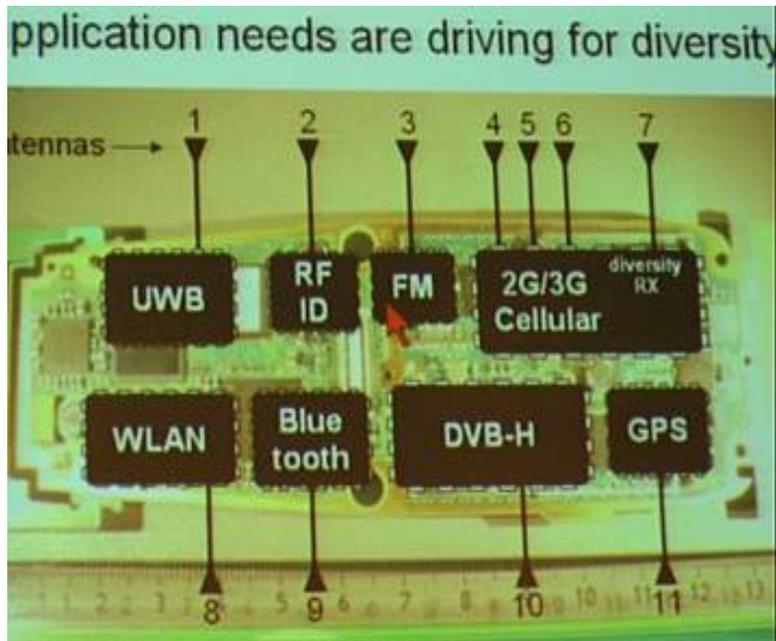


データの下り最高伝送速度

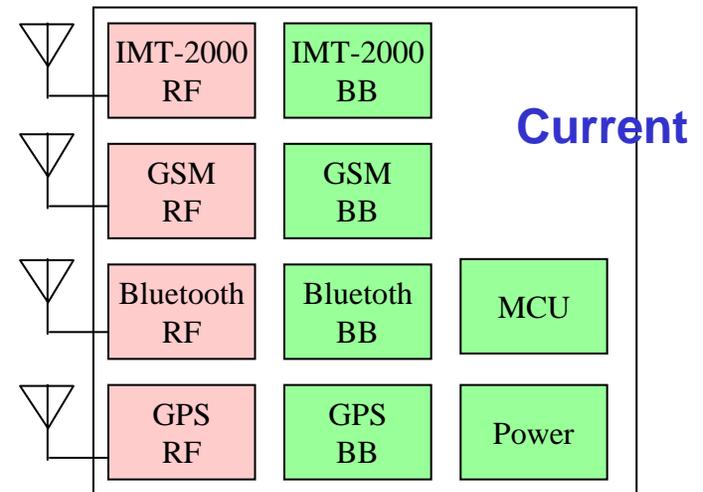
マルチスタンダード化

たくさんのワイアレス規格を携帯に実装する必要が出てくる

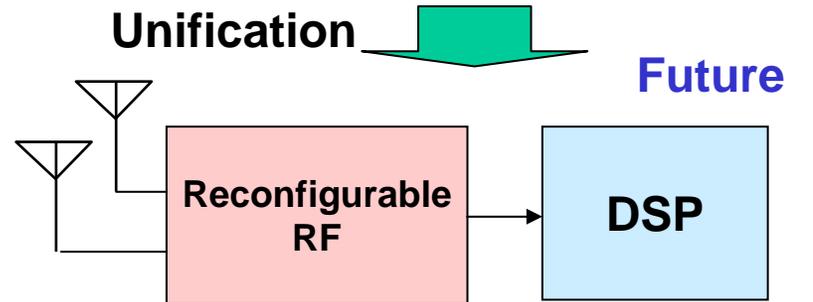
Future cellular phone needs
11 wireless standard!!



Multi-standards and multi chips



Unification

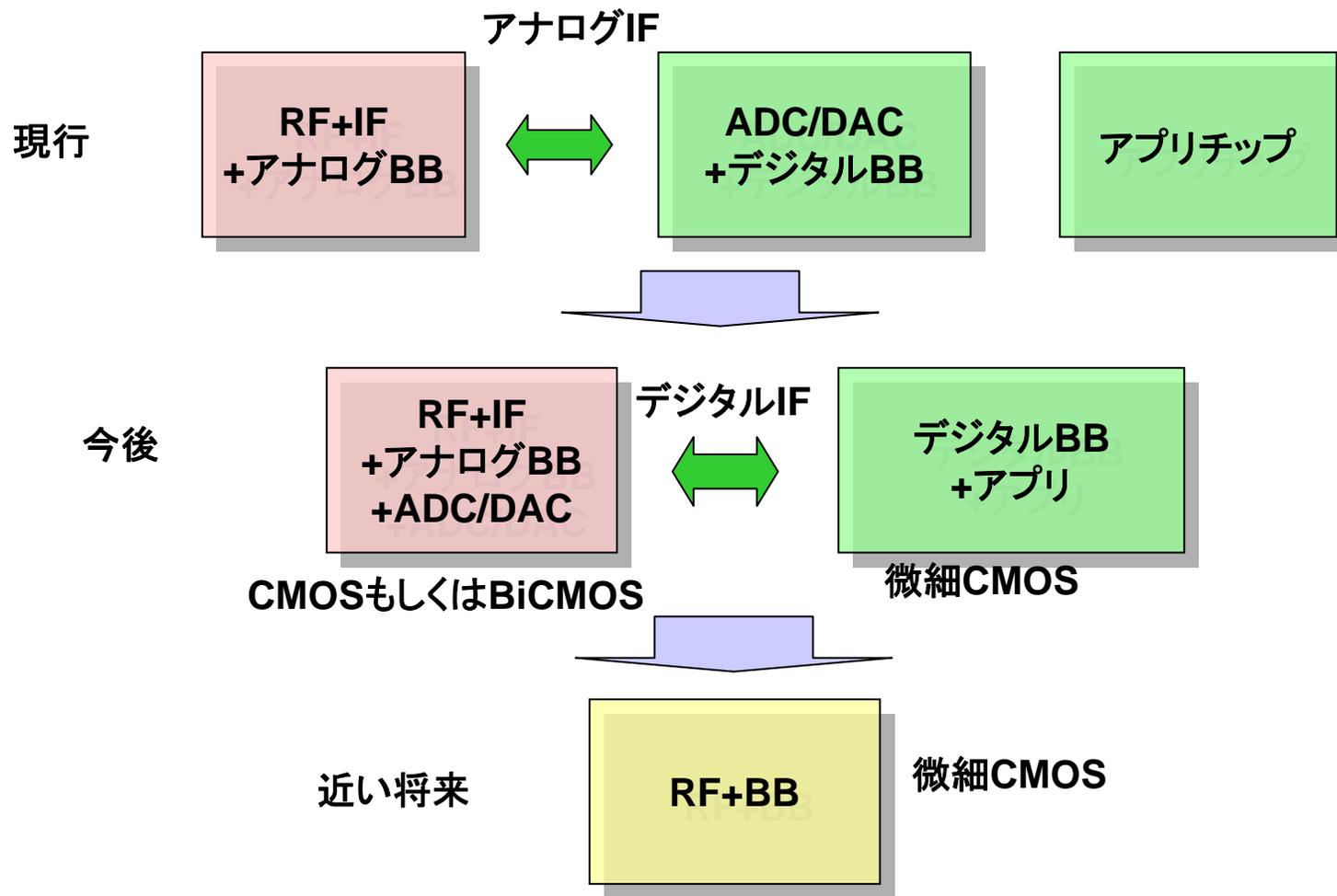


RF部分の統合

BB部分の統合

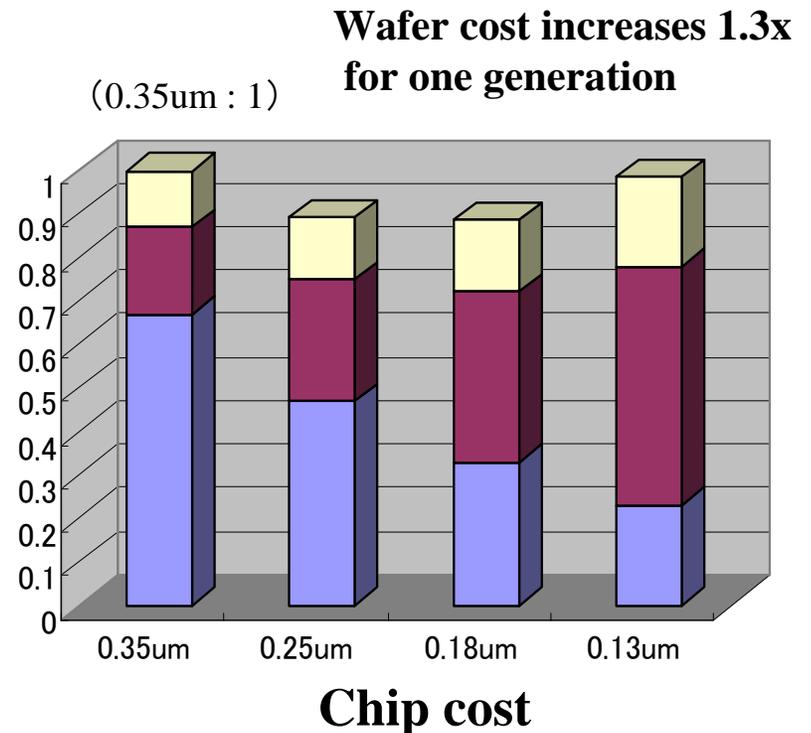
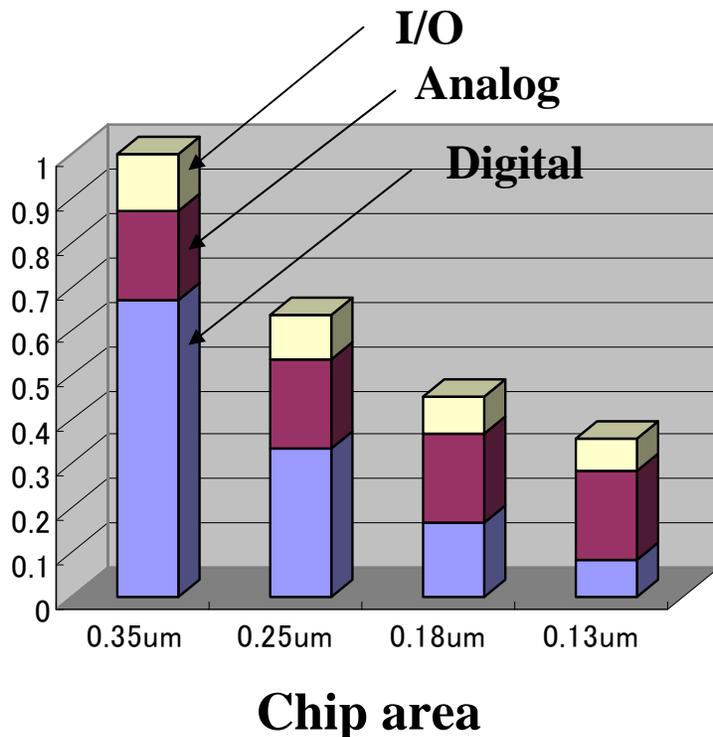
チップ構成の方向

ADC, DACを含むアナログRF回路がSoCに全て集積される方向



アナログ部のコストの増大

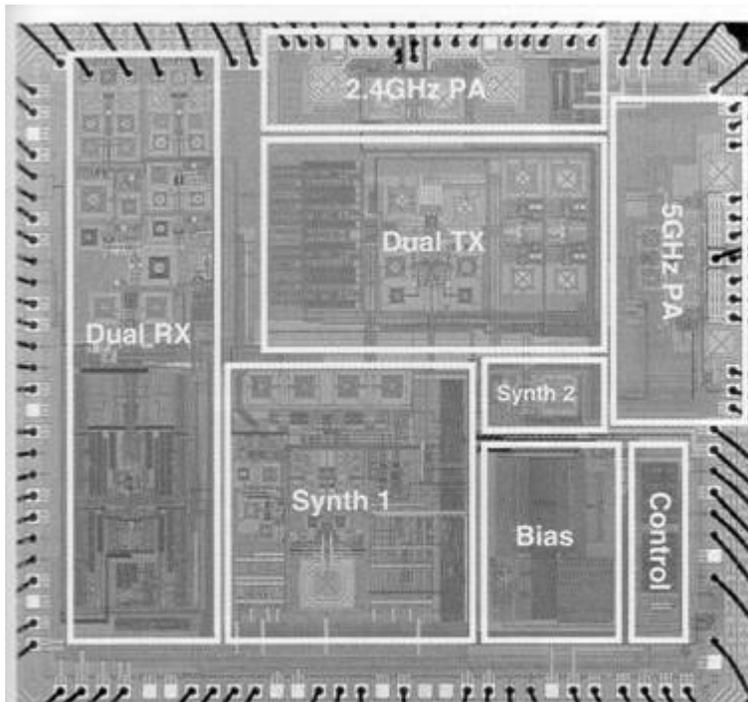
アナログ・RF回路は面積縮小が困難である。このため微細化が進むとアナログ回路はコストが増大する。したがって今後はできるだけアナログ・RF回路を抑えるアーキテクチャが必要となる。



RF CMOSチップのSoC化

RF CMOSチップはアナログリッチからデジタルリッチのSoCになっていくだろう。

Wireless LAN, 802.11 a/b/g
0.25um, 2.5V, 23mm², 5GHz



5.4.7: Die micrograph.

M. Zargari (Atheros), et al., ISSCC 2004, pp.96

Discrete-time Bluetooth
0.13um, 1.5V, 2.4GHz

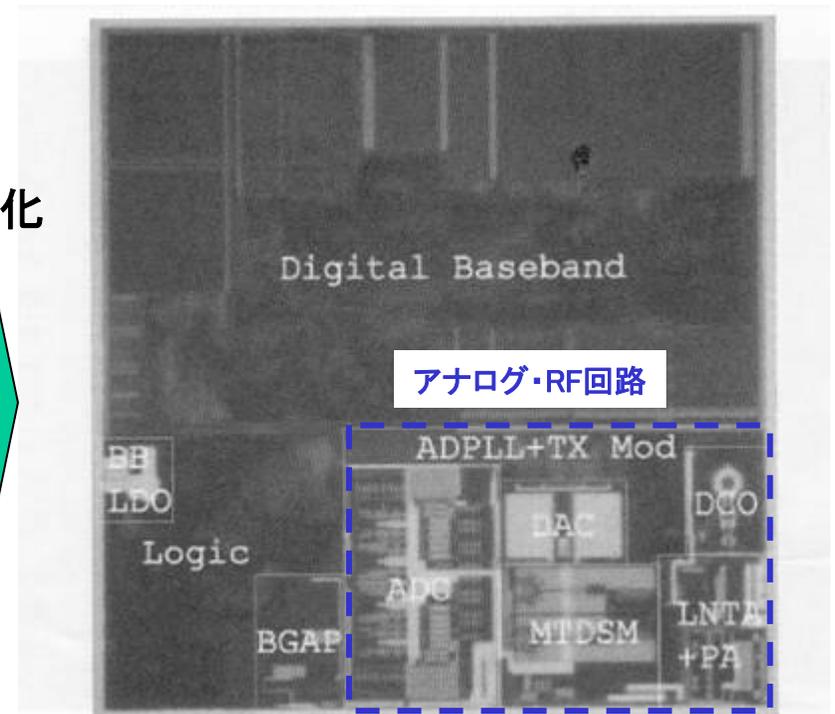
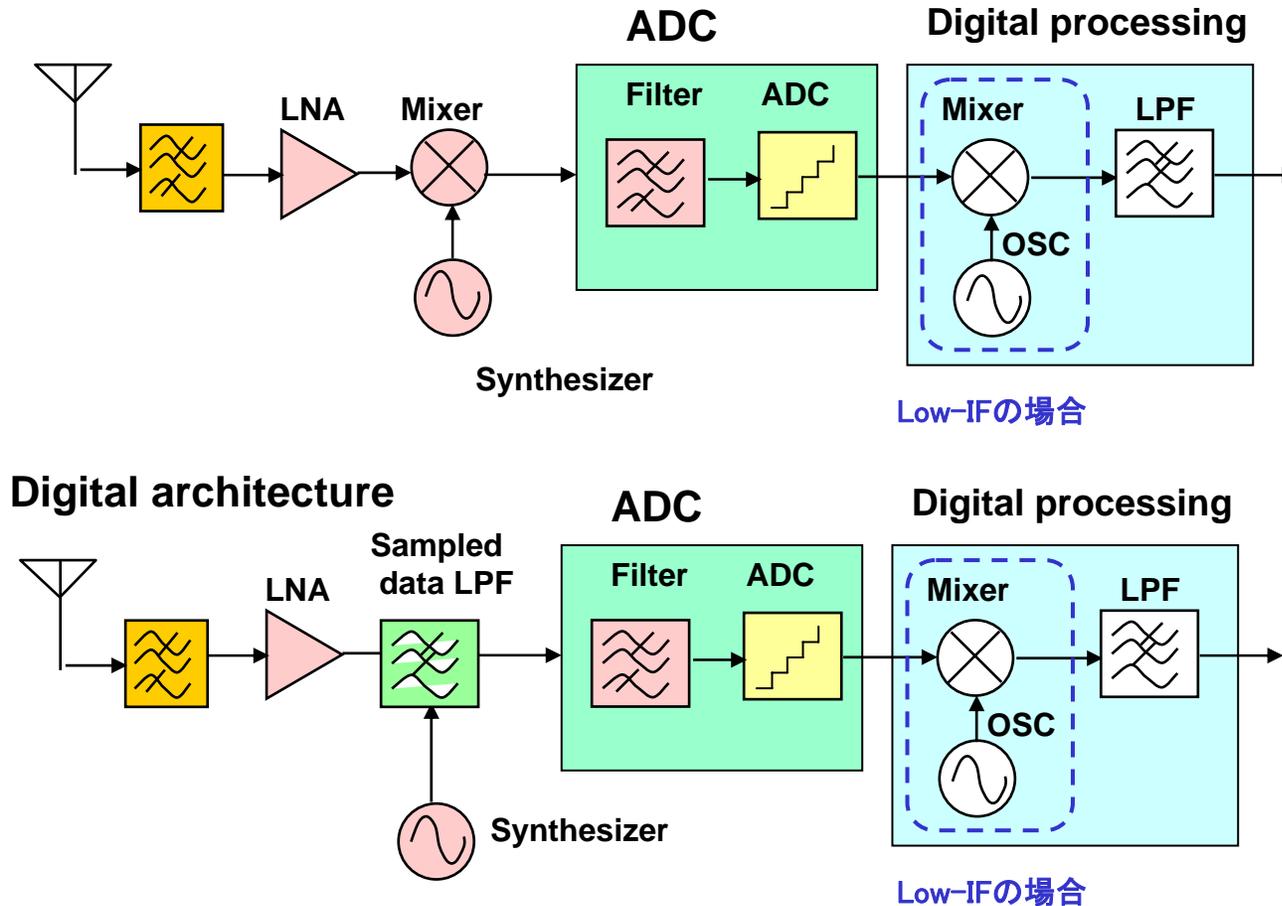


Figure 15.1.7: Die micrograph of the single-chip Bluetooth transceiver.

K. Muhammad (TI), et al., ISSCC2004, pp.268

今後のアーキテクチャ

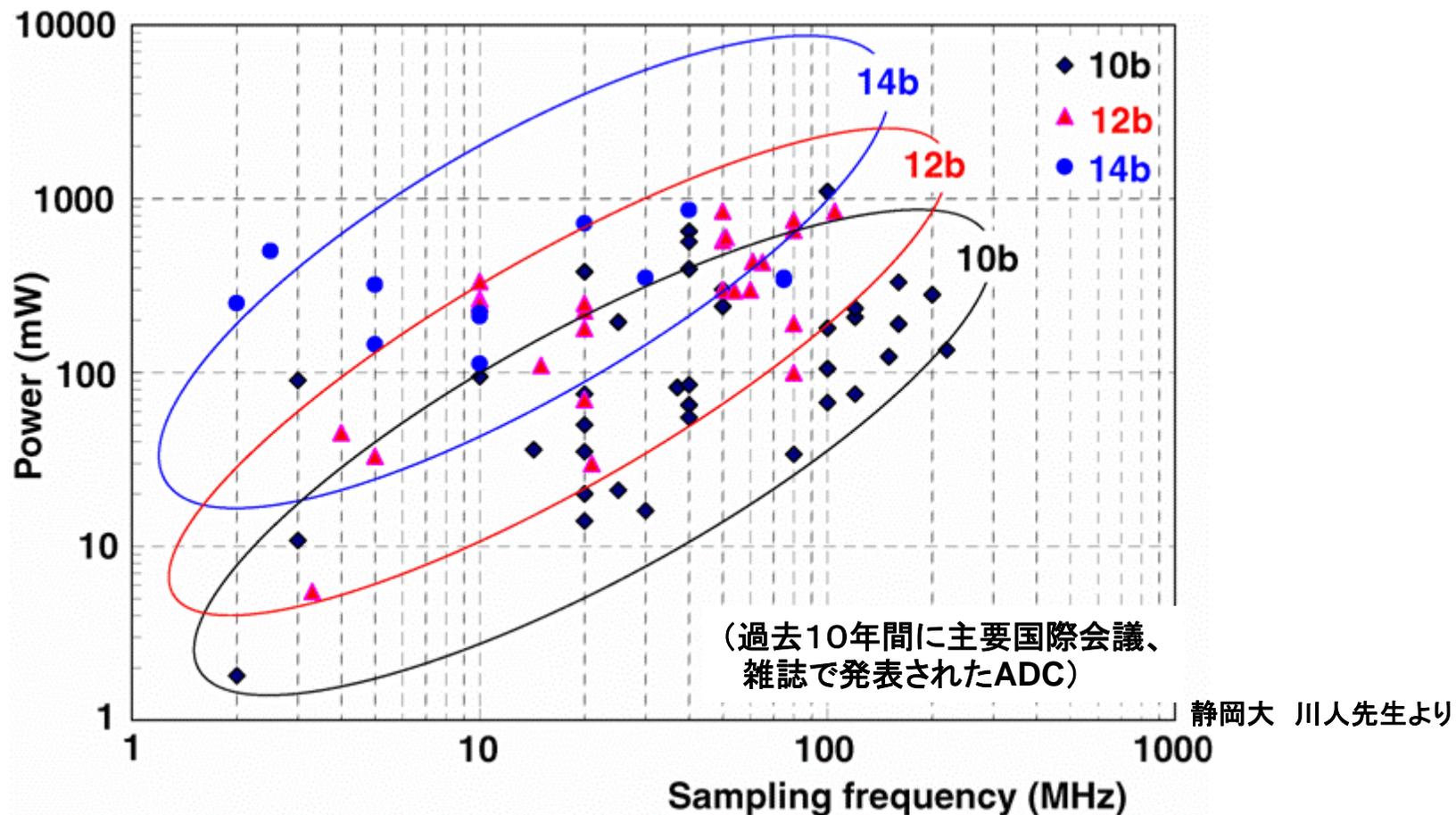
アナログ回路をできるだけデジタル回路に置き換える方向
ADCの開発が鍵になる。



パイプライン型ADC

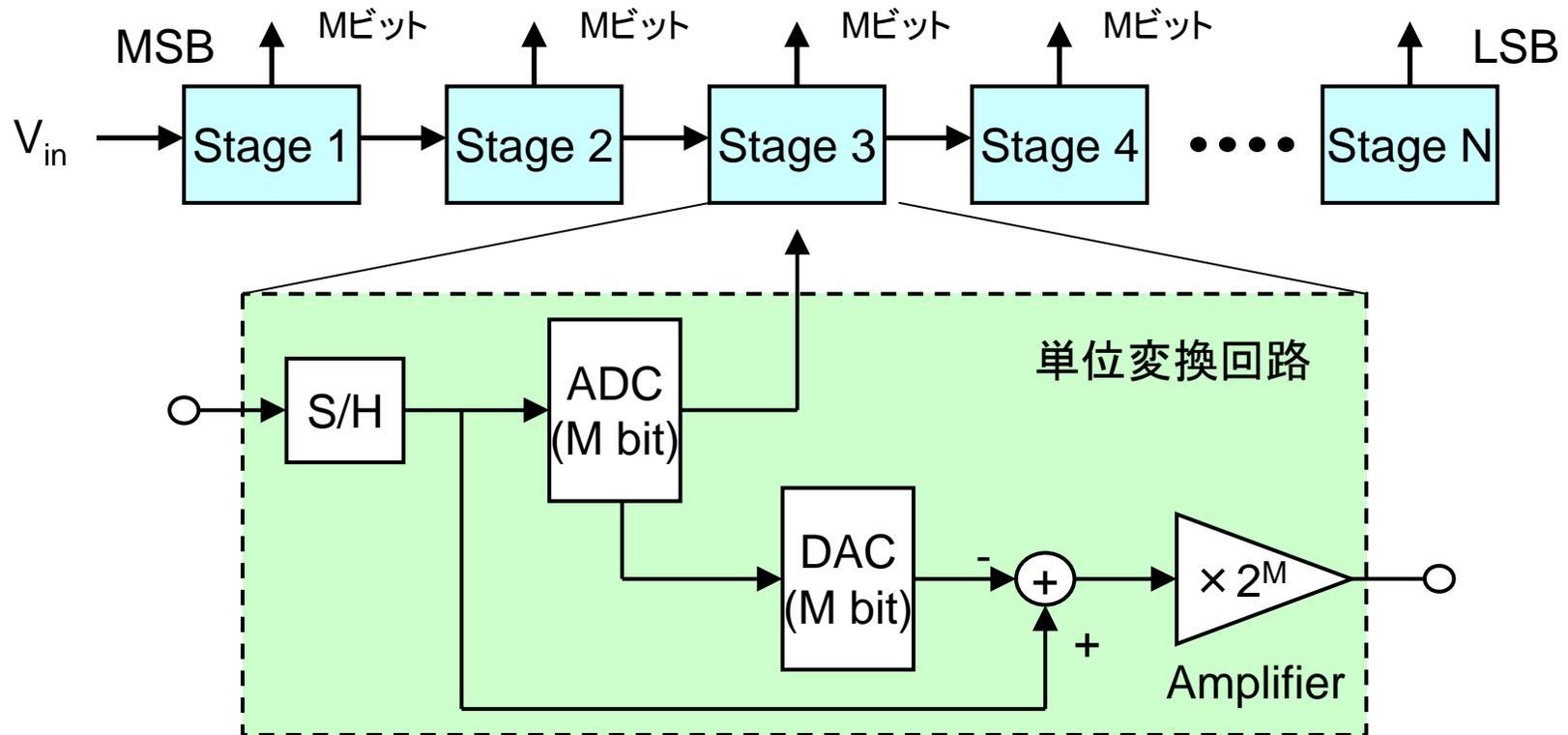
高速・高分解能ADCの電力と周波数

高速化・高ダイナミックレンジになるほど大きな消費電力を必要とする

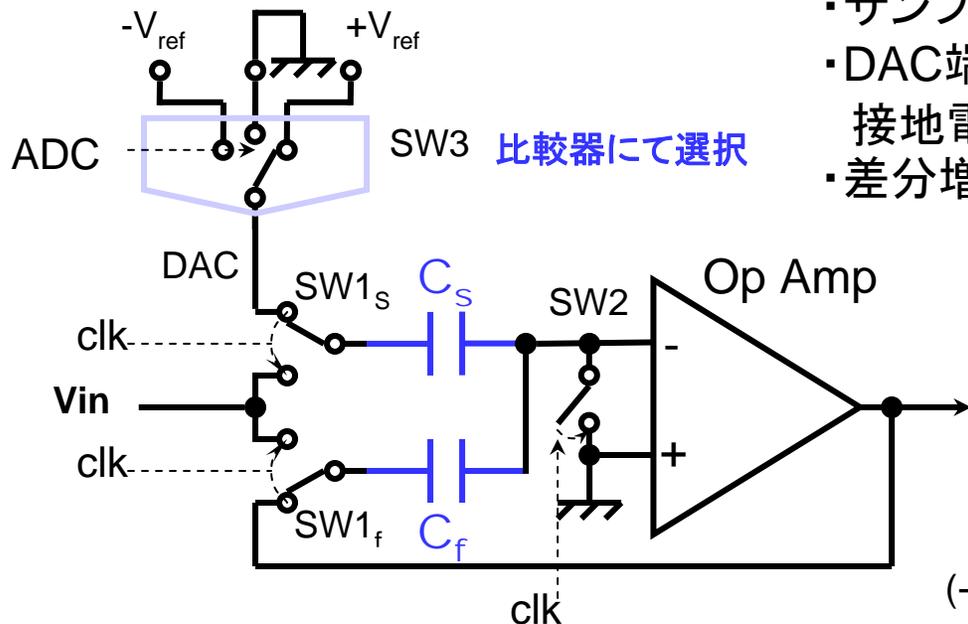


パイプライン型ADC:構成

- ・単位変換回路を縦続接続
- ・各単位変換回路は入力信号を標本化し、参照電圧と比較を行いMビットの変換
- ・ADCの出力により、DACが出力する電圧が変化。入力信号とDACの出力する電圧の差分を 2^M 倍して後段に出力。

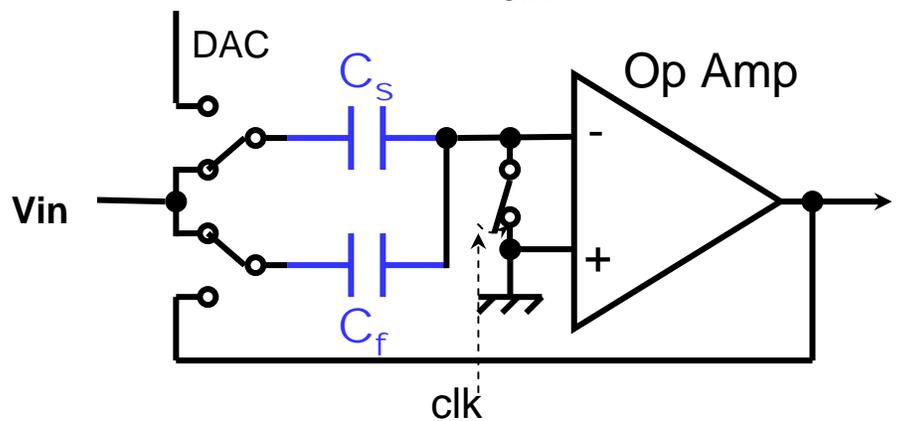


パイプライン型ADC: 単位回路

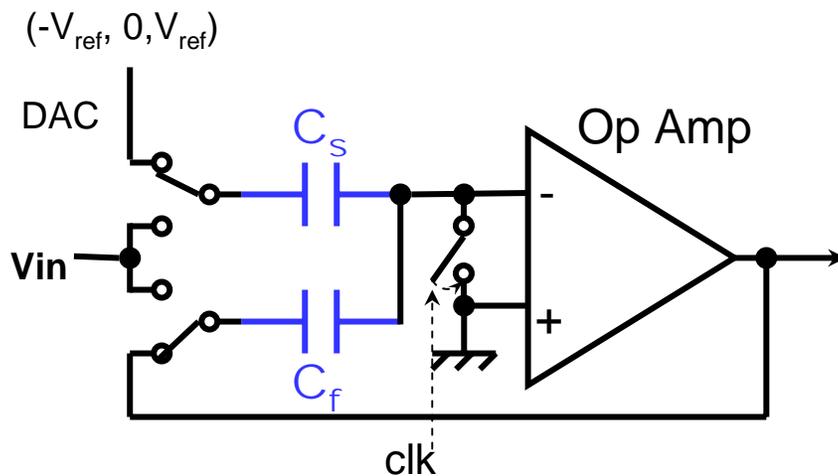


- ・サンプリングフェーズで V_{in} をしきい値電圧と比較
- ・DAC端子は比較出力に応じた $\pm V_{ref}$ もしくは接地電位が印加される
- ・差分増幅フェーズで $V_{in} - DAC/2$ の2倍の出力

$$V_{out} = 2 \left(V_{in} - \left\{ +\frac{V_{ref}}{2}, 0, -\frac{V_{ref}}{2} \right\} \right)$$



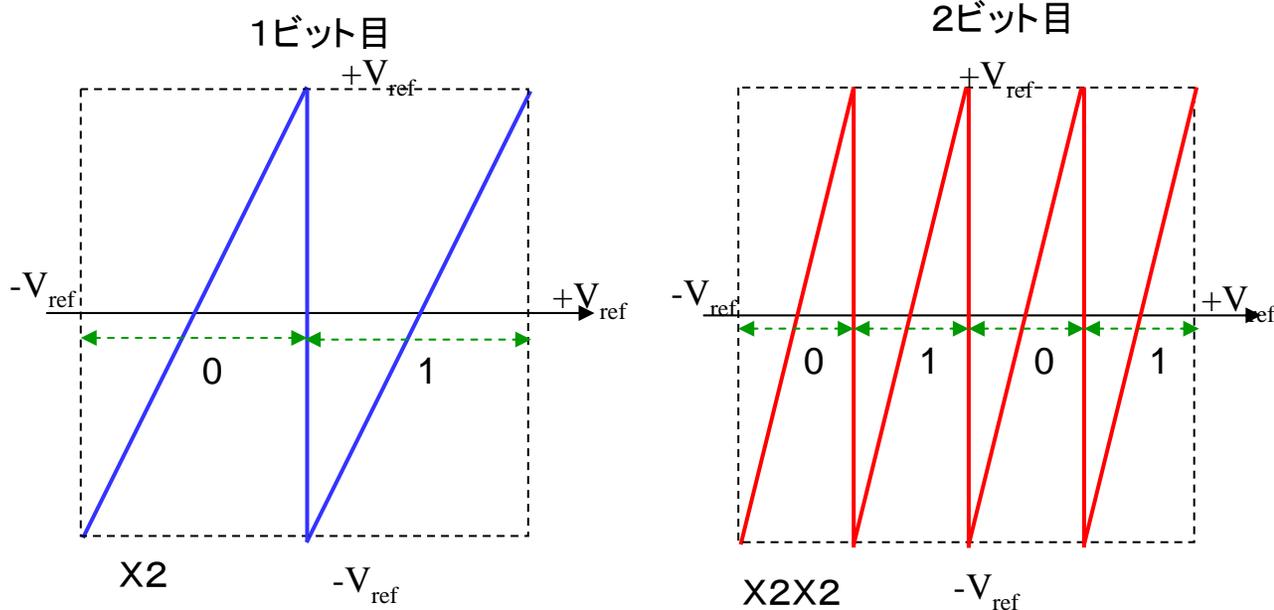
Sampling Phase



Subtracting and amplifying phase

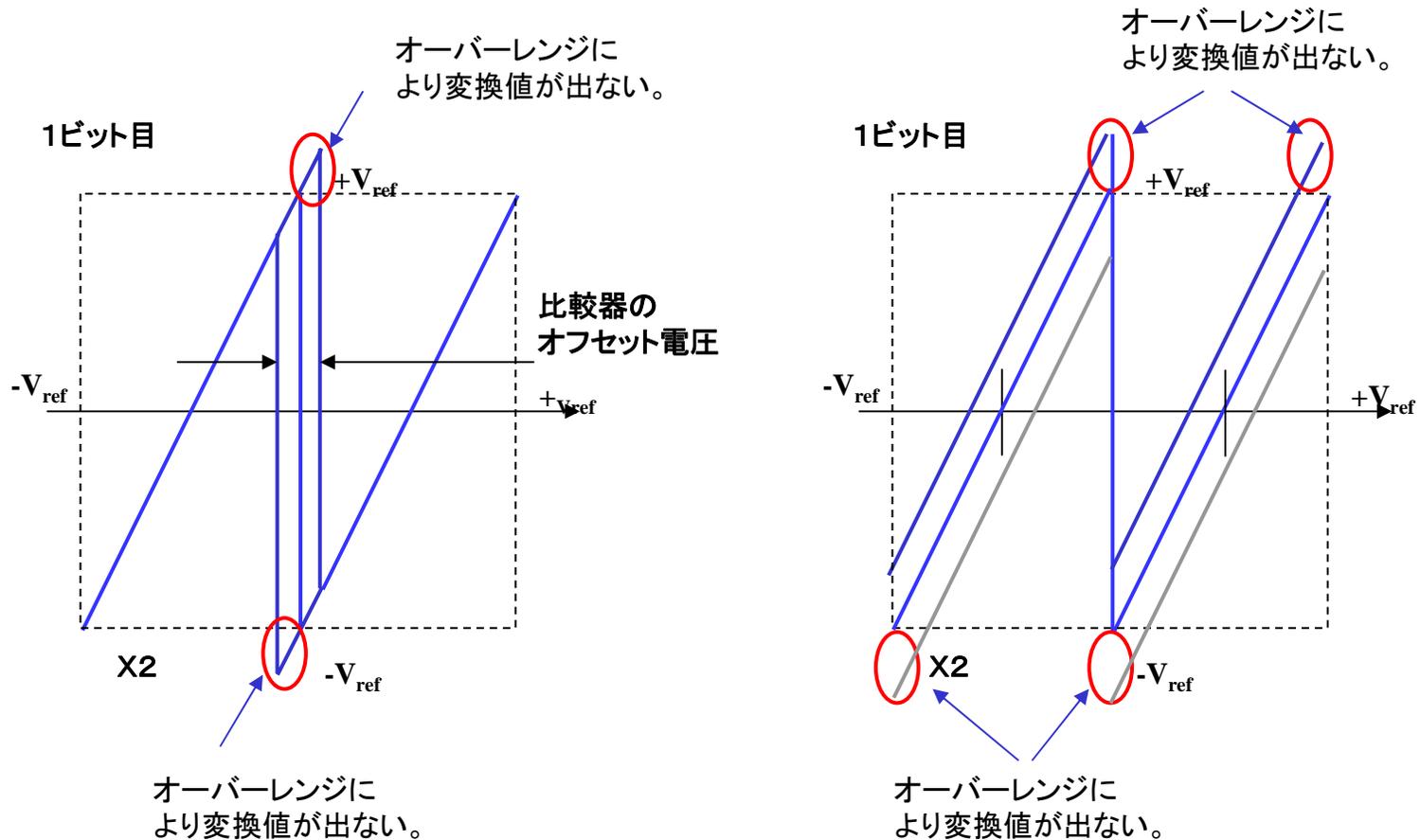
パイプラインADC: 回路動作

信号を折れ返して転送することにより1ビットずつの変換を行う



比較器とOPアンプのオフセット電圧の影響

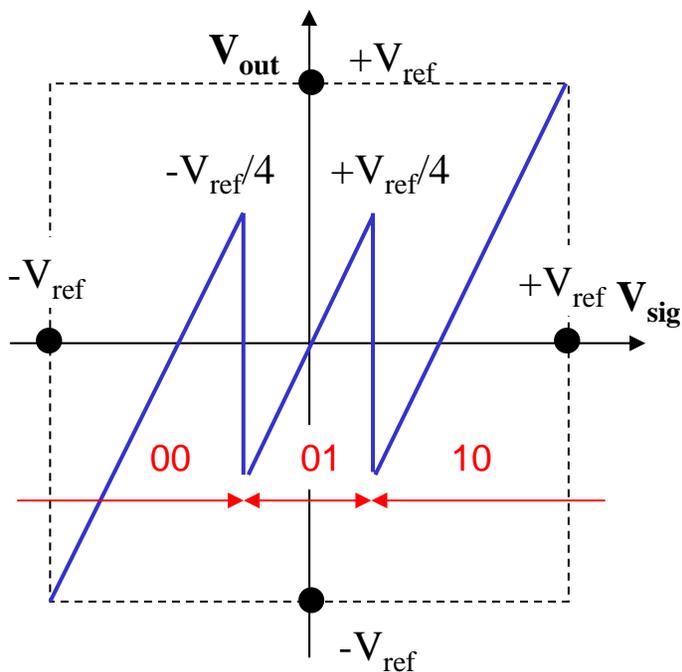
単純な折れ返し転送では比較器やOPアンプのオフセット電圧によりA/D変換電圧範囲を逸脱し、信号変化が変換値に反映されない状態になる。



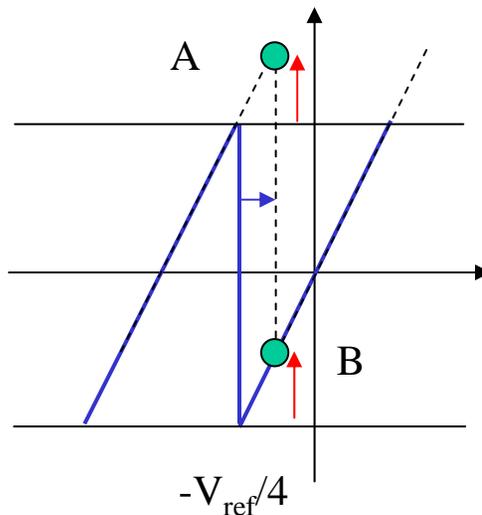
1.5ビット冗長型パイプライン型ADC

比較器を2個設けて $\pm V_{ref}/4$ の電圧で折れ返すようにしたのが1.5ビット冗長構成である。この構成により比較器やOPアンプのオフセットが発生しても変換電圧範囲に留まり、変換値自体は連続しているため誤差のない変換が可能となった。

1.5ビット冗長構成



理想変換特性



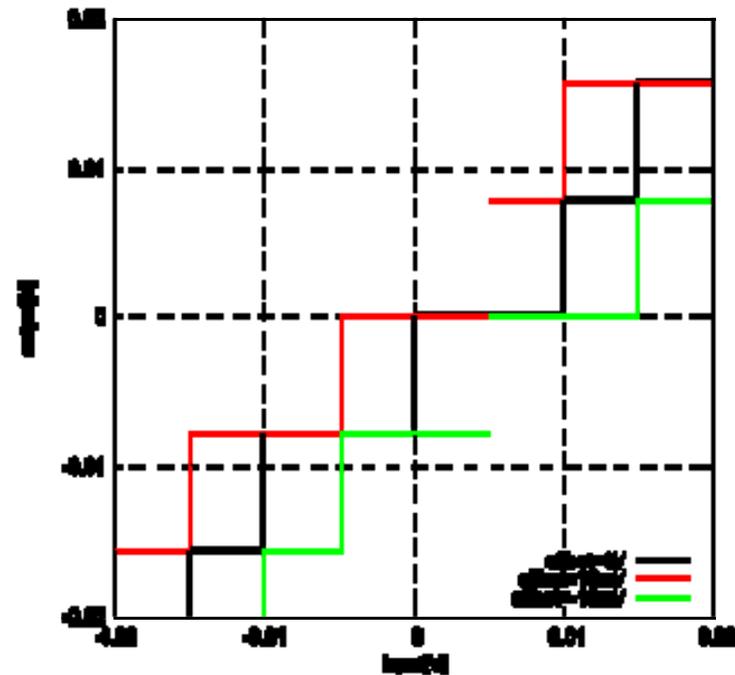
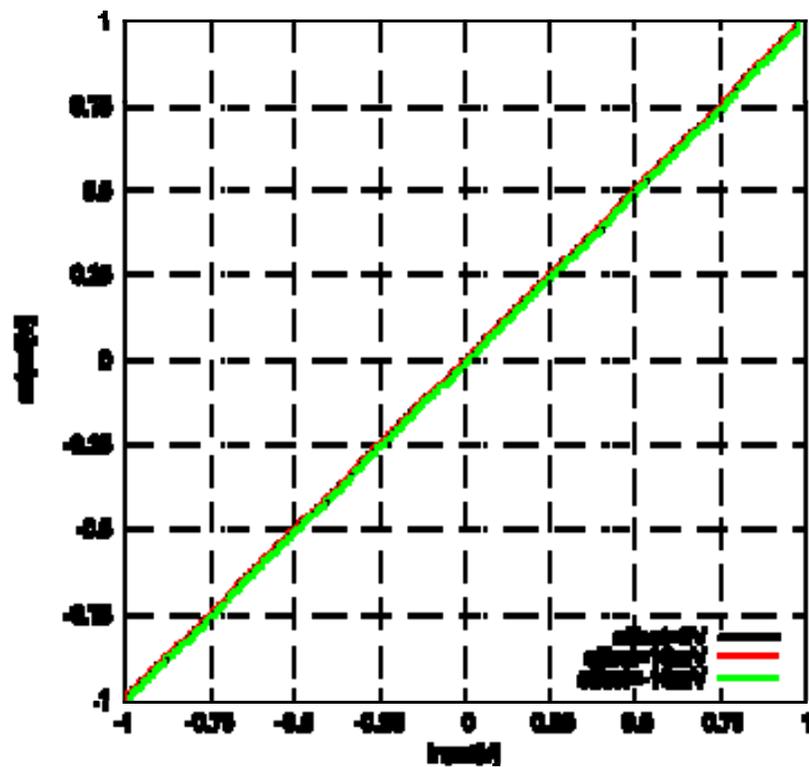
比較器のオフセットで切り替わり点はずれる
利得が正確な場合
A点とB点は値としてつながる

比較器のオフセットは誤差補正可能

増幅器のオフセット電圧の影響

増幅器のオフセット電圧は変換には全く影響を与えない

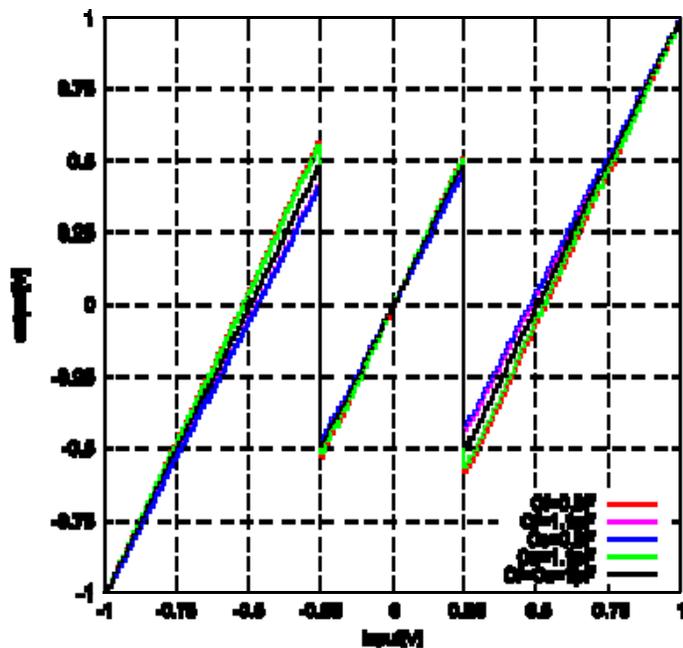
2段目にオフセット電圧を発生させたときの変換の様子



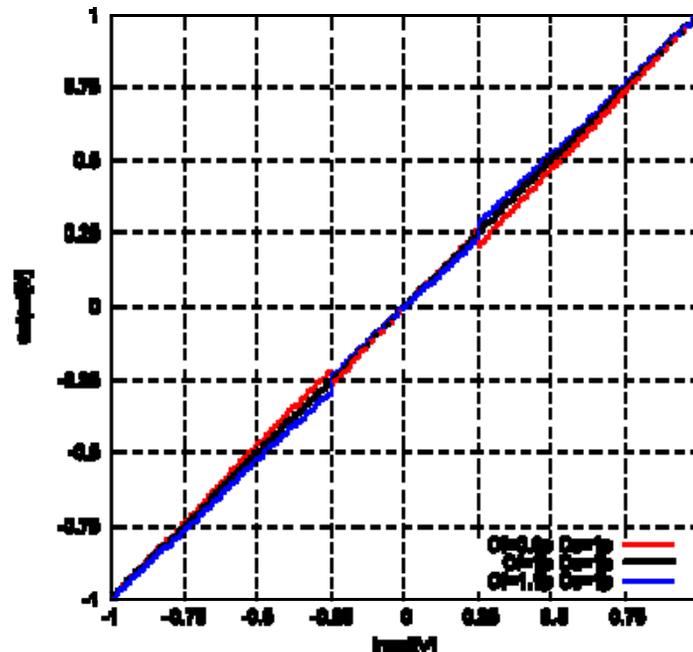
容量ミスマッチがあるときの変換

容量ミスマッチがあるときの変換では各段の比較器の切り替え点で大きな誤差が発生する

初段の増幅器の入出力電圧特性



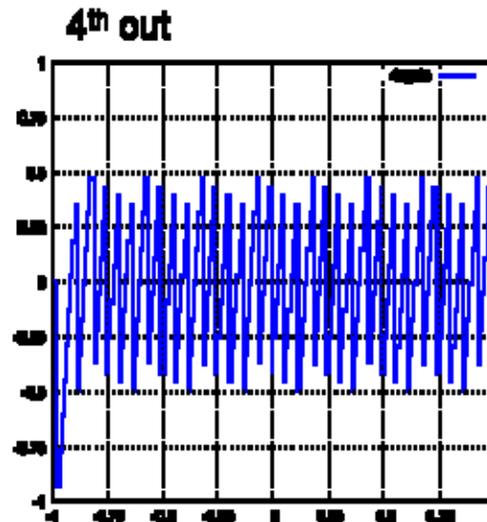
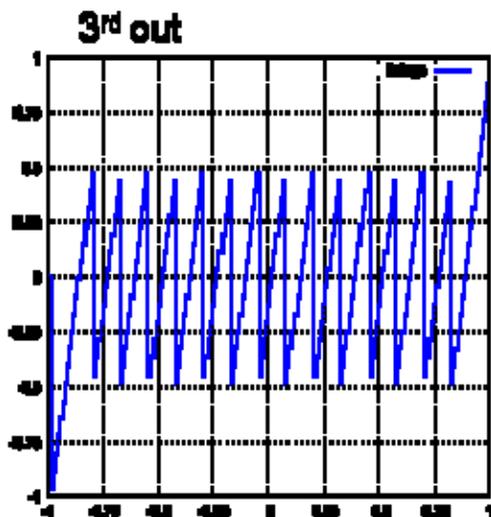
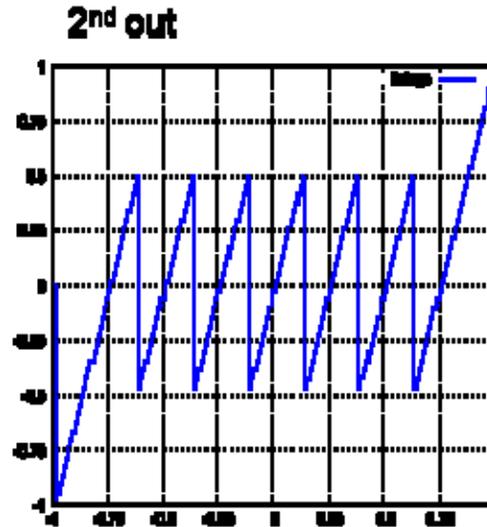
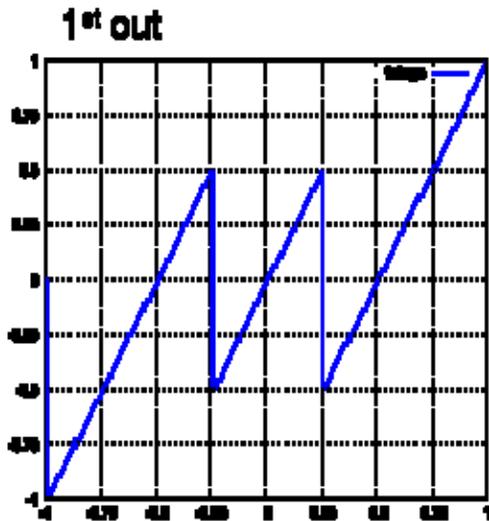
A/D変換器の入出力特性



1.5b 構成の変換: 正常変換

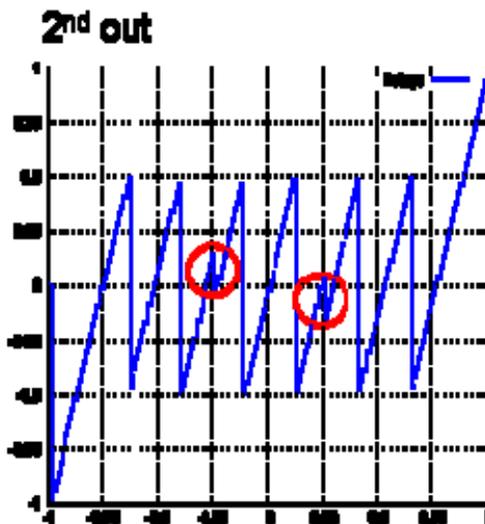
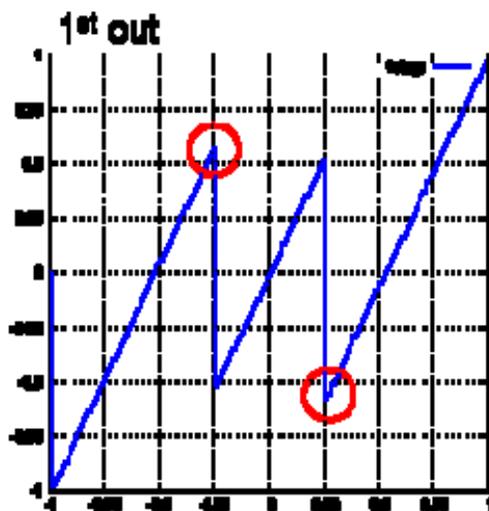
容量比精度が完全な場合

各段のアナログ信号は
 $\pm 0.5 V_{ref}$ に集まってくる。



$C_f=1\text{pF}$
 $C_s=1\text{pF}$

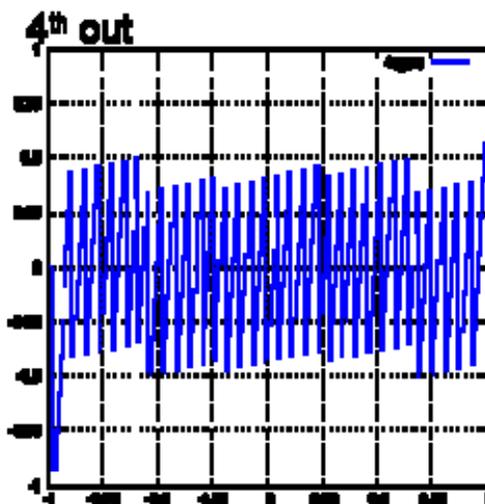
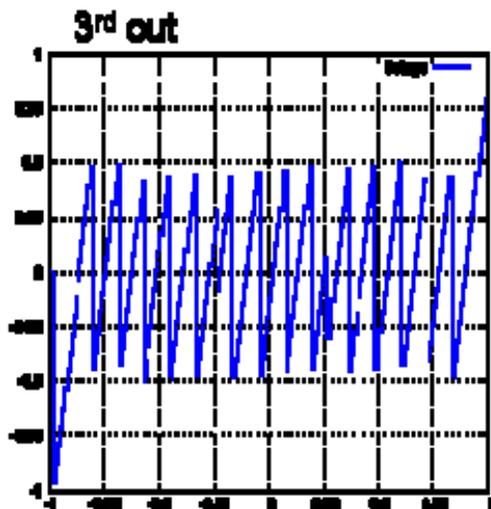
容量ミスマッチがあるときの変換



容量比精度が不完全な場合

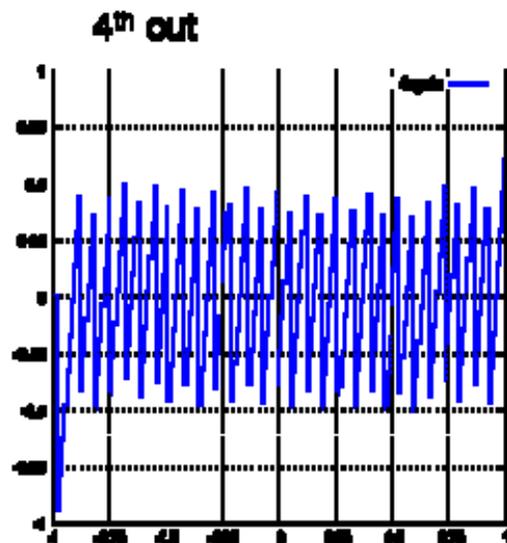
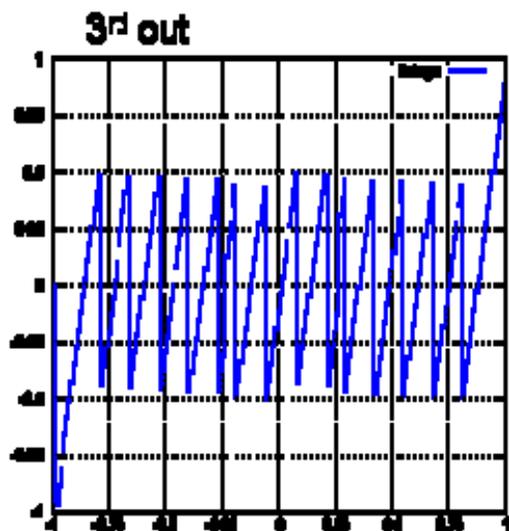
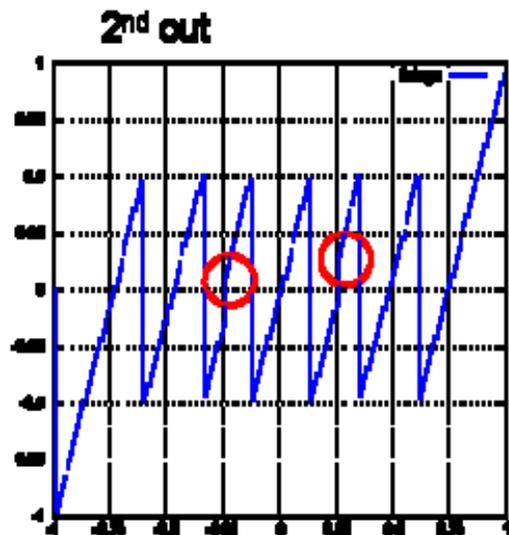
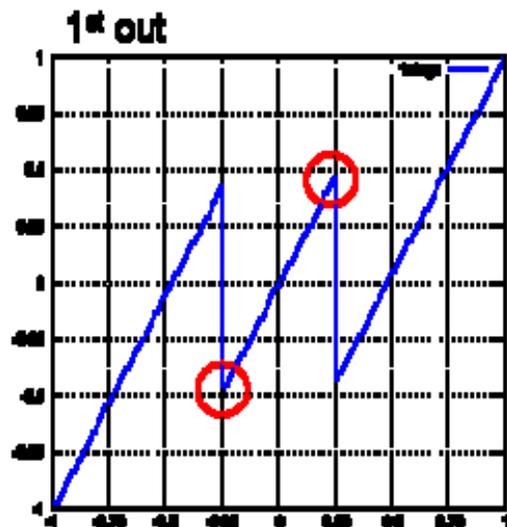
この場合は利得が2以上

比較器の切替わり部で段差発生



$C_f=0.9\text{pF}$
 $C_s=1.0\text{pF}$

容量ミスマッチがあるときの変換



容量比精度が不完全な場合

この場合は利得が2以下

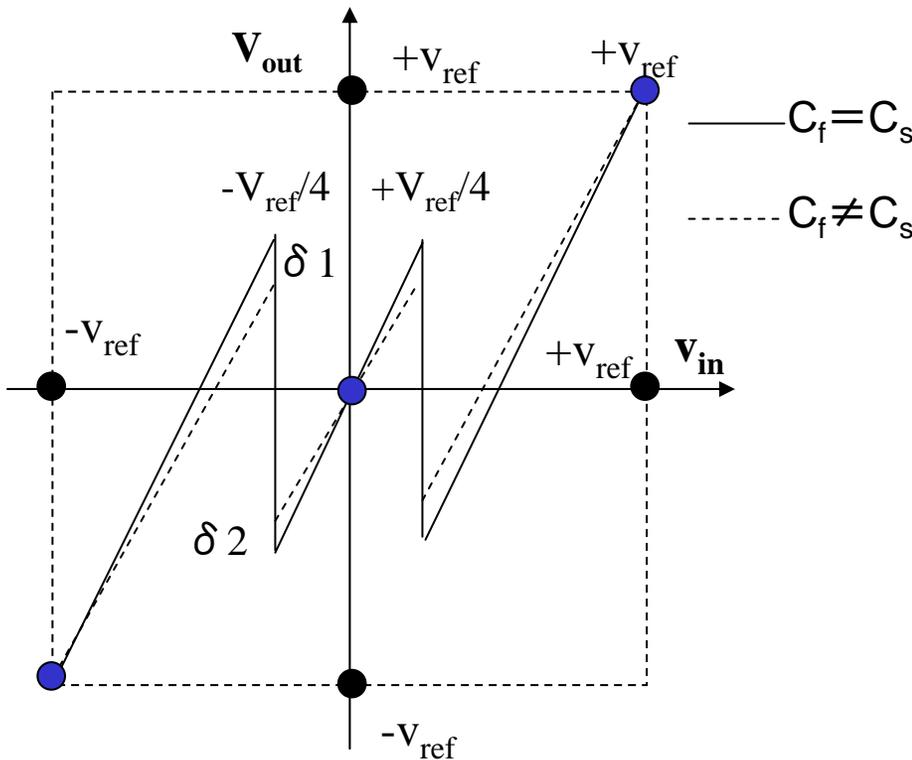
比較器の切替わり部で段差発生

$$C_f = 1.1 \text{ pF}$$
$$C_s = 1 \text{ pF}$$

ミスマッチ精度要求

容量ミスマッチ精度は分解能程度が必要である。

$v_{in} = \pm V_{ref}$, 0 の値は変化しない



$$\Delta v_{out} = \left(\frac{\Delta C_s}{C_s} - \frac{\Delta C_f}{C_f} \right) (v_{in} - v_{DAC}) \quad \text{より、}$$

$$\delta_1 = \frac{3}{4} \left(\frac{\Delta C}{C} \right) V_{ref} \quad (v_{DAC} = -V_{ref})$$

$$\delta_2 = \frac{1}{4} \left(\frac{\Delta C}{C} \right) V_{ref} \quad (v_{DAC} = 0)$$

$$\delta = \delta_1 + \delta_2 = \left(\frac{\Delta C}{C} \right) V_{ref}$$

$$\frac{\Delta C}{C} \leq \frac{1}{2^{N-M+1}} \quad \frac{1}{4} \text{ LSB の誤差の場合}$$

$$\frac{\Delta C}{C} \leq \frac{1}{2^N}$$

(1.5b構成: 1/4LSB誤差)

容量ミスマッチ精度

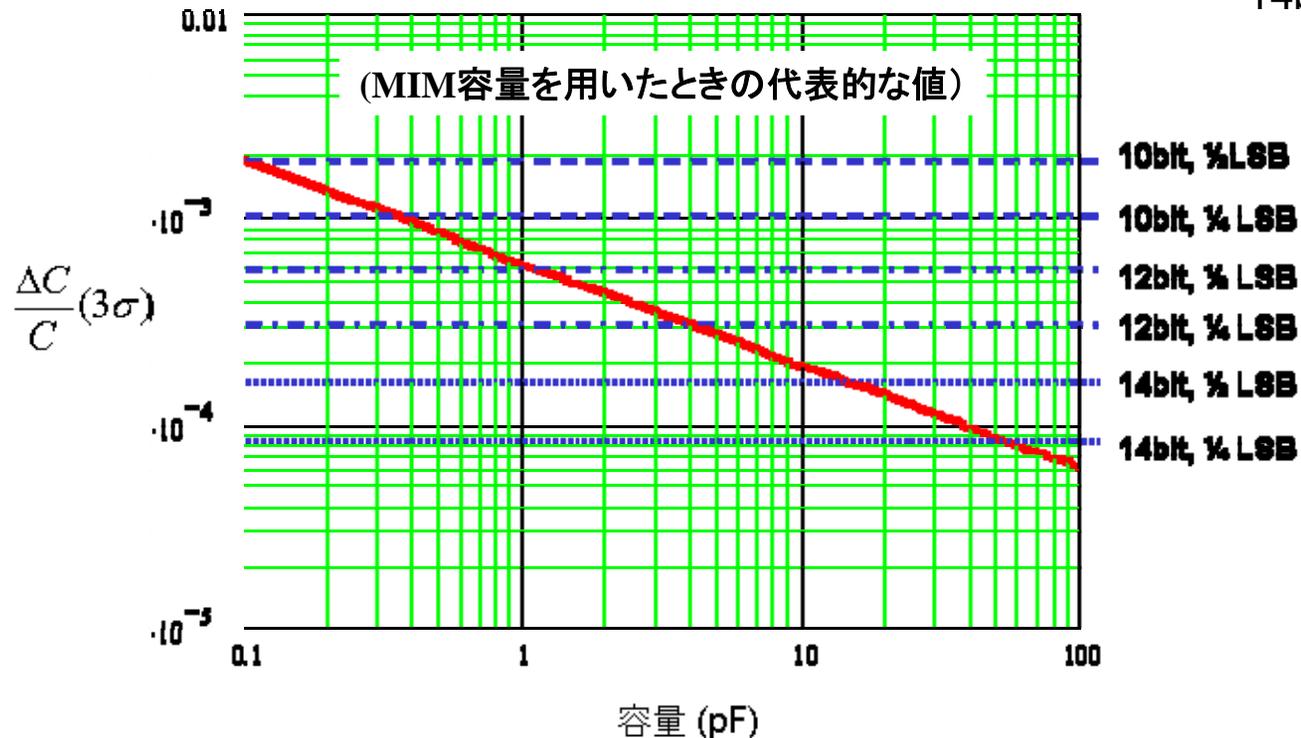
容量ミスマッチからは分解能が2ビット上がる毎に必要な容量は1桁上昇する

モデル化した値

$$\frac{\Delta C}{C}(3\sigma) = \frac{6 \times 10^{-4}}{\sqrt{C(\text{pF})}}$$

$$C(\text{pF}) \geq 3.6 \times 10^{-7} 2^{2N}$$

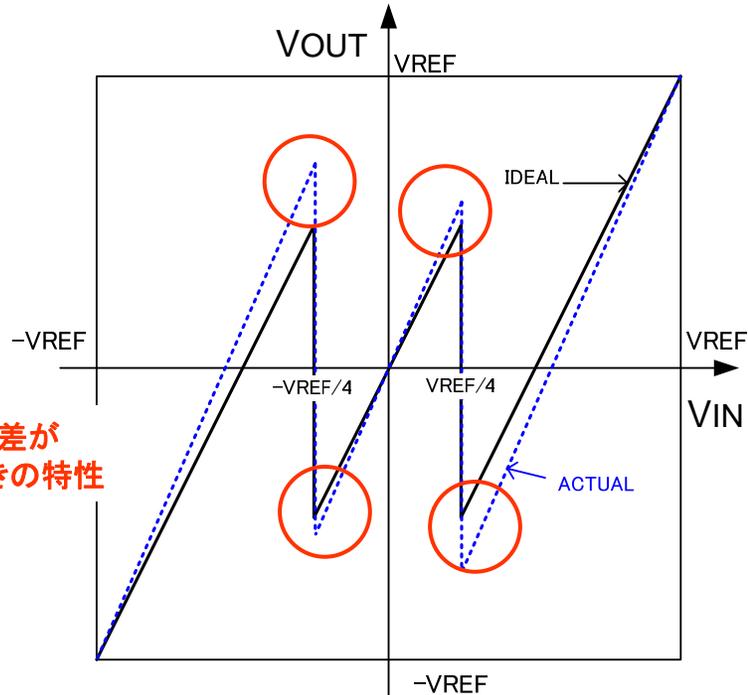
10bit: 0.4pF
12bit: 4pF
14bit: 40pF



容量値と容量ミスマッチ

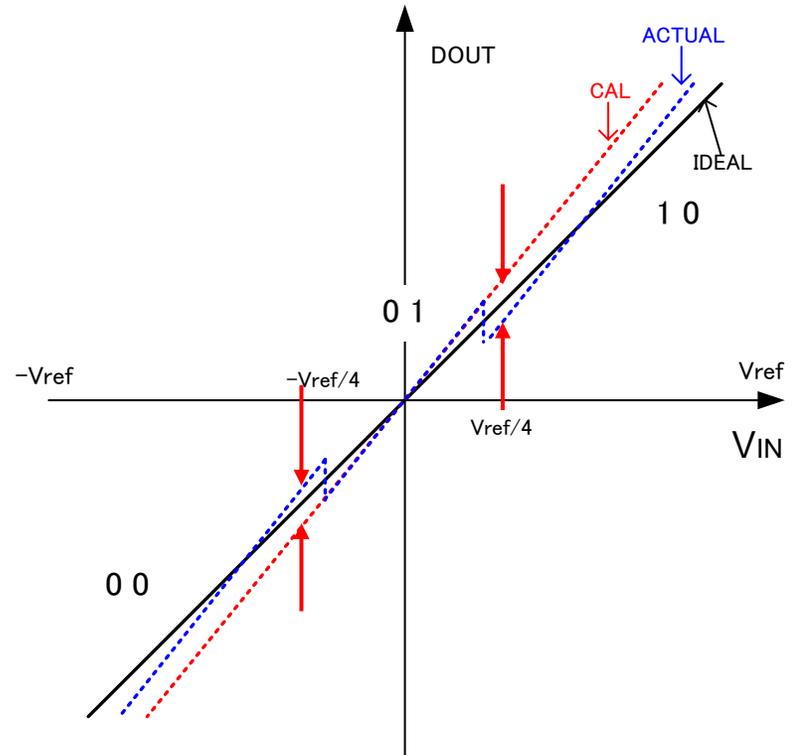
誤差補正

利得誤差があると変換誤差を生じるが、この誤差を計測して引くことにより補正可能である。したがって、容量ミスマッチはあまり考慮しなくてもよくなった。



利得誤差があるときの特性

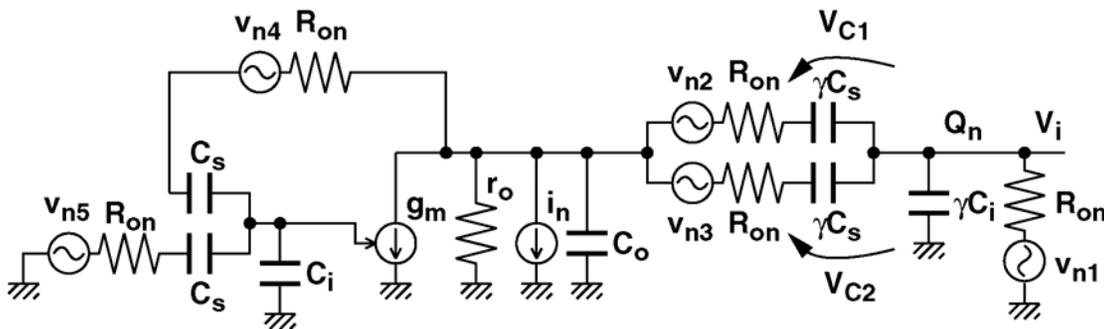
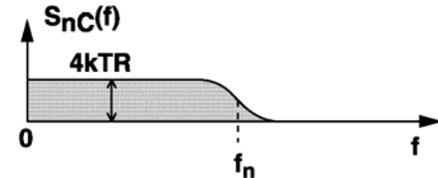
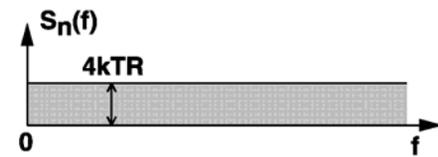
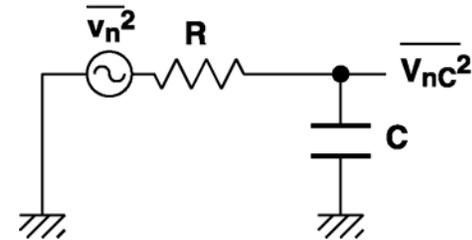
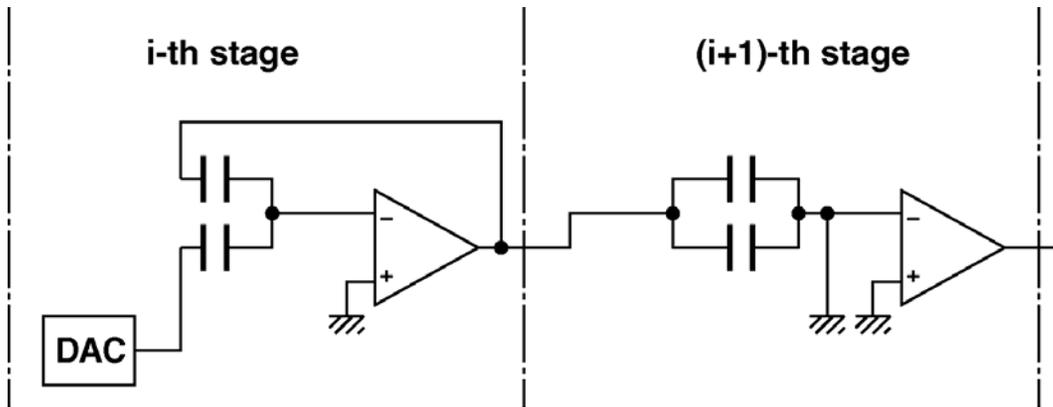
1.5Bステージの変換特性



ADC入出力特性

精度を決めるもの：ノイズ

最終的にADCの精度を決めるものはノイズである。
トランジスタ・抵抗などいくつかのノイズ源があるが、最終的には容量で決定される。



$$\overline{V_{nC}^2} = 4kTR \int_0^{\infty} \frac{1}{1 + (\omega/CR)^2} df$$

$$= \frac{kT}{C}$$

静岡大 川人先生より

ノイズの計算

信号電力とノイズ電力の比がSNRである。高分解能になるほど高いSNRが求められる。ノイズ電力は容量で決定され、信号電力は信号振幅で決定される。

a) kT/Cノイズ

$$v_{c_tot}^2 = \sum_{n=0}^{N-1} \frac{1}{2^n} \frac{kT}{C} \approx \frac{2kT}{C}$$

b) 入力換算熱雑音

$$v_{ther}^2 \approx 1.7 \frac{kT}{C}$$

全ノイズ

$$v_{c_tot}^2 + v_{ther}^2 \approx 3.7 \frac{kT}{C}$$

このノイズ電力が量子化ノイズ電力の半分であることが必要を基準とすると、

$$v_q^2 = \frac{1}{3} \left(\frac{q}{2} \right)^2 = \frac{1}{3} \left(\frac{2V_{ref}}{2^{N+1}} \right)^2 = \frac{V_{ref}^2}{3 \cdot 2^{2N}}$$

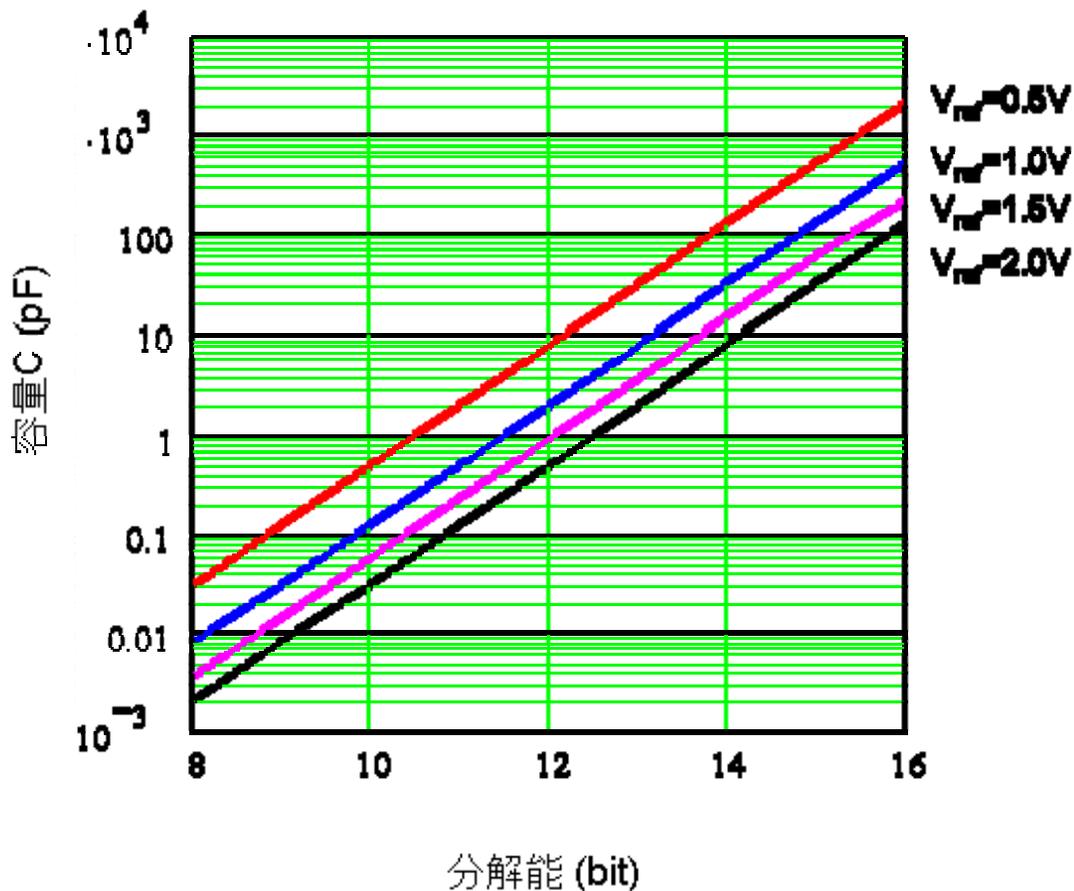
$$v_{c_tot}^2 + v_{ther}^2 \approx 3.7 \frac{kT}{C} \quad (T=400K) \quad \text{より、}$$

$$C(pF) \geq 1.23 \times 10^{-7} \left(\frac{2^N}{V_{ref}} \right)^2$$

の条件が得られる。

分解能と信号振幅および容量

kT/Cノイズからは分解能が2ビット上がる毎に必要な容量は1桁上昇する
 また、信号振幅が減少すると必要容量は減少率の2乗に比例して増加する。



$V_{ref} = 1.0V$ とすると、

- 10bit: 0.1pF
- 12bit: 2pF
- 14bit: 30pF

$V_{ref} = 2.0V$ とすると、

- 10bit: 0.025pF
- 12bit: 0.5pF
- 14bit: 8pF

参照電圧の2乗に反比例

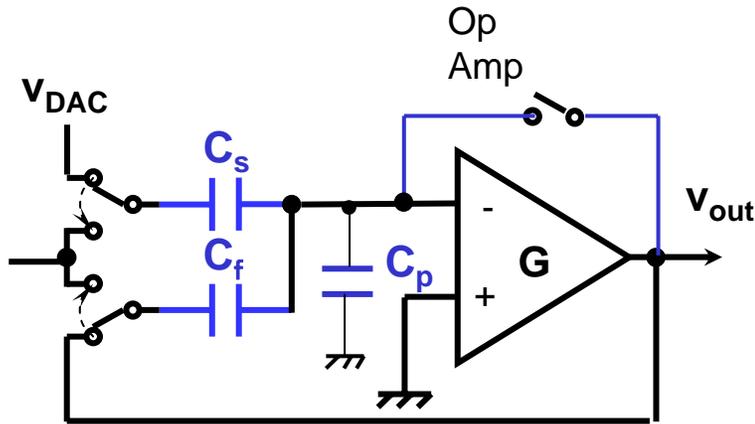
$$C(pF) \geq 1.23 \times 10^{-7} \left(\frac{2^N}{V_{ref}} \right)^2$$

V_{ref} : 片側振幅

分解能 (bit)
分解能と必要容量

オペアンプの利得とGBW

必要なDCゲインは分解能から算出され、NビットADCのSNRに8dB加えたものである。
 必要なGBWは変換周波数に分解能を掛けたものである。

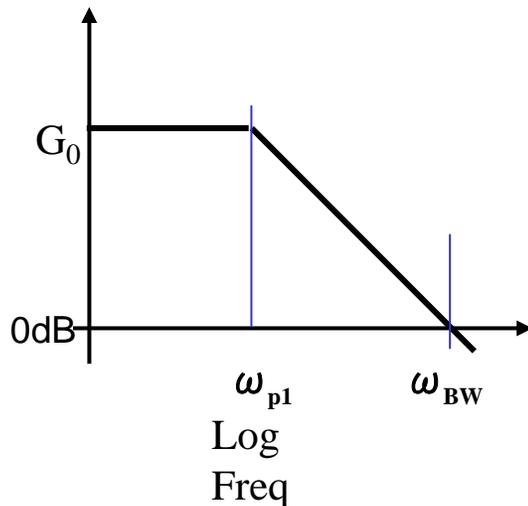


$$v_{out} = 2 \left(v_{in} - \frac{v_{DAC}}{2} \right) \frac{1}{1 + \frac{1}{G} \left(2 + \frac{C_p}{C_f} \right)} \quad \beta \equiv \frac{1}{\left(2 + \frac{C_p}{C_f} \right)}$$

$$G_{error} \approx -\frac{1}{G} \left(2 + \frac{C_p}{C_f} \right) \approx -\frac{1}{G\beta} \quad \frac{1}{G} \leq \frac{\beta}{2^{N-M+1}}$$

$$G(dB) > 6N + 10$$

(NビットADCのSNRは
SNR=6N+2 (dB))



$$E_{error} = \frac{1}{1 + G(s)\beta} = \frac{1}{1 + \frac{G_0\beta}{1 + \frac{s}{\omega_{p1}}}}$$

$$E_{error} = \exp(-G_0\omega_{p1}\beta t) = \exp\left(-\frac{t}{\tau}\right), \quad \tau = \frac{1}{\omega_{BW}\beta}$$

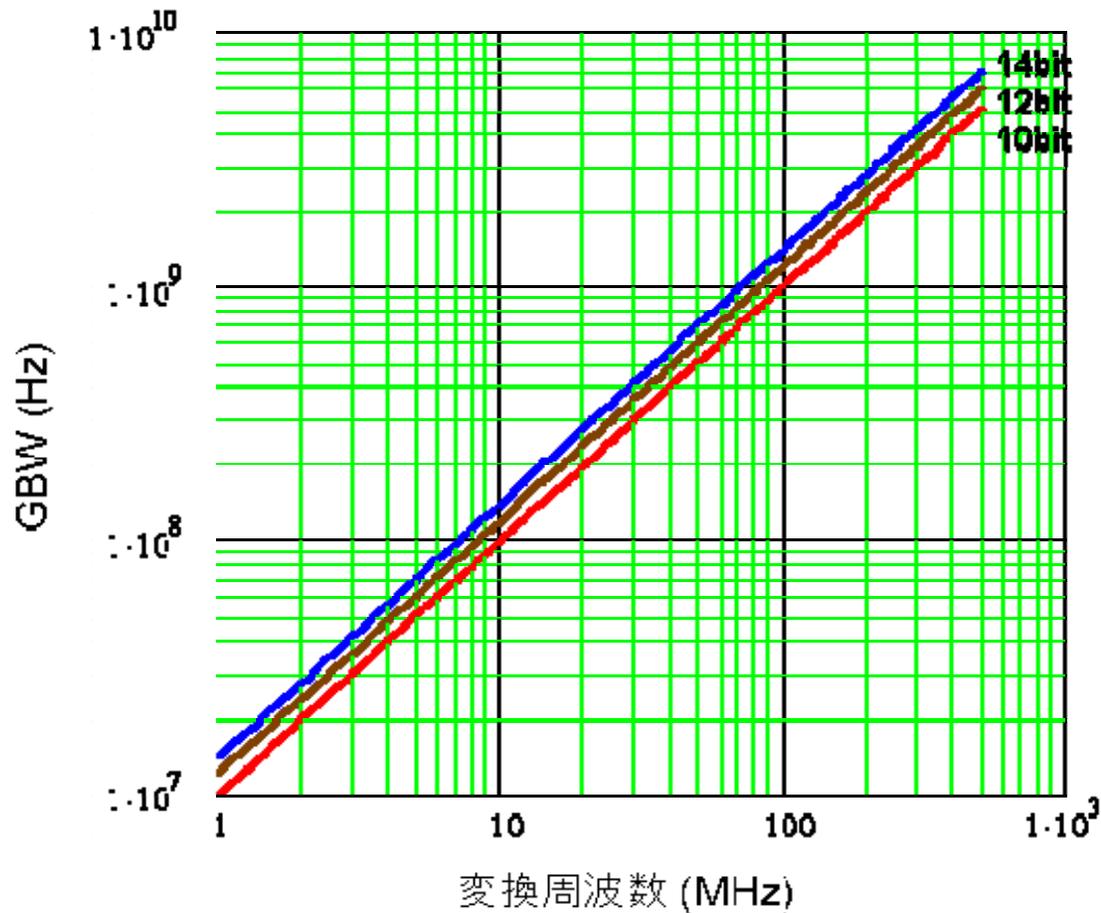
$$\exp\left(-\frac{t_{ss}}{\tau}\right) < \frac{1}{2^{N-M+1}}$$

$$GBW > N \cdot f_c$$

オペアンプのGBW

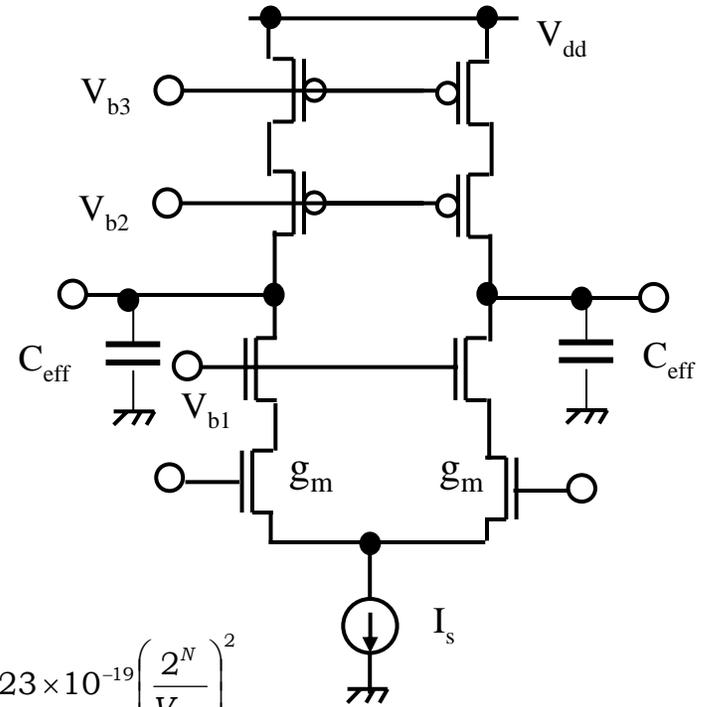
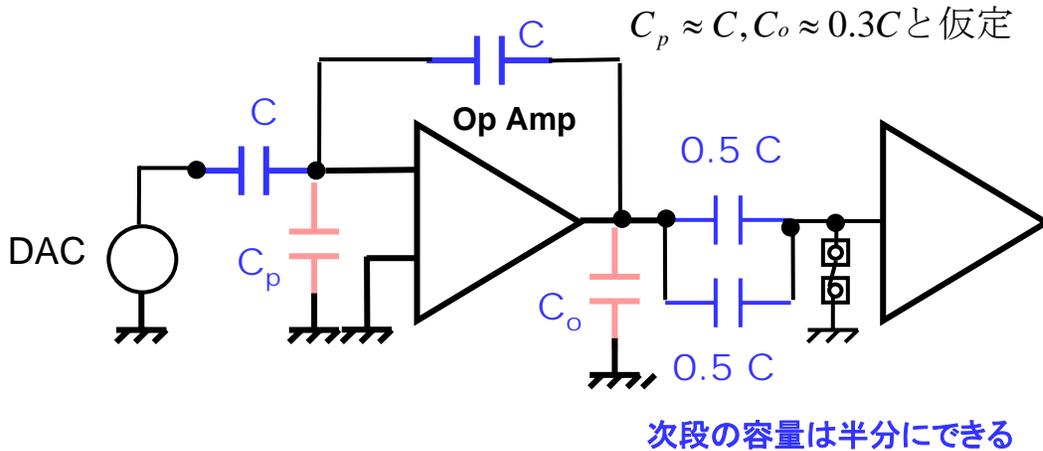
OPアンプのGBWは変換周波数のおよそ10倍から15倍程度必要

→1GHzの変換には10GHz以上のGBWが必要



t_{ss} は変換の半周期の2/3
 $\beta = 1/3$ としたとき

OPアンプの動作電流計算



OPアンプの実効負荷容量

$$C_{eff} \approx 2(0.5C) + \frac{2}{3}C + 0.3C \approx 2C$$

$$GBW \approx \frac{g_m}{2\pi C_{eff}} \approx \frac{g_m}{4\pi C} \approx \frac{I_s}{4\pi C V_{eff}} \approx \frac{I_s}{2.5C} \quad C \geq 1.23 \times 10^{-19} \left(\frac{2^N}{V_{ref}} \right)^2$$

GBW=Nf_cを用いると
N:分解能
f_c:変換周波数

$$I_s \approx 2.5C \cdot N \cdot f_c$$

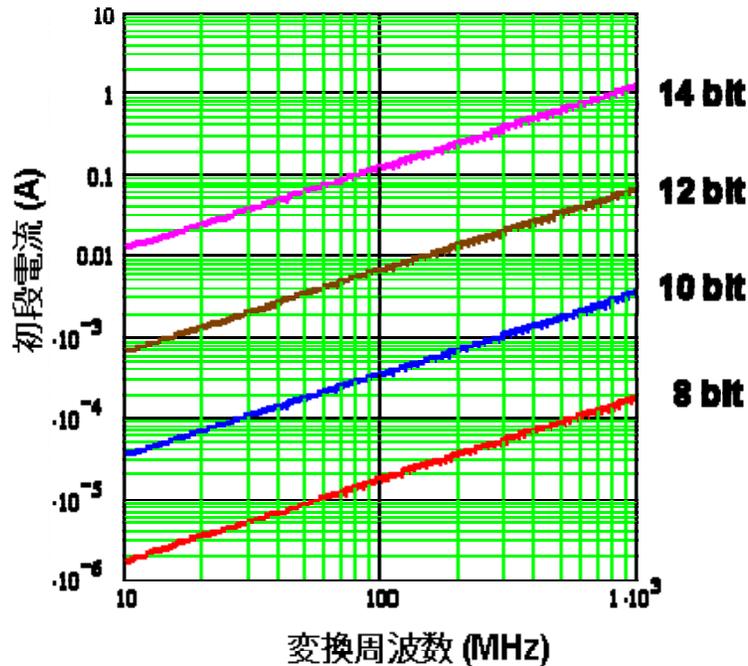
$$\therefore I_s \geq 3.1 \times 10^{-19} \times \frac{N \cdot 2^{2N}}{V_{ref}^2} \cdot f_c$$

オペアンプの動作電流

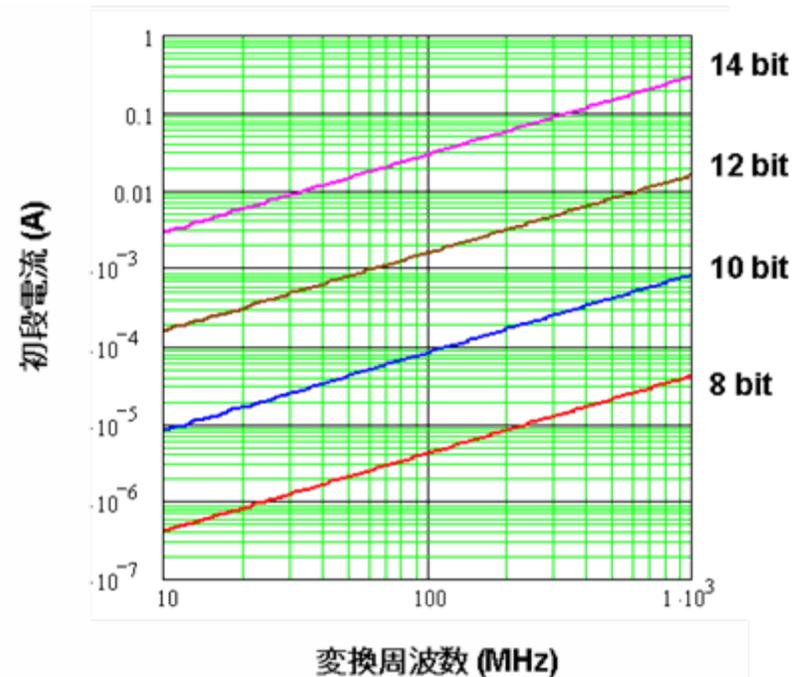
分解能が2ビット上がるにつれて約20倍消費電流が増加する。
変換周波数が1桁上がると消費電流も1桁上がる。

信号振幅を2倍に上げると消費電流は1/4になる

$V_{ref}=1.0V$ の場合

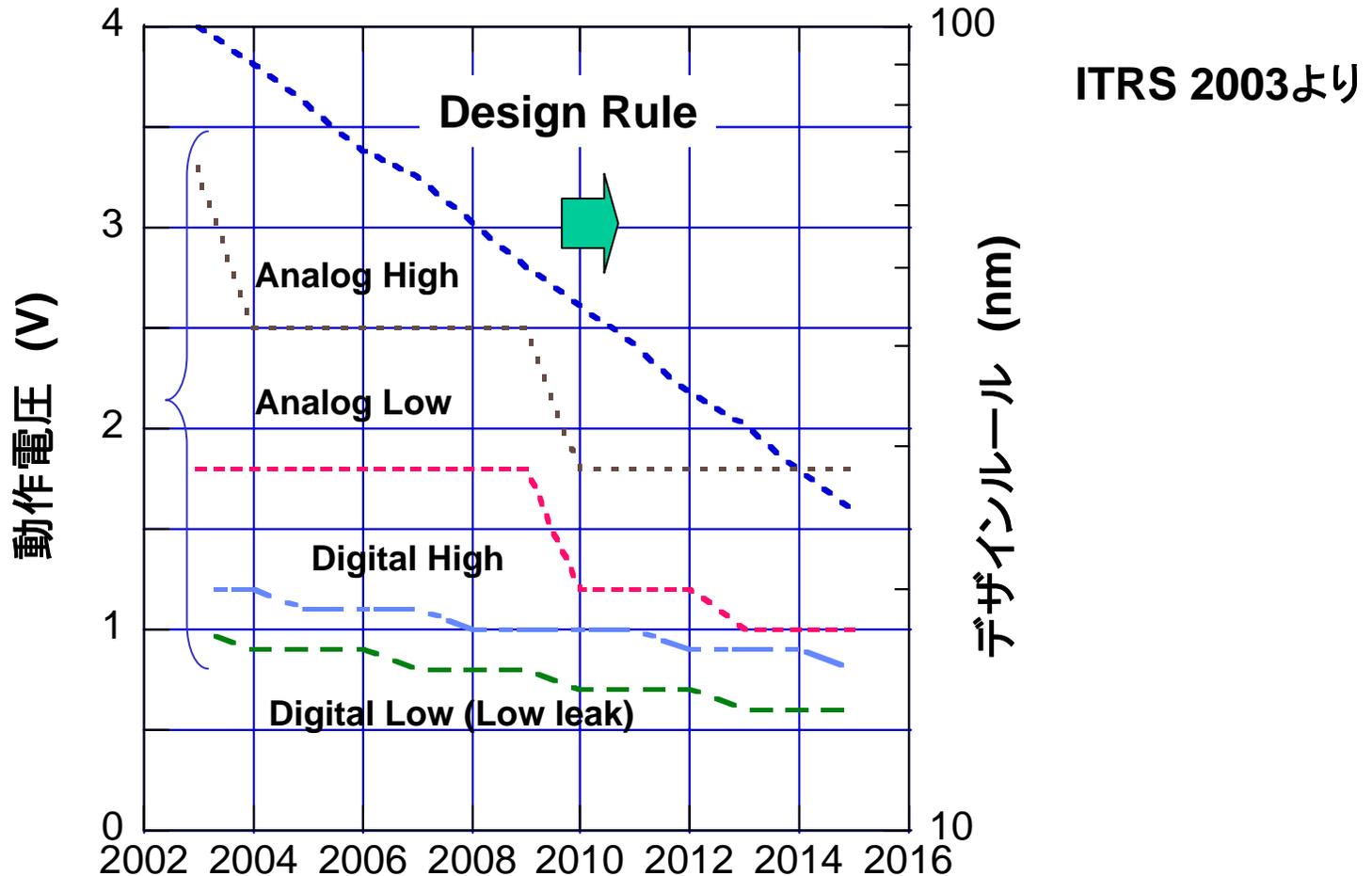


$V_{ref}=2.0V$ の場合



今後のSoCの動作電圧

今後は内部コアTrでも1V前後の動作電圧で推移。急激には低下しない。
コアトランジスタを用いてもかなりのアナログ回路は構成可能と思われる。

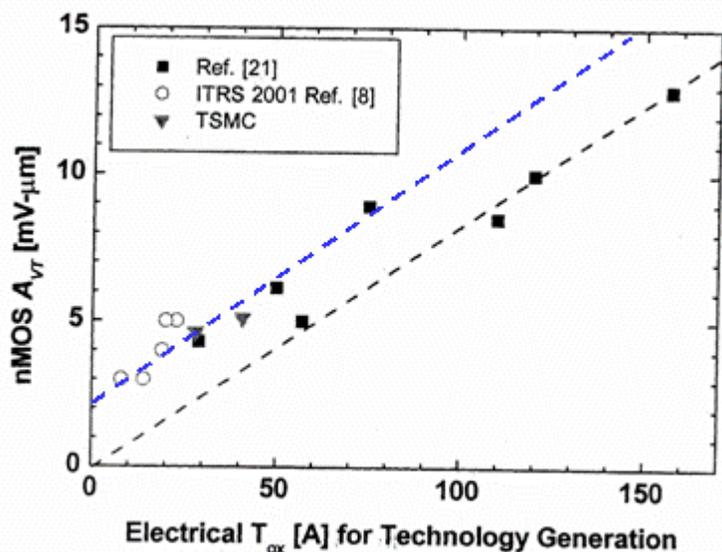


MOSの V_T ばらつきと1/fノイズ

パイプライン型ADCにおいては V_T ばらつきや1/fノイズは変換特性に影響を与えないように設計できる。

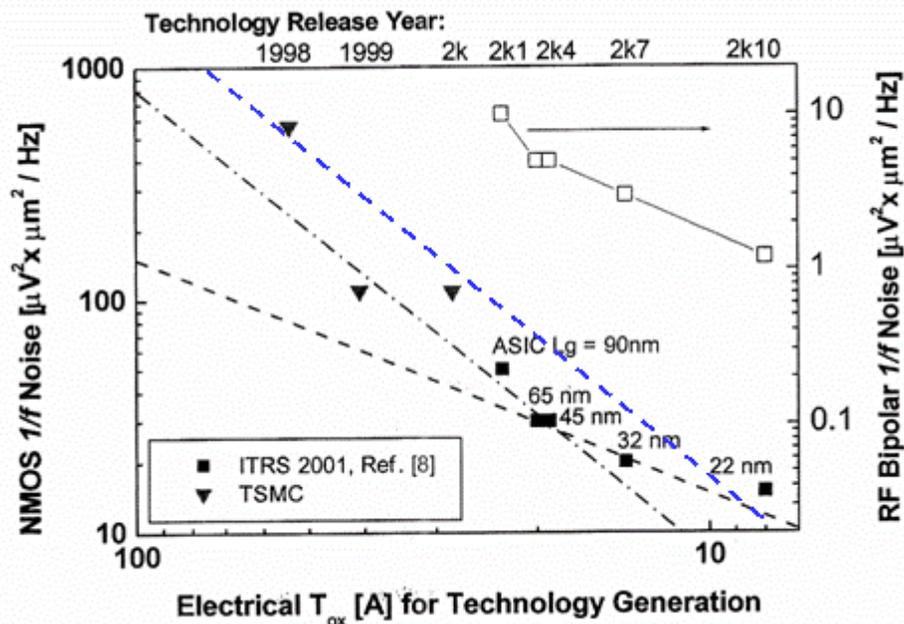
MOSの V_T ばらつき係数は飽和する

$$\Delta V_{TH} (mV) \approx \frac{1}{\sqrt{2}} \left(\frac{T_{ox} (nm) + 2}{\sqrt{LW} (\mu m)} \right)$$



1/fノイズ係数は穏やかに減少

$$V_{flick}^2 (uV^2 / Hz) = \frac{16T_{OX}^2 (nm)}{LW (\mu m^2) \cdot f (Hz)}$$



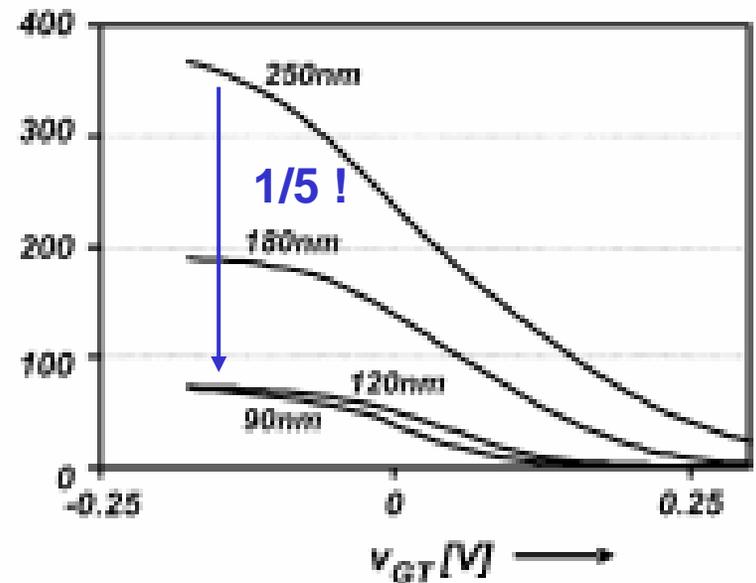
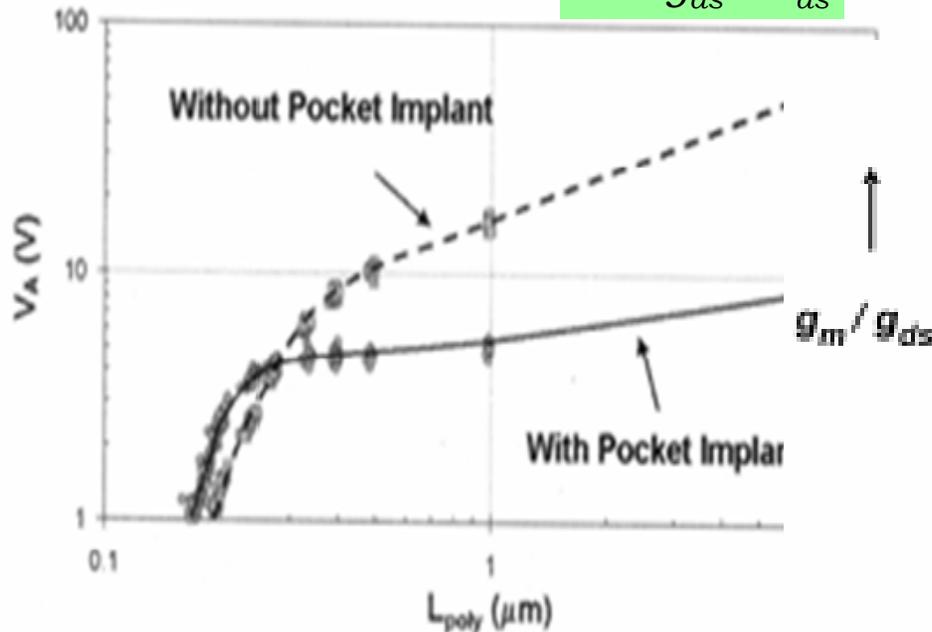
C. H. Diaz, et al., "CMOS Technology for MS/RF SoC," IEEE Tran. Electron Devices, Vol. 50, No.3, March, 2003.

微細デバイスのドレイン抵抗

微細デバイスではポケット注入を用いていることにより、チャンネル長を伸ばしても V_A つまりはドレイン抵抗はあまり上がらない。つまり、微細プロセスではDC利得が極めて上げにくいことを意味する。

$$r_{ds} = \frac{1}{g_{ds}} \approx \frac{V_A}{I_{ds}}$$

$$\text{Gain} = g_m r_{ds} = \frac{g_m}{g_{ds}} \approx \frac{2V_A}{V_{eff}}$$

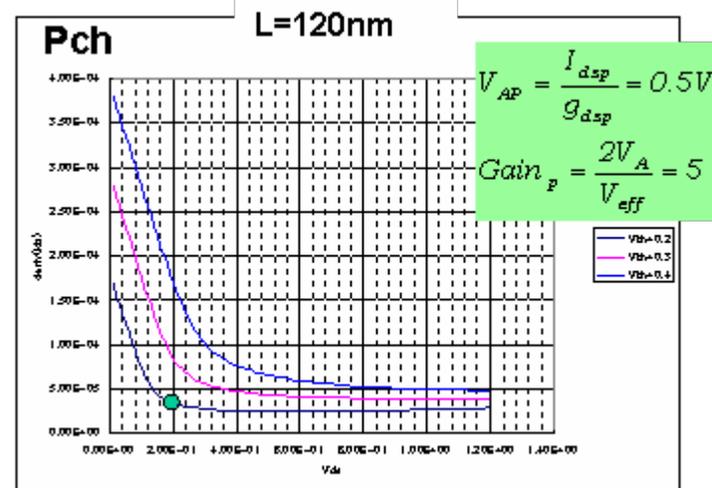
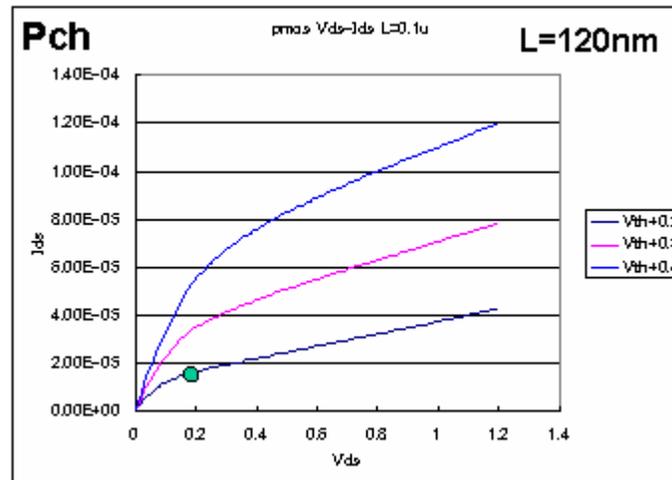
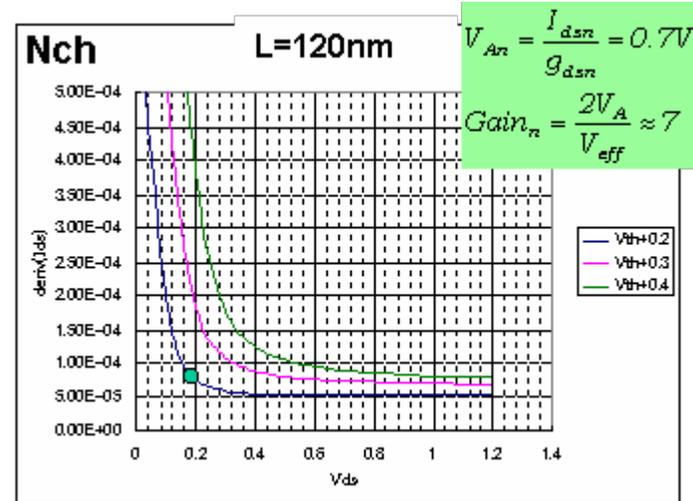
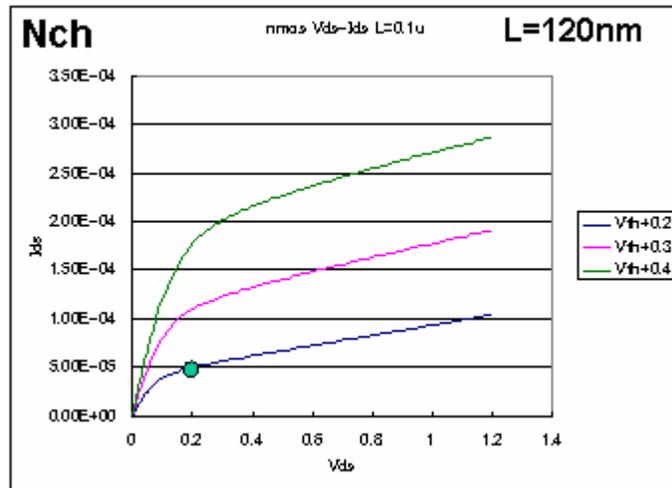


D, Buss, et al., IEEE, Tran on ED, Vol. 50, pp.546-556, 2003

A.J. Annema, JSC 2005, pp132-143

90nm MOS の特性

90nmデバイスはドレイン抵抗が極めて低いため10倍以下の利得しか取れない



超低電圧OPアンプの設計方針

- 低分解能・超高速動作

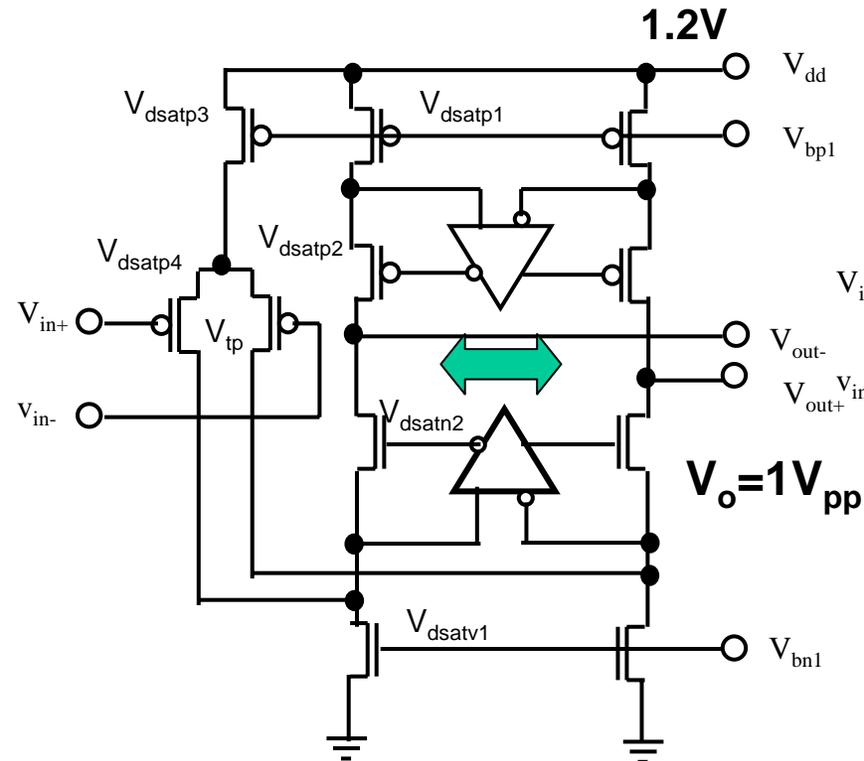
- 低分解能のため振幅が低くても容量は小さくできる
- 超高速動作のために1段のカスコード回路を用いる
- 利得の低下にはスーパーカスコードを用いて対処する
- 入出力信号範囲の整合のためフォールデイドカスコードを用いる

- 中分解能・高速動作

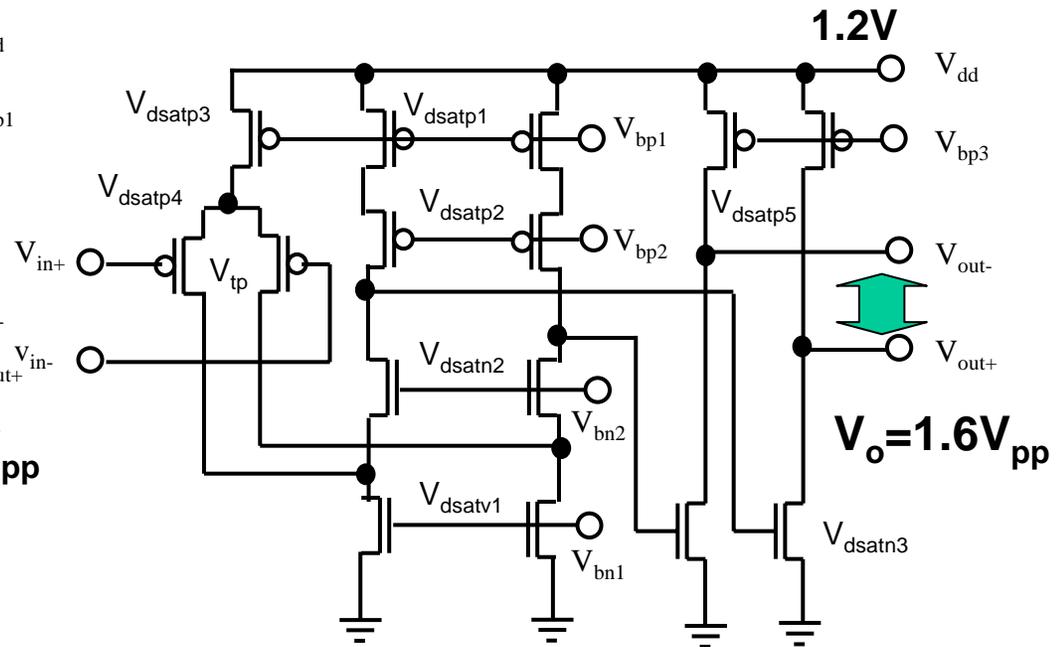
- 中分解能のため振幅を大きくとることができるだけ容量を小さくできる
- 振幅を大きく取り利得を大きくするために2段増幅にする
- 利得の低下にはスーパーカスコードを用いて対処する
- 入出力信号範囲の整合のためフォールデイドカスコードを用いる
- 2段増幅ではGBWをあまり上げれないので変換周波数が満足するか確認する

超低電圧アナログ回路

低電圧アナログ回路もできないことはない。



DC gain=70dB
GBW=10GHz
90nmCMOS

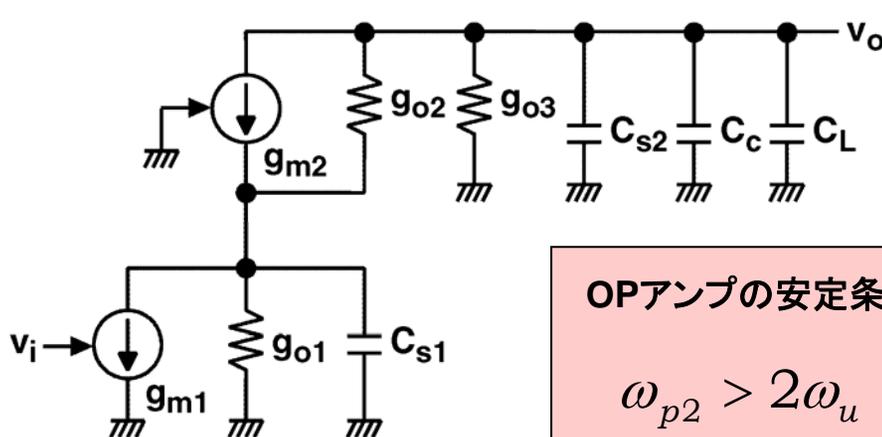


DC gain=90dB
GBW=5GHz
90nmCMOS

CMOS基本アンプの極と安定性

OPアンプの帯域は安定性を考慮すると第2ポールで決まる。
1段アンプではカスコード段で決定される。

1段アンプ(カスコード)



OPアンプの安定条件

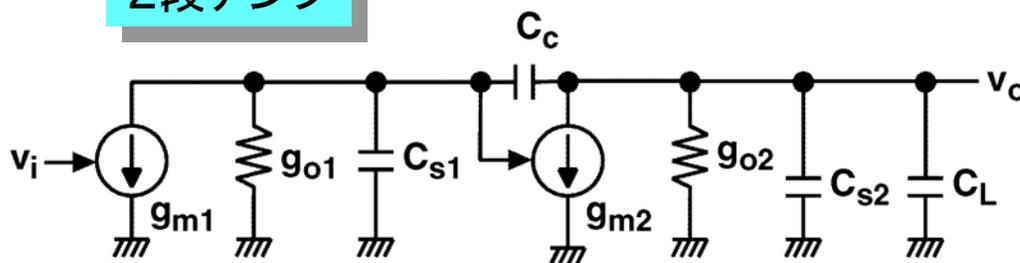
$$\omega_{p2} > 2\omega_u$$

$$\omega_{p1} \cong \frac{g_{o3} + g_{o1}(g_{o2}/g_{m2})}{(C_{s2} + C_C + C_L)}$$

$$\omega_u \cong \frac{g_{m1}}{(C_{s2} + C_C + C_L)}$$

$$\omega_{p2} \cong \frac{g_{m2}}{C_{s1}}$$

2段アンプ



$$\omega_{p1} \cong \frac{g_{o1}(g_{o2}/g_{m2})}{C_C}$$

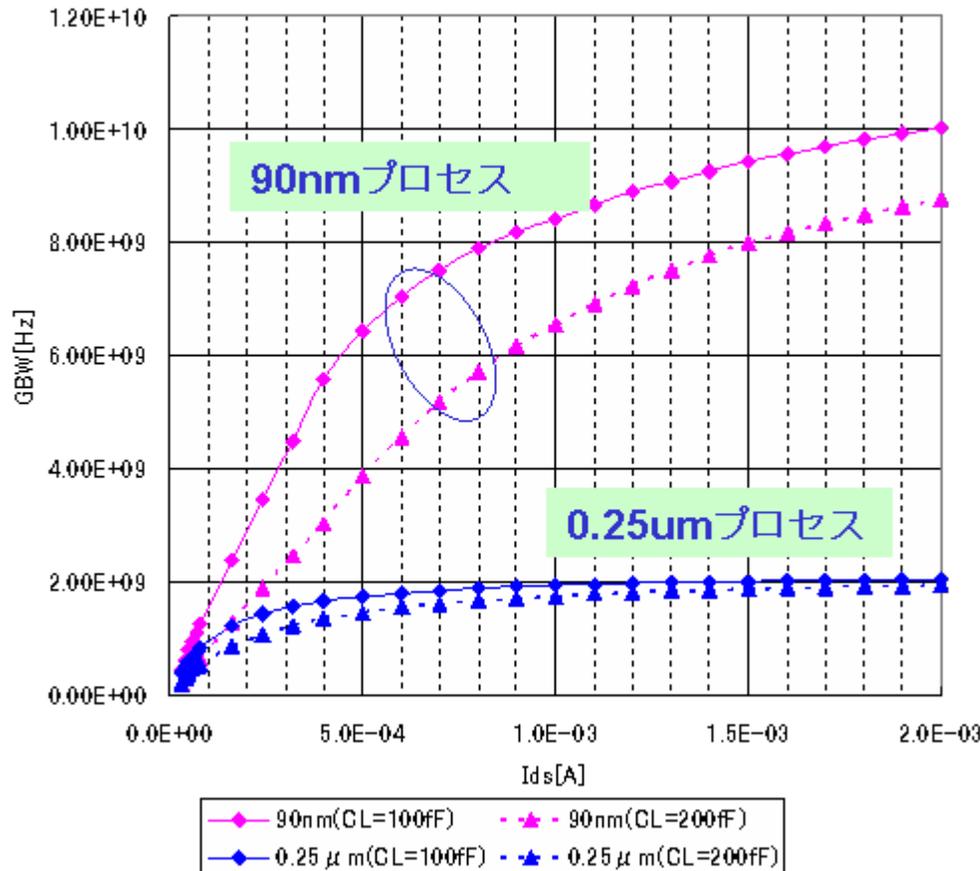
$$\omega_u \cong \frac{g_{m1}}{C_C}$$

$$\omega_{p2} \cong \frac{g_{m2}}{C_{s1} + C_{s2} + C_L + (C_{s2} + C_L) \frac{C_{s1}}{C_C}}$$

90nm技術の効果

低電圧動作問題を解決すれば90nmを用いて、
8bitで1GHz, 10bitで500MHz程度のADCが実現可能かもしれない。
0.25 μ m技術では200MHzの変換速度が限界である。

Ids- GBW特性



パイプライン型ADCの変換周波数は
GBWの約1/10

GBW: 10GHz

変換周波数: 1GHz

GBW: 2GHz

変換周波数: 200MHz

動作電流と変換速度に対するデザインルール依存の推定

デザインルールにより取りうる信号振幅が変わるので、必要なSNRを確保するための帰還容量が変わる。また、ある動作電流における寄生容量が変わるので、この効果を入れて回路の応答を推定する。

$$GBW_{close} = \frac{g_m}{2\pi C_L} \cdot \beta = \frac{g_m}{2\pi \{2C_o + C_{in} + C_{op}\}}$$

N:分解能

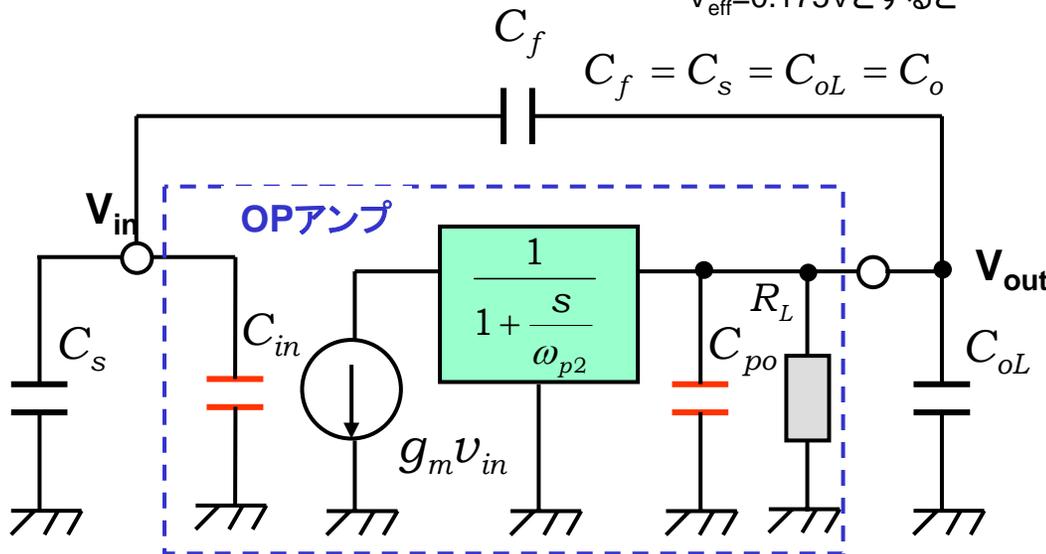
帰還容量の電圧振幅依存性を組み込む

$$C_L = C_{op} + C_{oL} + \frac{C_f(C_s + C_{in})}{C_f + C_s + C_{in}} \quad \beta = \frac{C_f}{C_f + C_s + C_{in}}$$

$V_{eff} = 0.175V$ とすると

$$C_o(fF) = 1.23 \times 10^{-4} \left(\frac{2^N}{V_{dd} - 4V_{eff}} \right)^2$$

$$g_m = \frac{2I_{ds}}{V_{eff}} \Rightarrow g_m(mS) = 11.4 \times I_{ds}(mA)$$



90nm : $C_{in}(fF) = 52 \times I_{ds}(mA)$,
 $C_{op}(fF) = 95 \times I_{ds}(mA)$

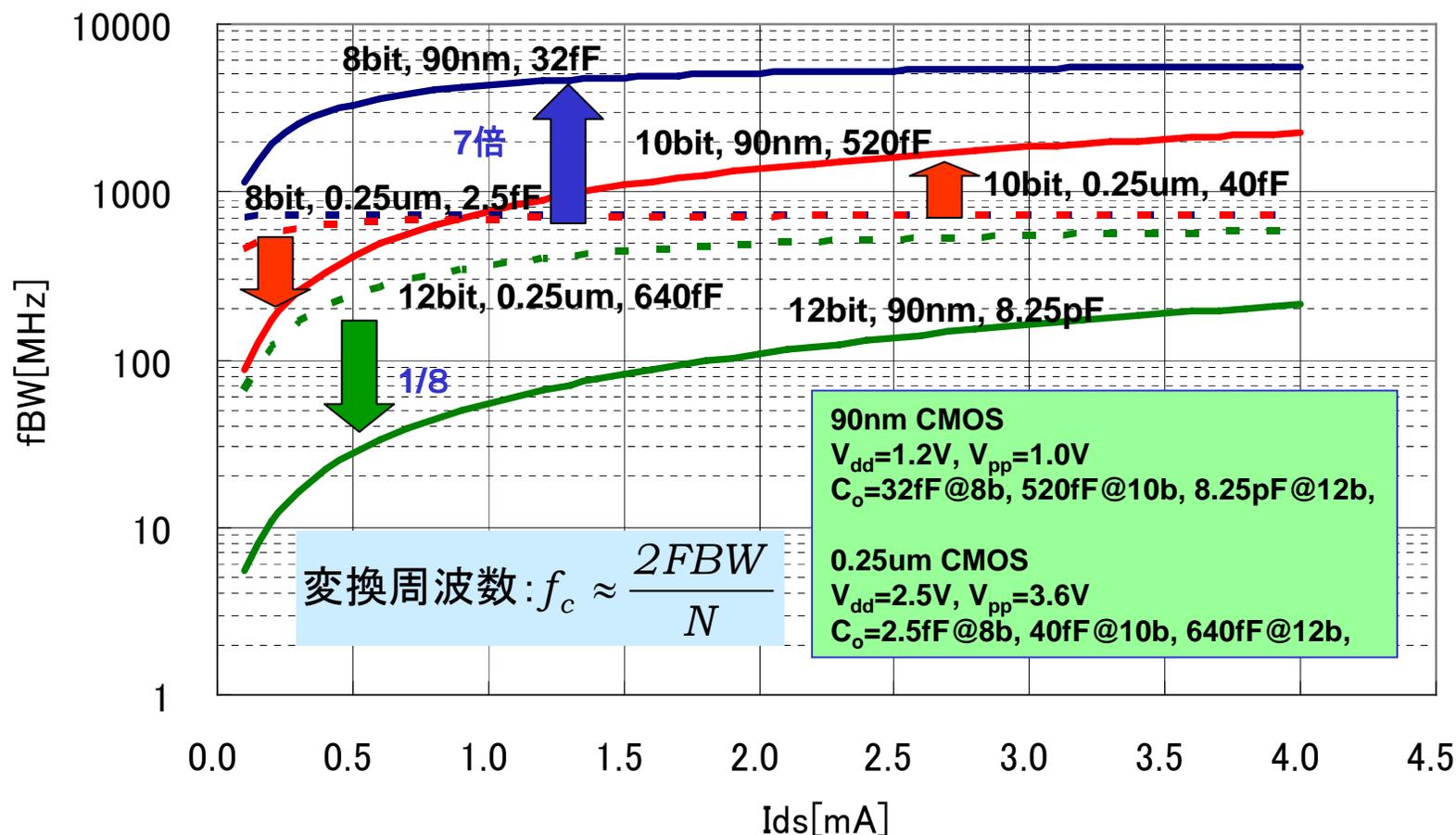
0.25um : $C_{in}(fF) = 470 \times I_{ds}(mA)$,
 $C_{op}(fF) = 780 \times I_{ds}(mA)$

パイプラインADCの増幅器の等価回路

パイプラインADCの性能とデザインルール

低分解能は高速化が可能な微細デバイスが有利、高分解能は電源電圧が高く取れるデバイスが有利

デザインルールが緩いと取りうる信号振幅は大きくなり、帰還容量は減少するが、寄生容量が大きくなる
 デザインルールが微細だと寄生容量は減少するが、取りうる信号振幅が減少し、帰還容量が増加する



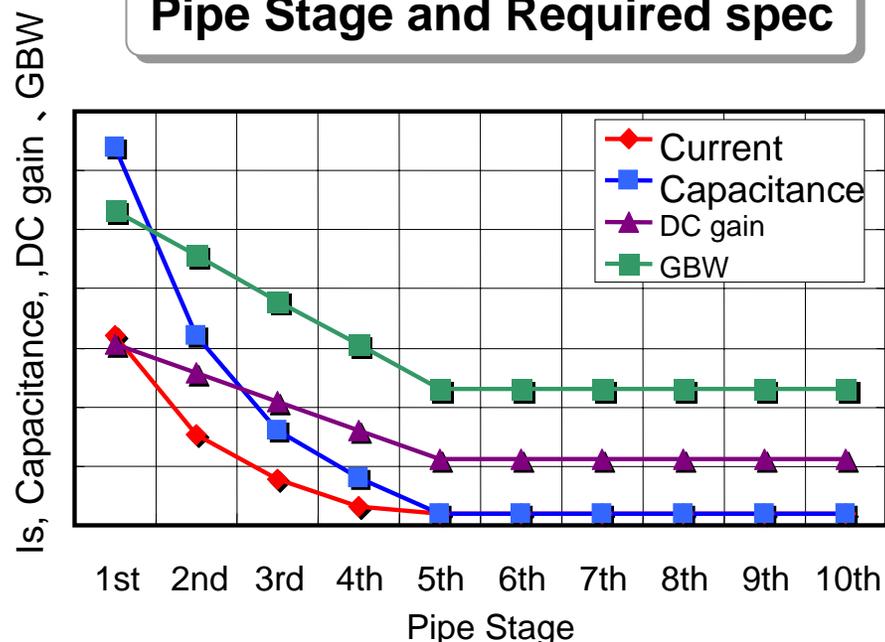
ゲインステージの最適化

各段、2倍ずつ増幅しているのので、後段ほど精度要求は緩くなる。
したがって、容量値、動作電流をゲインステージに添って1/2程度で減少させることができる。

Pipe Stage and required spec

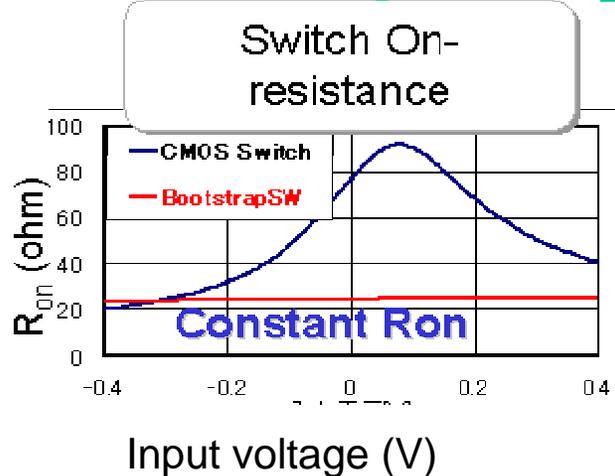
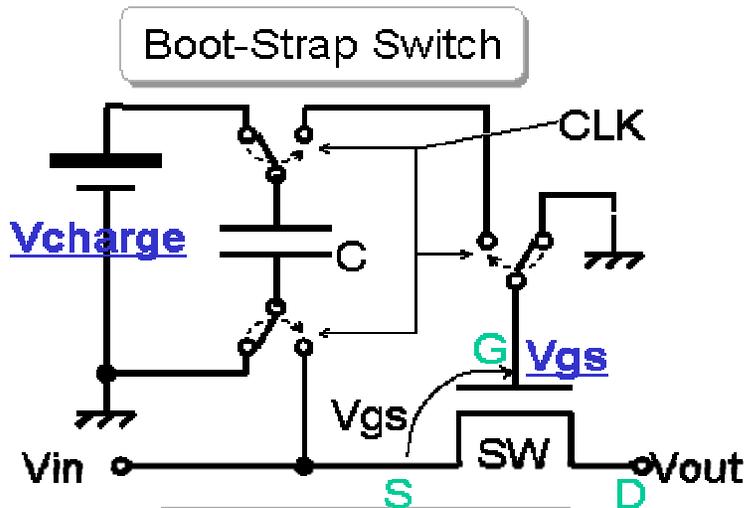
Stage	C [pF]	Islew [mA]	DC gain [dB]	GBW [MHz]
1st	3.2	1.6	75.8	416
2nd	1.6	0.76	69.7	378
3rd	0.8	0.39	63.7	340
4th	0.4	0.16	57.7	303
5th	0.103	0.093	51.6	265

Pipe Stage and Required spec

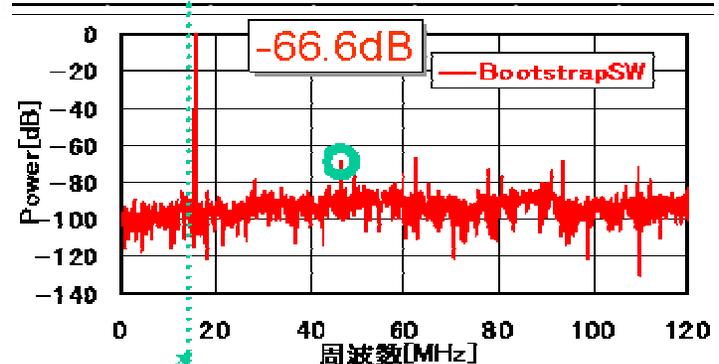
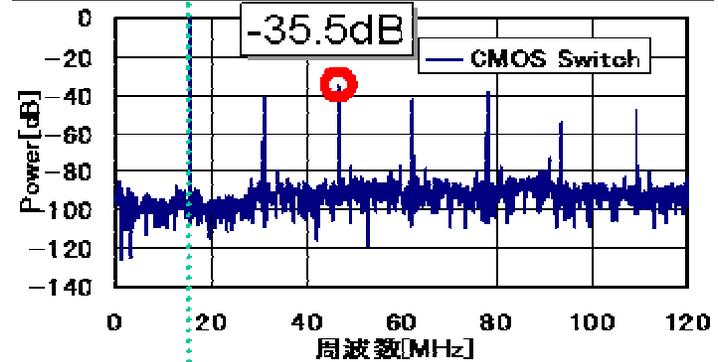


ブートストラップ回路

オン抵抗の入力電圧依存性は歪を発生させる。これを抑制するためにゲート・ソース間に一定電圧を与えるブートストラップ回路が用いられている。



Switch and freq. characteristics.

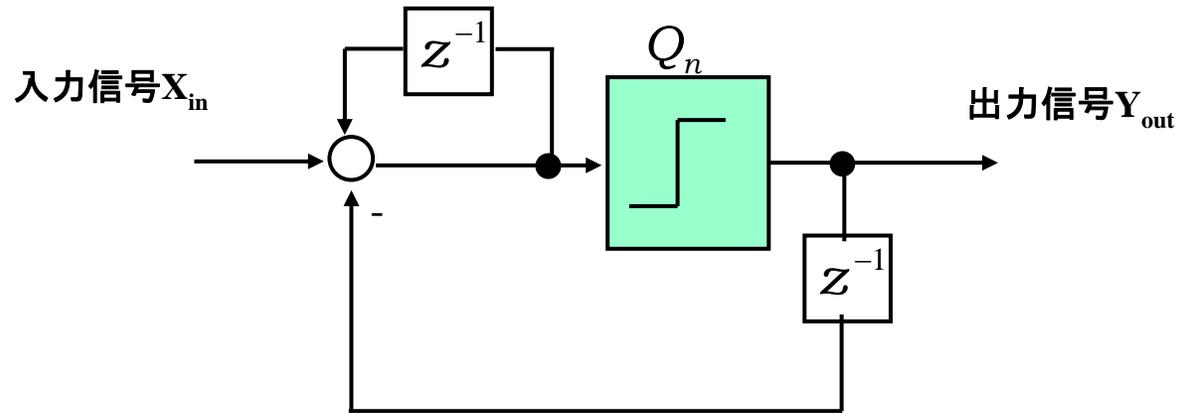


Vin: 15.6M

Small distortion

$\Sigma \Delta$ 型 ADC

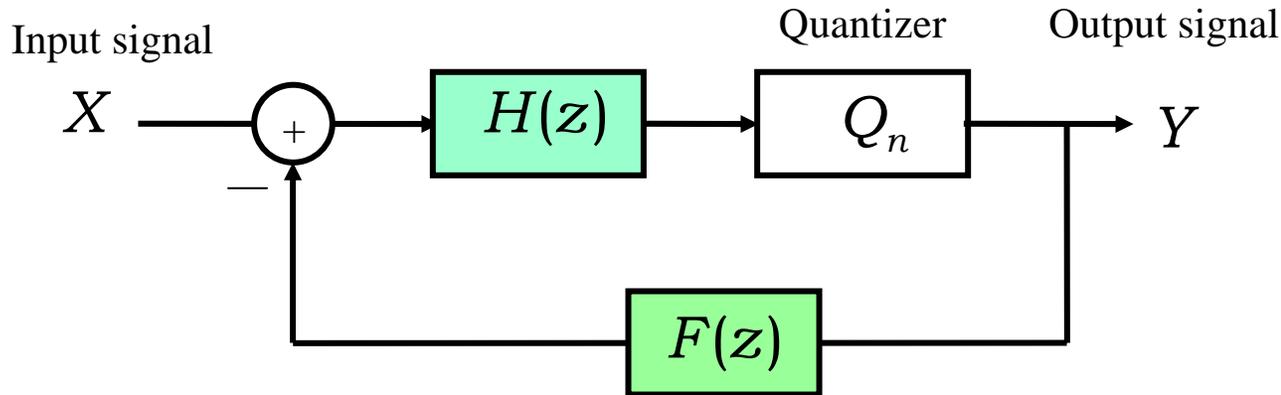
$\Sigma \Delta$ 型変調器のシステム解析



$$Y_{out} = Q_n + \frac{1}{1 - z^{-1}} (X_{in} - z^{-1} Y_{out})$$
$$\therefore Y_{out} = X_{in} + (1 - z^{-1}) Q_n$$

ADC, DACが可能で、量子化ノイズは微分されている。

$\Sigma \Delta$ 変調器の汎用的システム表現



$$Y = \frac{H(z)}{1 + H(z)F(z)} X + \frac{1}{1 + H(z)F(z)} Q_n$$

$$\frac{H(z)}{1 + H(z)F(z)}$$

STF: Signal Transfer Function

信号帯域に対してフラットな特性

$$\frac{1}{1 + H(z)F(z)}$$

NTF: Noise Transfer Function

ノイズに対してシェーピングする

量子化ノイズの周波数特性

$$Y_{out} = X_{in} + (1 - z^{-1})Q_n$$

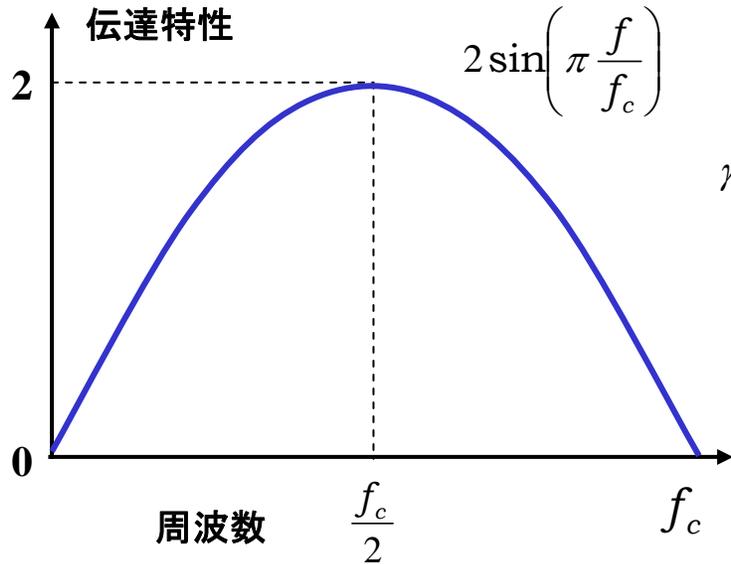
ノイズの伝達関数 $H(z) \equiv (1 - z^{-1})$ $z = e^{j\frac{2\pi f}{f_c}}$ で置き換える

$$H(f) = \left(1 - \cos\left(2\pi \frac{f}{f_c}\right)\right) + j \sin\left(2\pi \frac{f}{f_c}\right)$$

$$\begin{aligned} \therefore |H(f)| &= \sqrt{\left(1 - \cos\left(2\pi \frac{f}{f_c}\right)\right)^2 + \sin^2\left(2\pi \frac{f}{f_c}\right)} \\ &= \sqrt{2\left(1 - \cos\left(2\pi \frac{f}{f_c}\right)\right)} = 2\left|\sin\left(\pi \frac{f}{f_c}\right)\right| \end{aligned}$$

$$\because 1 - \cos 2x = 2 \sin^2 x$$

ノイズ電力



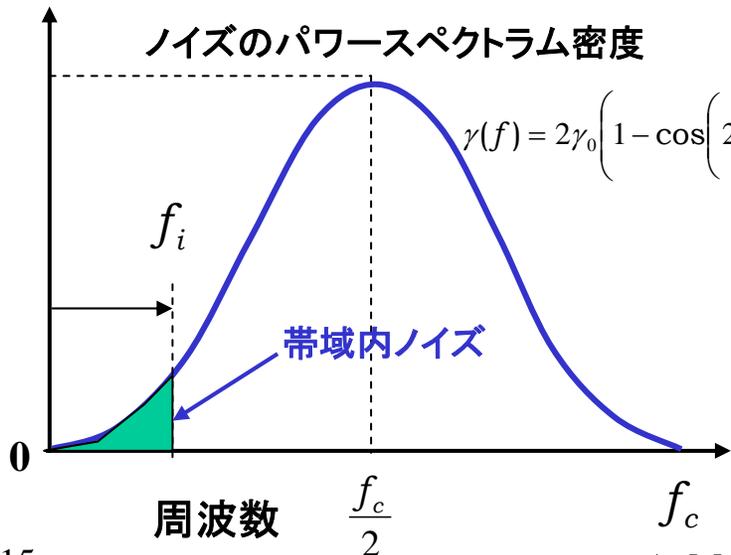
ノイズのパワースペクトラム密度を求める

$$\gamma(f) = \gamma_0 H(f)^2 = 4\gamma_0 \sin^2\left(\pi \frac{f}{f_c}\right) = 2\gamma_0 \left(1 - \cos\left(2\pi \frac{f}{f_c}\right)\right)$$

ノイズは $f_c/2$ まで分布しているので

$$\gamma_0 \frac{f_c}{2} = \frac{\Delta^2}{12} \therefore \gamma_0 = \frac{\Delta^2}{6f_c}$$

帯域 f_i までのノイズ電力は、



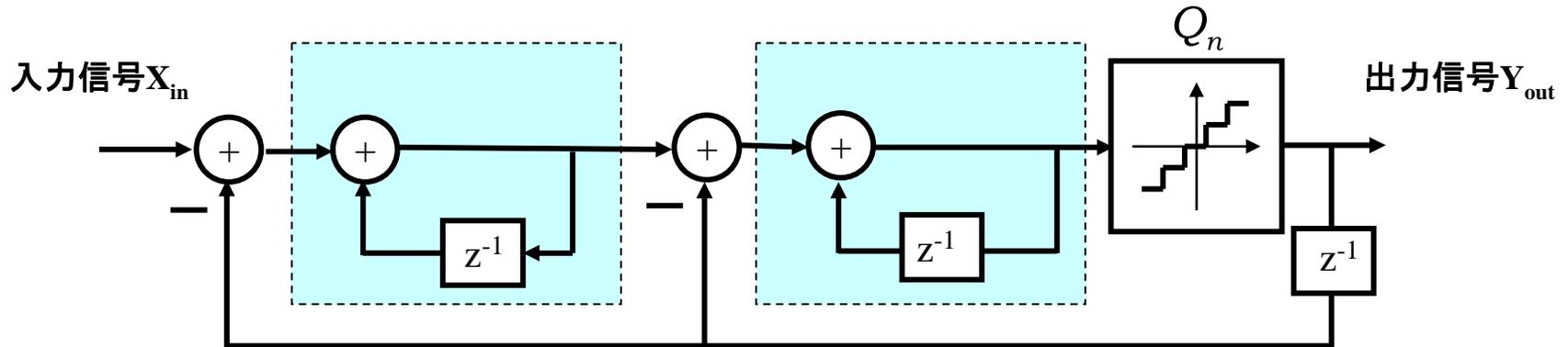
$$N_{q-eff} = \gamma_0 \int_0^{f_i} \gamma(f) df = \frac{2\Delta^2}{6f_c} \int_0^{f_i} \left(1 - \cos\left(2\pi \frac{f}{f_c}\right)\right) df$$

$$= \frac{\Delta^2}{3f_c} \left[f - \frac{f_c}{2\pi} \sin\left(2\pi \frac{f}{f_c}\right) \right]_0^{f_i} = \frac{\Delta^2}{3f_c} \left(f_i - \frac{f_c}{2\pi} \sin\left(2\pi \frac{f_i}{f_c}\right) \right)$$

ここで $\sin\left(2\pi \frac{f_i}{f_c}\right) \approx 2\pi \frac{f_i}{f_c} - \frac{1}{3!} \left(2\pi \frac{f_i}{f_c}\right)^3$ で近似すると、

$$= \frac{\Delta^2}{3f_c} \cdot \frac{f_c}{2\pi} \frac{1}{6} \cdot \pi^3 \cdot \frac{1}{M^3} = \frac{\pi^2}{36} \Delta^2 \frac{1}{M^3}$$

2次の $\Sigma \Delta$ 変調器



$$Y_{out} = Q_n + \frac{1}{1 - z^{-1}} \left\{ \frac{(X_{in} - z^{-1}Y_{out})}{1 - z^{-1}} - z^{-1}Y_{out} \right\}$$

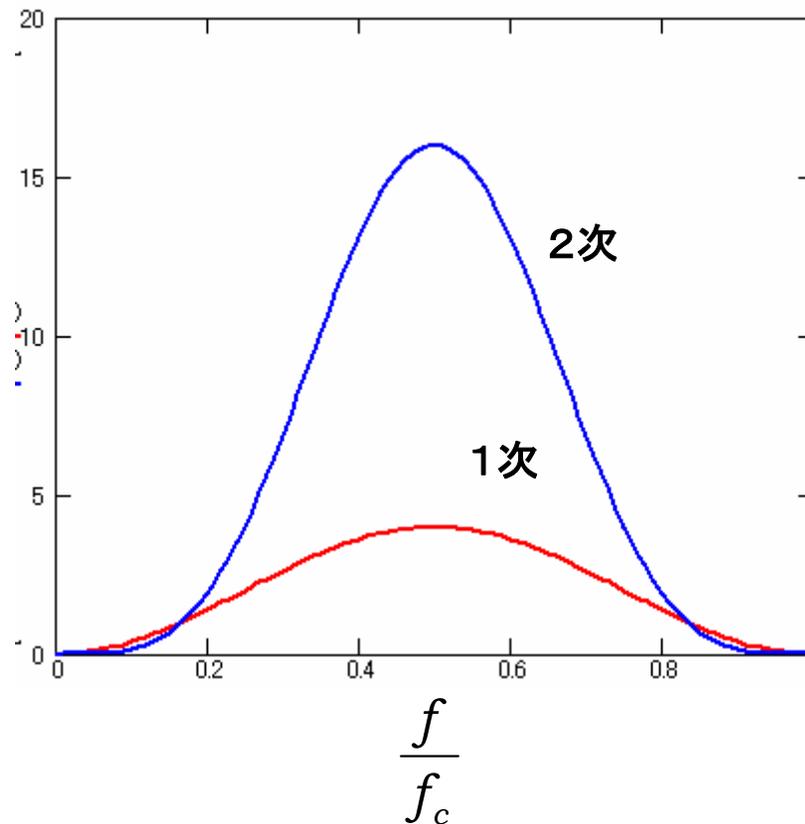
$$Y_{out} \left\{ (1 - z^{-1})^2 + z^{-1}(1 - z^{-1}) + z^{-1} \right\} = X_{in} + (1 - z^{-1})^2 Q_n$$

$$\therefore Y_{out} = X_{in} + (1 - z^{-1})^2 Q_n$$

高次の効果

1次 $\Sigma \Delta$ 変調

ノイズのパワースペクトラム密度



$$\gamma(f) = \gamma_0 H(f)^2 = 4\gamma_0 \sin^2\left(\pi \frac{f}{f_c}\right) = 2\gamma_0 \left(1 - \cos\left(2\pi \frac{f}{f_c}\right)\right)$$

$$N_{q(1st\ order)} = \frac{\Delta^2 \pi^2}{36} \left(\frac{1}{M}\right)^3$$

2次 $\Sigma \Delta$ 変調

$$\gamma(f) = \gamma_0 H(f)^2 = 16\gamma_0 \sin^4\left(\pi \frac{f}{f_c}\right)$$

$$N_{q(2nd\ order)} = \frac{\Delta^2 \pi^4}{60} \left(\frac{1}{M}\right)^5$$

Signal to Noise Ratio

Signal power S

$$S = \frac{\{(2^N - 1) \cdot \Delta\}^2}{8}$$

Noise power N_q

$$N_{q(1st\ order)} = \frac{\Delta^2 \pi^2}{36} \left(\frac{1}{M}\right)^3$$

$$SNR_{(dB)1st\ order} = 10 \log \left\{ \left(\frac{9}{2\pi^2}\right) (2^N - 1)^2 \cdot M^3 \right\}$$

$$N_{q(2nd\ order)} = \frac{\Delta^2 \pi^4}{60} \left(\frac{1}{M}\right)^5$$

$$SNR_{(dB)1st\ order} = 10 \log \left\{ \left(\frac{15}{2\pi^4}\right) (2^N - 1)^2 \cdot M^5 \right\}$$

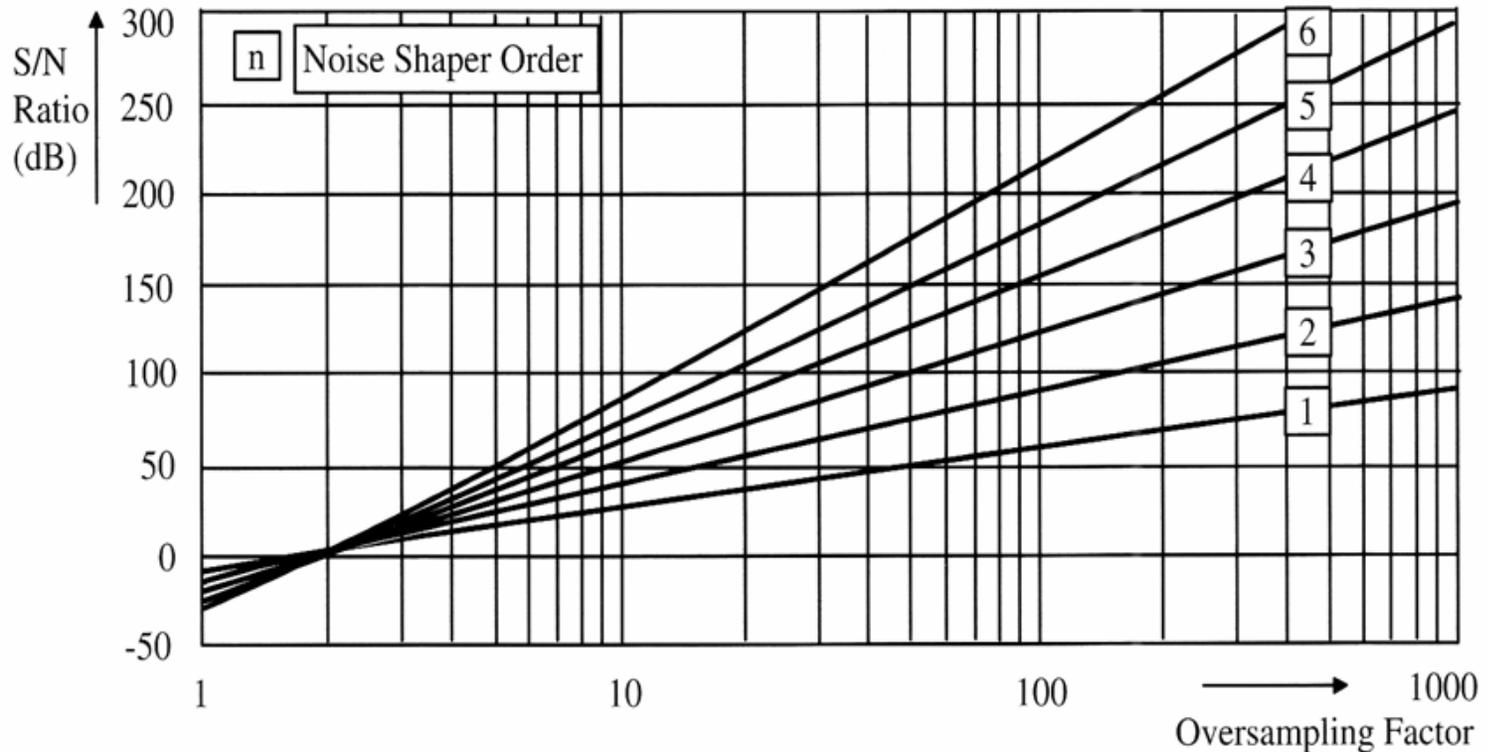
$$N_{q(3rd\ order)} = \frac{\Delta^2 \pi^6}{84} \left(\frac{1}{M}\right)^7$$

$$SNR_{(dB)3rd\ order} = 10 \log \left\{ \left(\frac{21}{2\pi^6}\right) (2^N - 1)^2 \cdot M^7 \right\}$$

SNR: 次数とオーバーサンプリング比

システムの次数を上げればSNRは上がるが、システムが不安定になるので、このような高いSNRは実際は困難である。

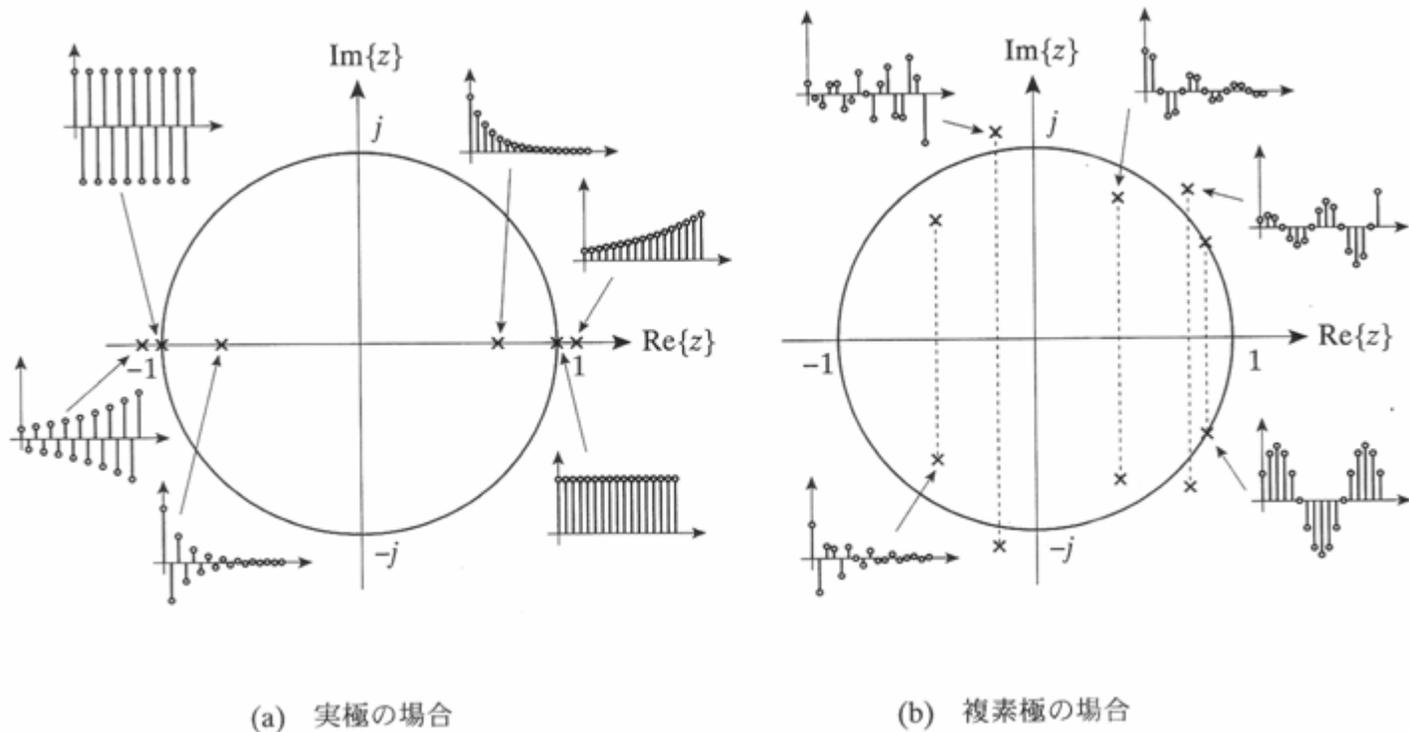
1ビット量子化の場合 理論上の限界値



極の位置とシステムの安定

ポールが単位円の内側であれば安定

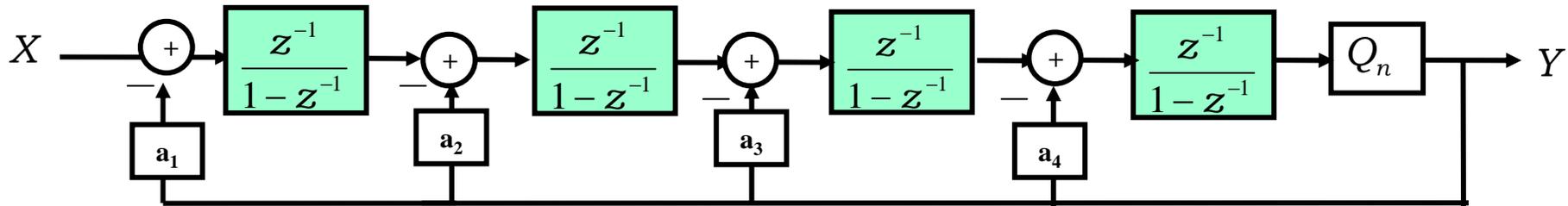
高次のシステムでは安定性が取りにくい



(a) 実極の場合

(b) 複素極の場合

4次 $\Sigma \Delta$ 変調器

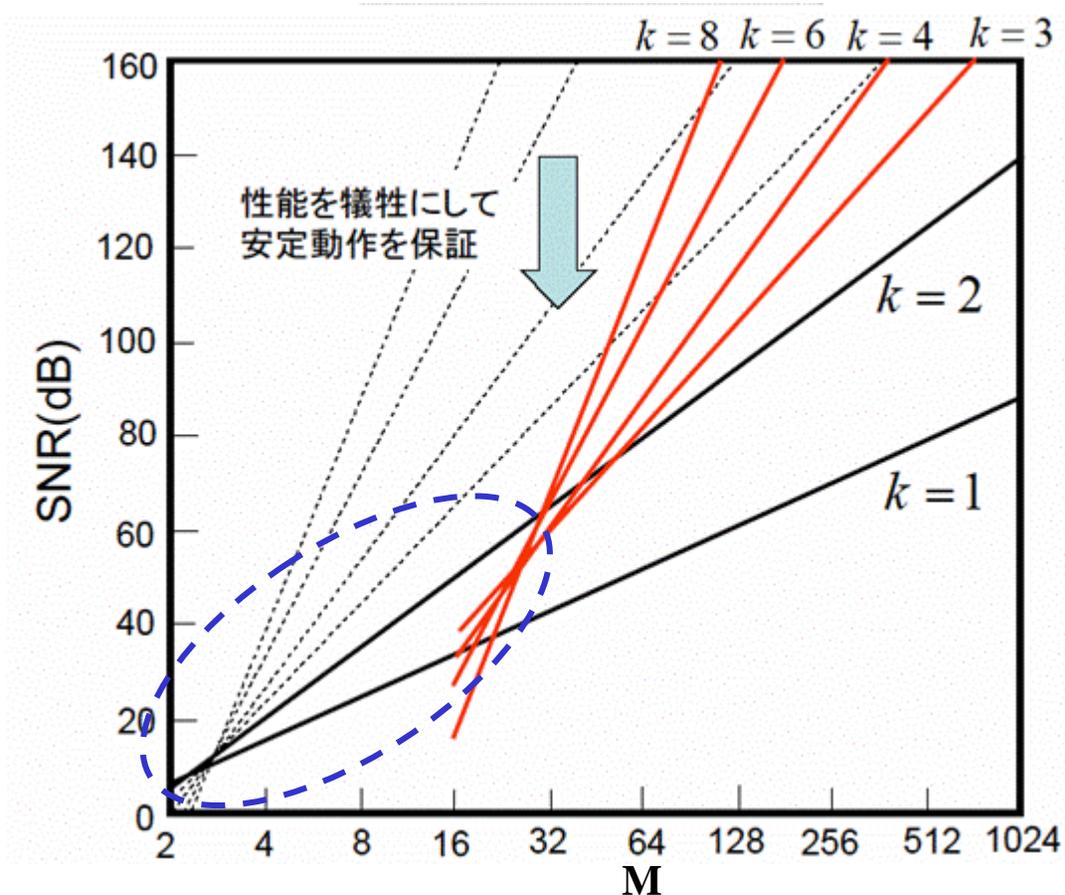


$$NTF : \frac{(1 - z^{-1})^4}{(1 - z^{-1})^4 + a_4(1 - z^{-1})^3 z^{-1} + a_3(1 - z^{-1})^2 z^{-2} + a_2(1 - z^{-1})^1 z^{-3} + a_1 z^{-4}}$$

高次の場合は不安定になるので、係数を調整して安定になるように根の位置を調整する。

安定条件でのSNR

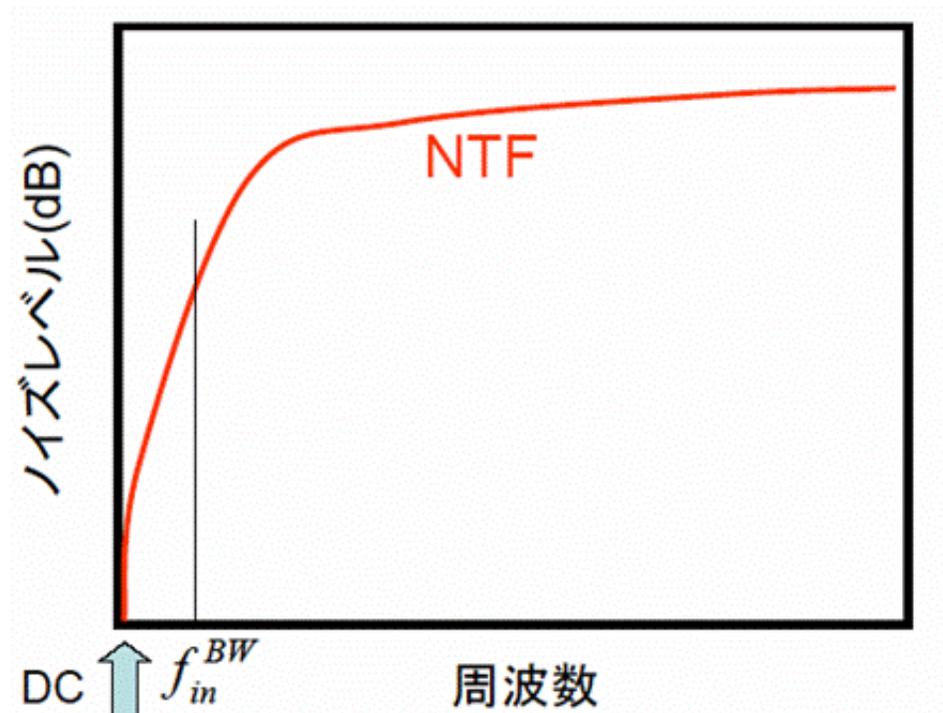
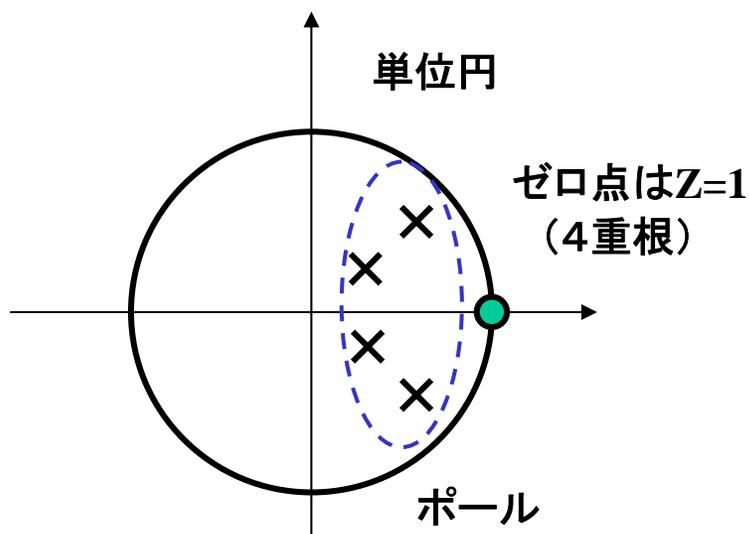
系を安定にすると低オーバーサンプリング比においてSNRが著しく劣化する
これでは低いオーバーサンプリング比では2次程度にした方が高いSNRが得られる。



阪大 谷口教授より

ポールとゼロおよび周波数特性

系が安定なためにはポールが単位円の内側になければならない



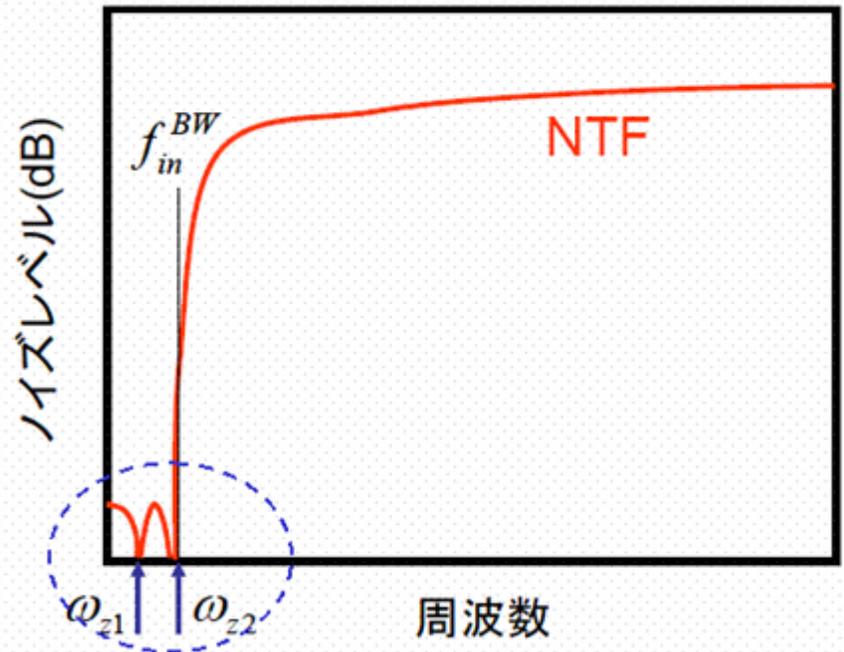
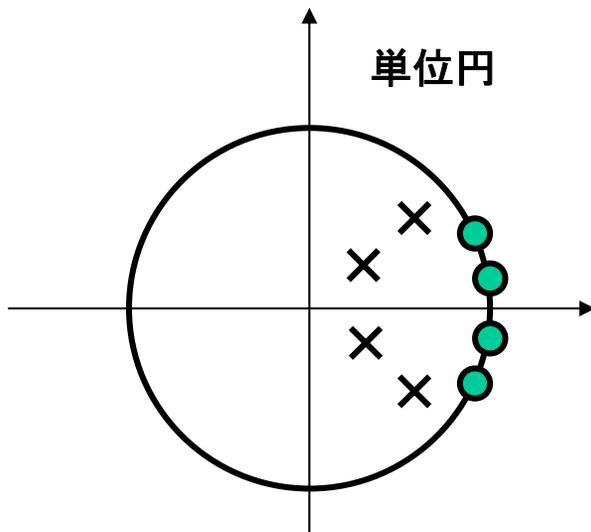
阪大 谷口教授より

ゼロ点の分散

ゼロ点を分散させて信号通過帯域内において深い減衰特性を作る

ポールは安定性確保のため余りいじれない

ゼロ点を $|z| = 1$ 上で分散させる

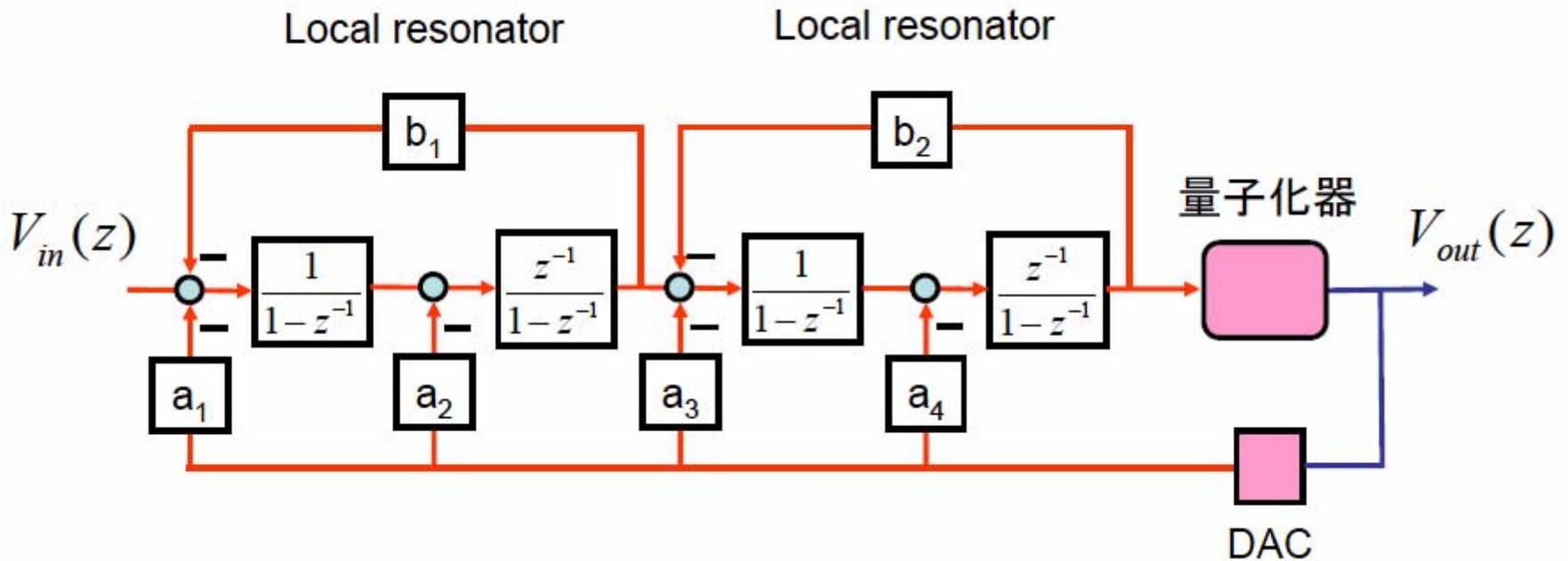


信号通過域において深い減衰特性が得られる

阪大 谷口教授より

ローカル共振回路

ゼロ点を分散させるために積分器に帰還をかける。

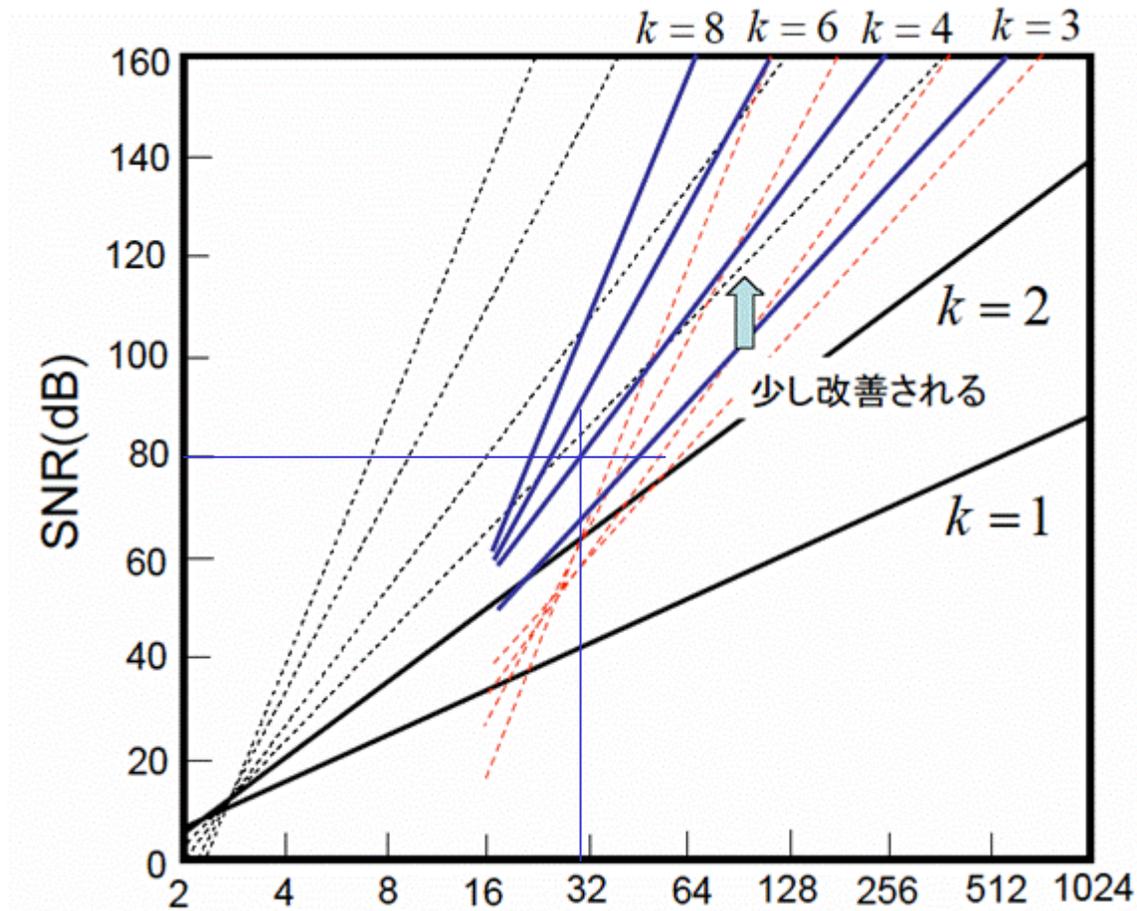


$$NTF : \frac{1}{1 + H(z)F(z)}$$

$H(z)$ の極はNTFのゼロになる

ゼロ点分散の効果

SNR=80dBにはM=32以上が必要



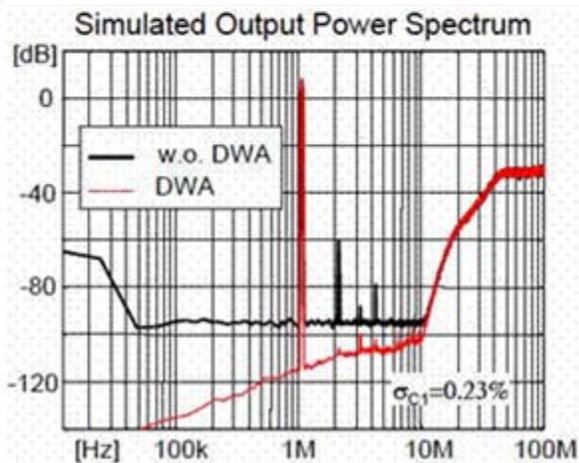
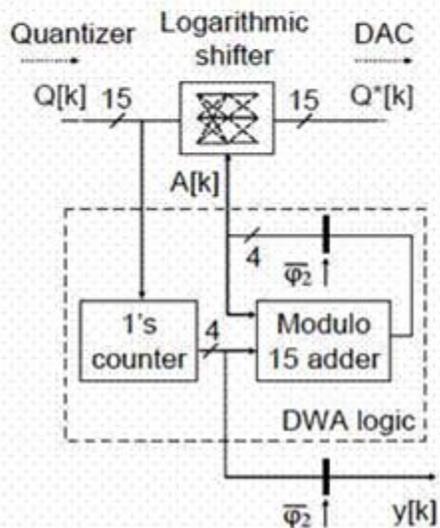
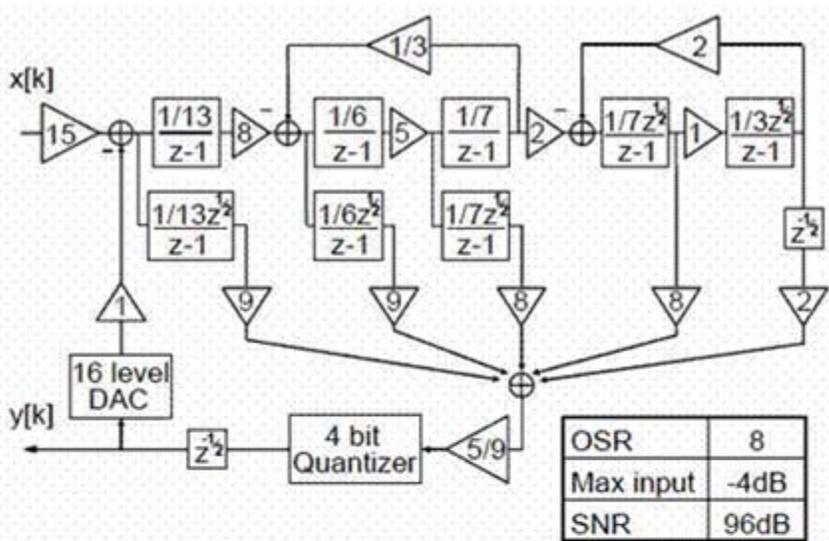
阪大 谷口教授より

広帯域・高精度 $\Sigma \Delta$ ADC

$\Sigma \Delta$ 変調を用いた最も広帯域なADC

10MHz帯域で80dBを達成している。

Sigma delta method with multi-bit quantizer and dynamic element matching technique realized 25MS/s, 80dB ADC.



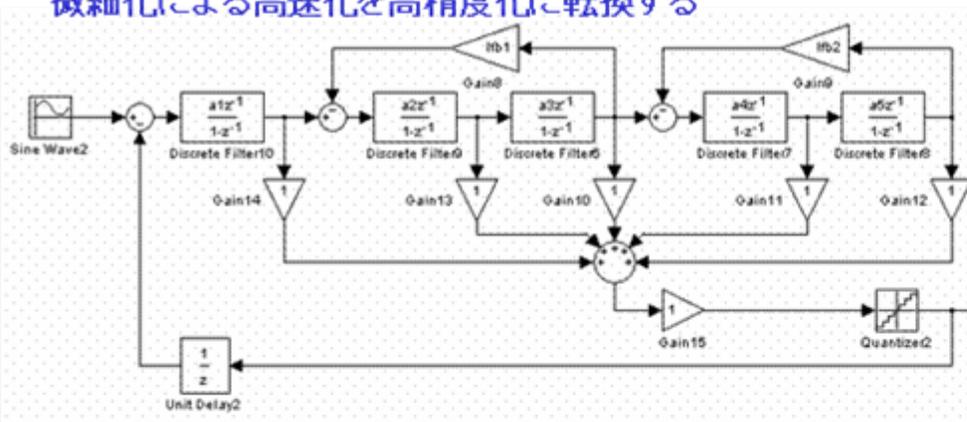
P. Balmelli, et al., ISSCC 2004

Conversion Rate	25MS/s
Sampling frequency	200MHz
Oversampling ratio	8
Dynamic range*	84dB (82dB)
Peak SNR*	82dB (80dB)
Peak SNDR*	72dB (70dB)
Input range	1.6V _{pp} (differential)
Power Consumption	200mW
Voltage Supply	1.8V
Process	0.18 μ m 1P6M CMOS
Core area	0.95mm ²
*Signal frequency at 2.5MHz and noise bandwidth based on main and optional (in brackets) symmetric spectral plans of VDSL.	

研究室で検討中の $\Sigma \Delta$ 型ADC

90nmを用いて500MHzで動作させることで帯域10MHzで80dBのSNR

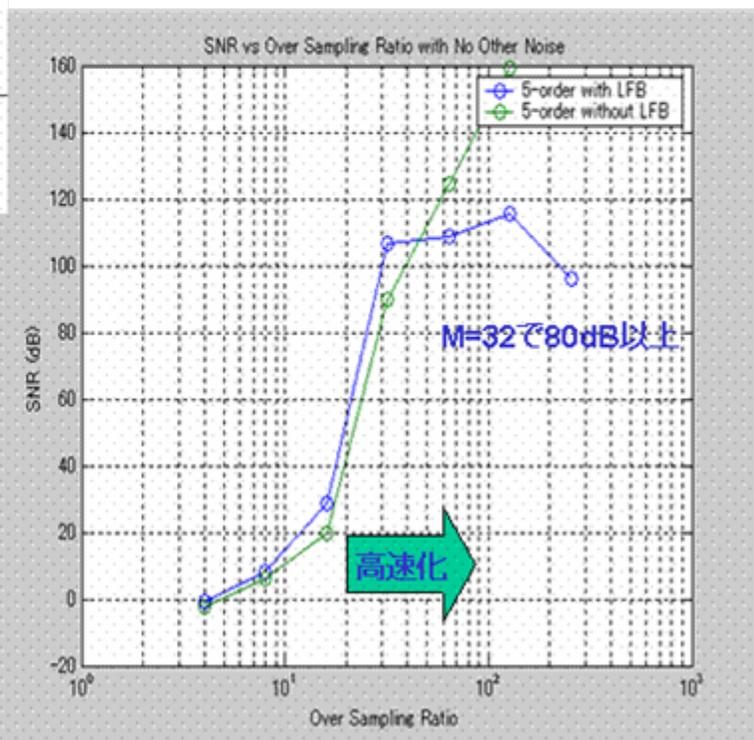
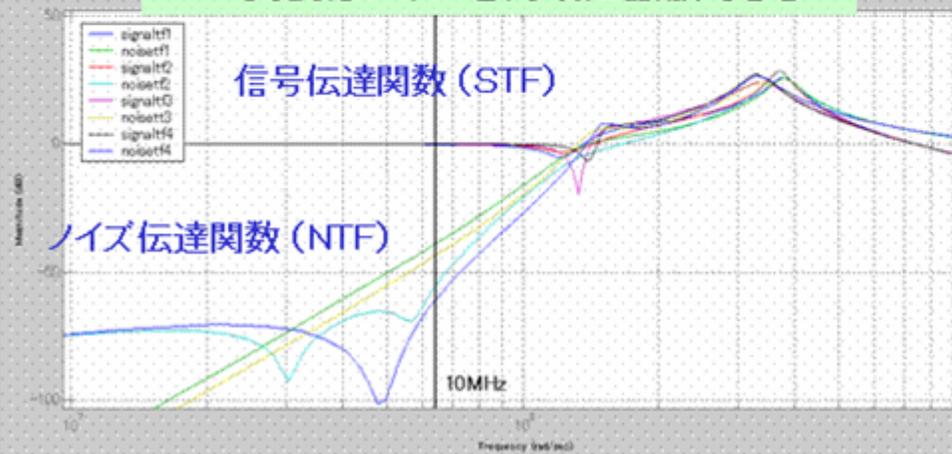
微細化による高速化を高精度化に転換する



5次の $\Sigma \Delta$ 型ADC

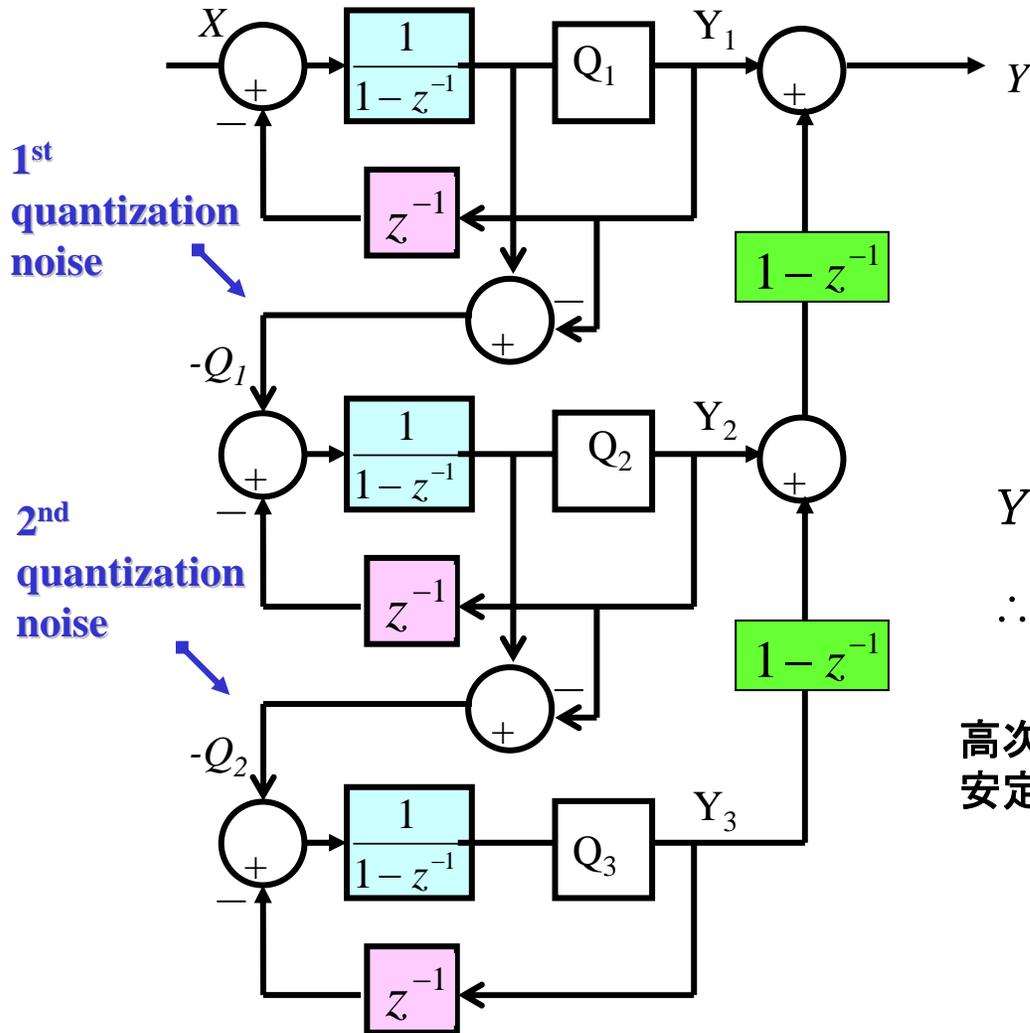
動作周波数/信号帯域を64倍
に取れば80dB以上のSNR
が得られる

$\Sigma \Delta$ 変調はノイズを高域に拡散できる



MASH (Multi-stage noise-shaping)

1次の $\Sigma\Delta$ 変調器をカスケードに接続することで高次のノイズシェーピングを実現



$$Y_1 = X + (1 - Z^{-1})Q_1$$

$$Y_2 = -Q_1 + (1 - Z^{-1})Q_2$$

$$Y_3 = -Q_2 + (1 - Z^{-1})Q_3$$

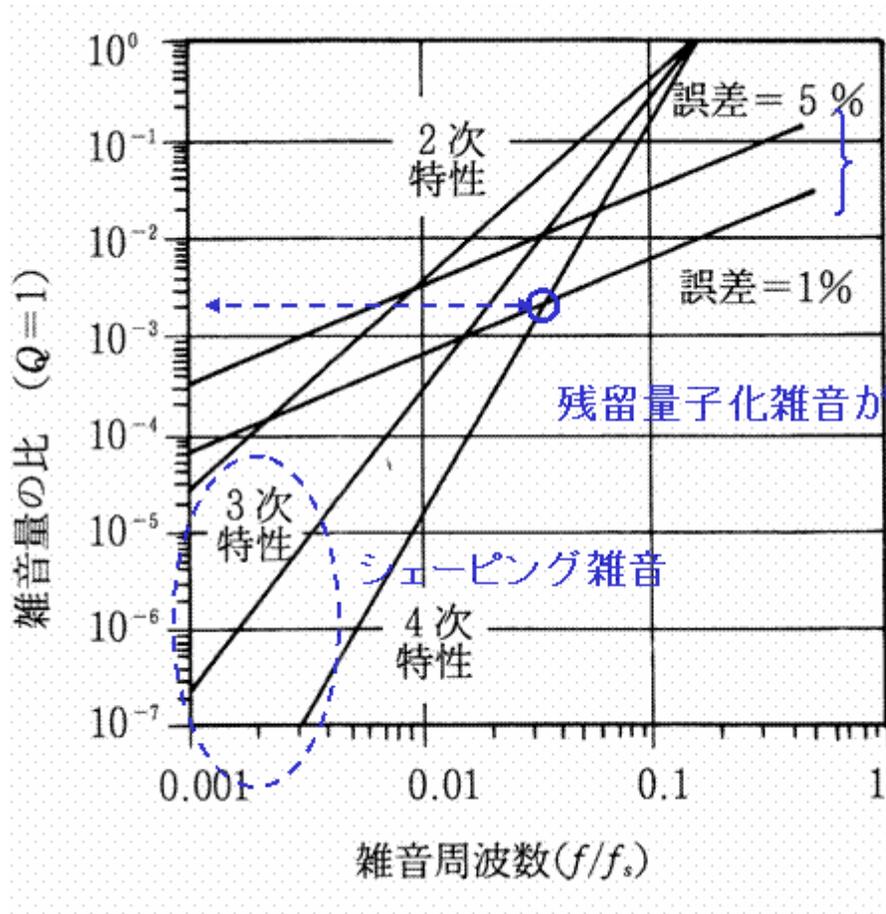
$$Y = Y_1 + (1 - Z^{-1})Y_2 + (1 - Z^{-1})^2 Y_3$$

$$\therefore Y = X + (1 - Z^{-1})^3 Q_3$$

高次のフィードバックを用いないので極めて安定である

素子ばらつきの効果

MASHは素子ばらつきに弱いため、初段に高次の変調器を配置することが多い。



1段目の残留
量子化雑音

残留量子化雑音が支配的

積分器の特性が以下のようにばらついた時

$$1\text{段目: } \frac{1-\Delta_1}{1-z^{-1}}, 2\text{段目: } \frac{1-\Delta_2}{1-z^{-1}}, k\text{段目: } \frac{1-\Delta_k}{1-z^{-1}}$$

$$Y \cong (1-\Delta_1)X + (\Delta_2 + \Delta_1 z^{-1})Q_1 \dots \\ + (\Delta_k + \Delta_{k-1})(1-z^{-1})^{k-2} Q_{k-1} + (1-z^{-1})^k Q_k$$

松谷康之 松澤昭 「CMOSアナログ設計技術」トリケプス

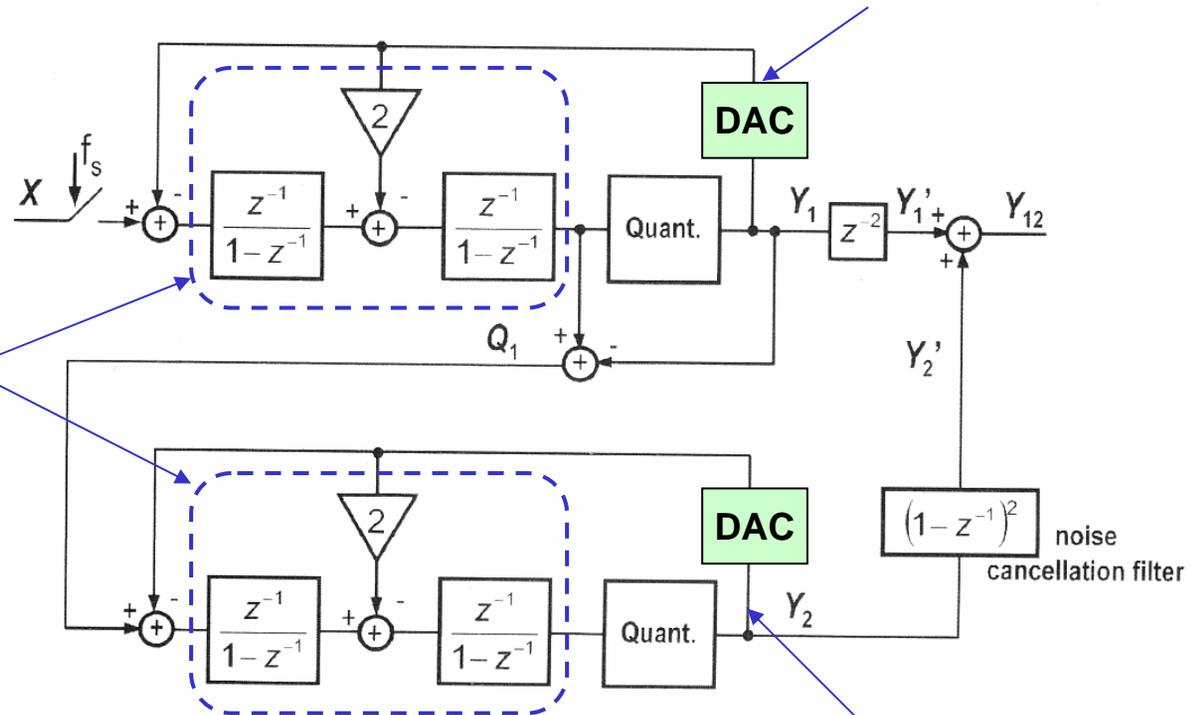
2-2 cascaded $\Sigma \Delta$ 型ADC

2-2 cascaded $\Sigma \Delta$ 型ADCも良く用いられる。

2次のフィードバックなので安定で、オーバーサンプリング率が低いところでは高いSNRが得られる。

ただし、初段の誤差に対してはノイズシェーピング効果が薄いため
80dB以上のダイナミックレンジは確保しにくい。

通常、1bitが用いられる
多ビットだと誤差を生じるため



通常、2次が用いられる
3次以上だと位相が回転し
不安定になるため

通常、3bit程度が用いられる
誤差を生じても影響が少ないため

必要な容量値

KT/Cノイズは殆ど初段で決まり、オーバーサンプル比だけ減少する。
GSMのようにDR=80dBも必要とする場合はオーバーサンプリング比率が高くともかなりの大きさの容量を必要とする。

各段のノイズ電力とその寄与

$$P_{N,tot} = PN_1 \frac{1}{M} + PN_2 \frac{\pi^2}{3A_2^2 M^3} + PN_3 \frac{\pi^4}{5A_3^2 M^5} + PN_4 \frac{\pi^6}{7A_4^2 M^7}$$

A: 入力端からそのステージまでの利得

Noise Budget and Capacitor Sizing of Integrators

Noise Budget Capacitor Sizing	Integrator I	Integrator II	Integrator III	Integrator IV
GSM (15bits, 95dB)	50uVrms	177uVrms	1mVrms	3mVrms
Capacitor Sizes	3.2pF	0.5pF	0.024pF	0.002pF
DECT (12bits, 75dB)	100uVrms	177uVrms	400uVrms	1mVrms
Capacitor Sizes	0.8pF	0.5pF	0.15pF	0.016pF
WCDMA (7bits, 48dB)	560uVrms	560uVrms	560uVrms	560uVrms
Capacitor Sizes	0.025pF	0.05pF	0.076pF	0.05pF

開発例

0.35um CMOS, Pd=16.8mW, 3V supply
SNR=81dB, SNDR=80dB for DCS1800 (GSM)

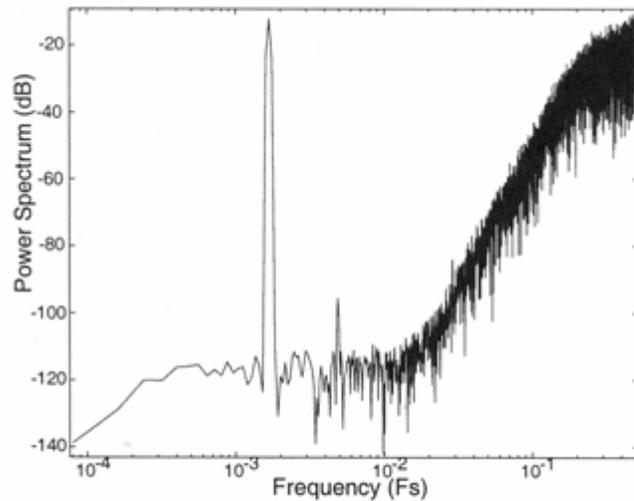


Figure 6.18. DCS1800 Mode Output Spectrum: $f_{in} = 25\text{KHz}$, $f_s = 12.8\text{MHz}$, Input Amplitude 1Vpp

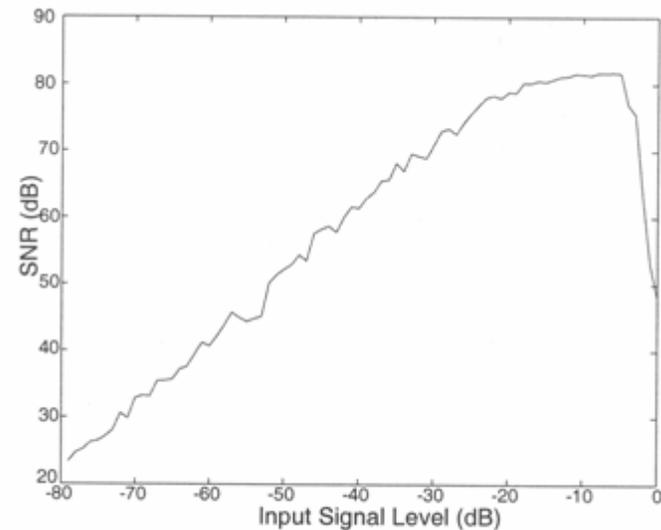
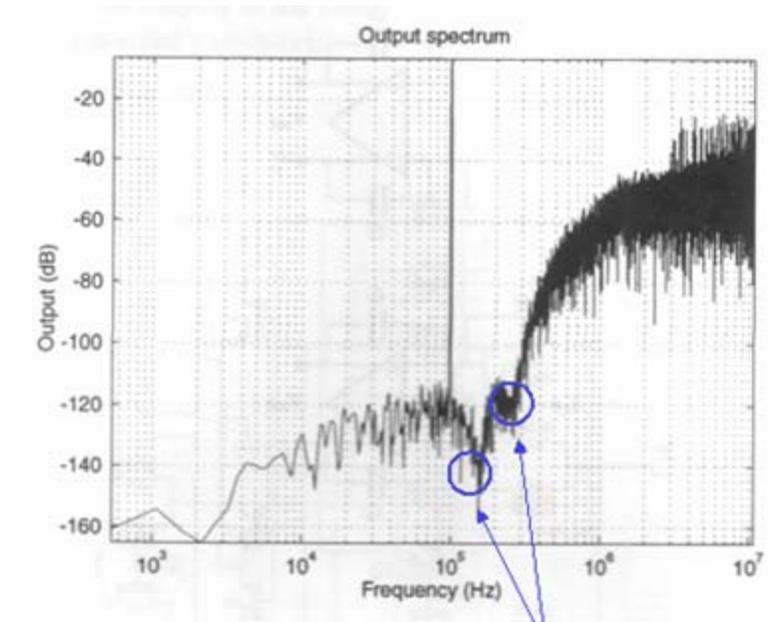
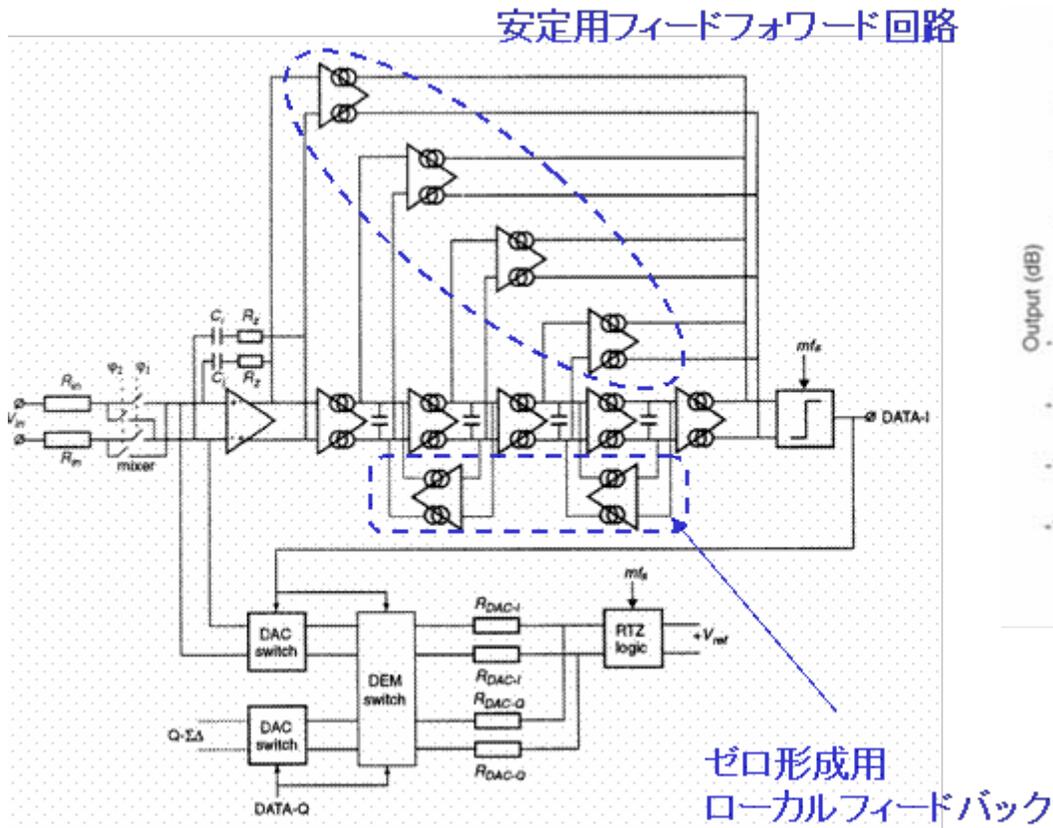


Figure 6.19. DCS1800 Mode SNR versus Input Amplitude: $f_{in} = 25\text{KHz}$, $f_s = 12.8\text{MHz}$

CT型 $\Sigma \Delta$ ADC

最近はワイアレスシステムにおいてIF信号を直接ADCするなどの目的でCTフィルターを用いた $\Sigma \Delta$ 型ADCが盛んに開発されている。

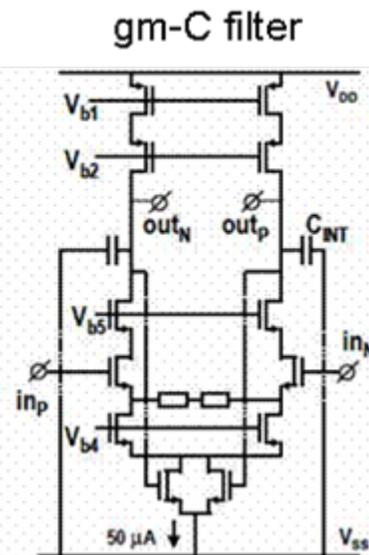
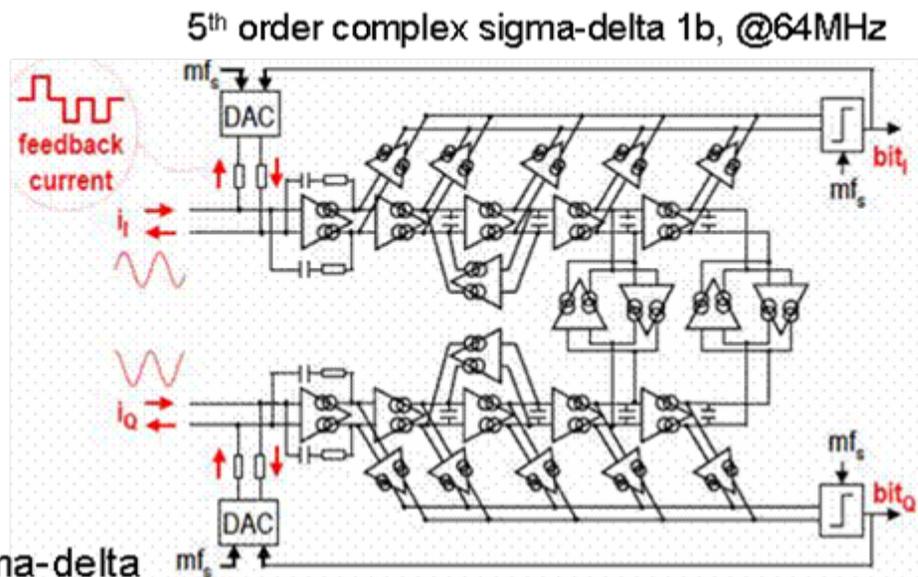
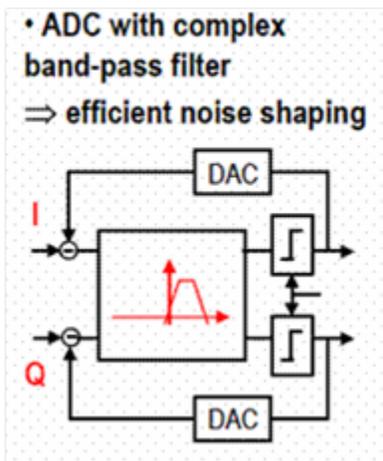
SCFを用いたものに比べて広帯域化が容易で消費電力も少ないが、ジッターに弱く実用上は課題が多いと言われている。



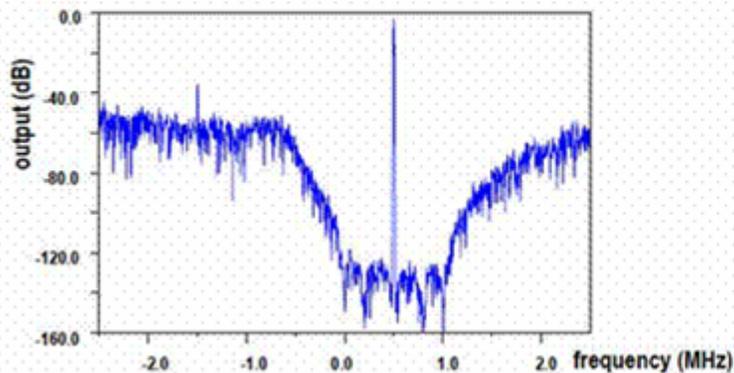
L. Breems and J.H. Huijsing, "Continuous-time sigma-delta modulation for A/D conversion in radio Receivers" Kluwer

複素フィルタを用いた $\Sigma \Delta$ ADC

複素フィルターを用いた $\Sigma \Delta$ ADC も開発されている。



Complex band-pass sigma-delta



Input signal	0 - 1 MHz, 35 μ A _{rms} (differential, per channel)
Sampling frequency (mf_s)	64 MHz
Dynamic range	76 dB
SINAD	75.5 dB
IM3-distortion	< -82 dBc
Aliasing spurious	< -75 dB
Power consumption	4.4 mW (@1.8 V)
Chip area	0.22 mm ²
Technology	0.18 μ m, 1PS, 5Me, CMOS

K. Philips, ISSCC 2003

1.2V Dual-mode WCDMA/GPRS $\Sigma \Delta$ Modulator

GPRS: 82dB, WCDMA: 70dBを達成した

0.13umCMOS, 1.2V動作で消費電力は約3mW

A. Dezzani, E. Andre, ISSCC 2003, 3.3, pp.58

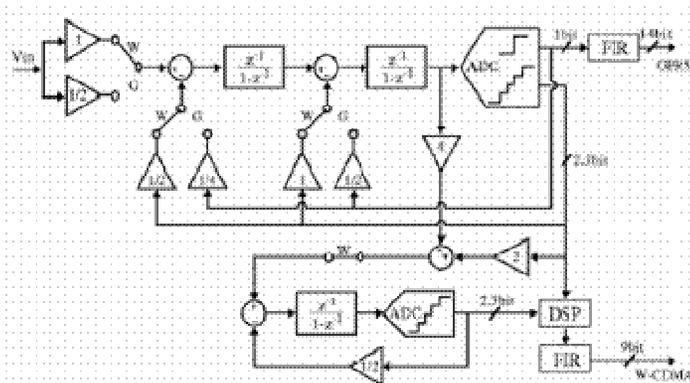
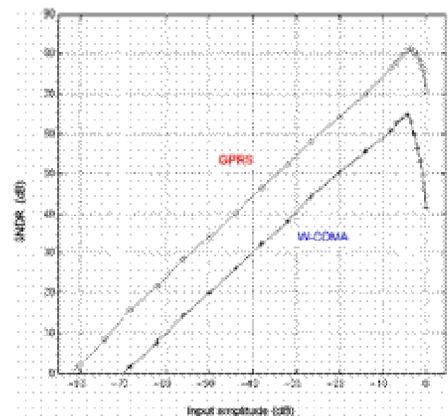
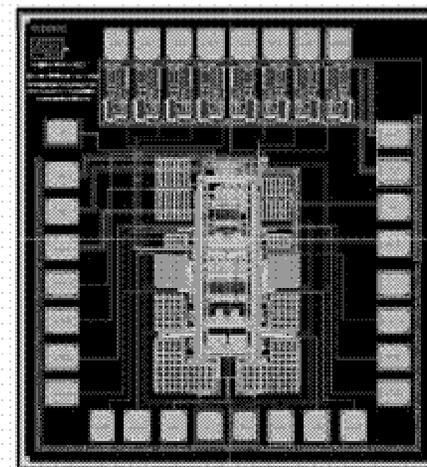


Figure 3.3.1: WCDMA/GPRS modulator architecture



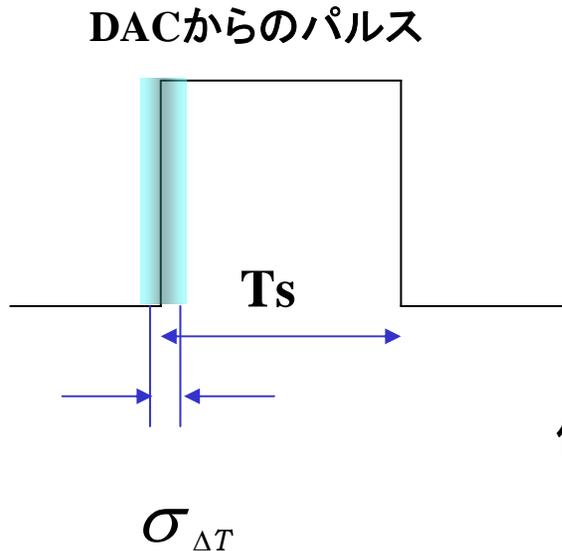
	GPRS	W-CDMA
Technology	0.13 um – std. CMOS	
Core area	0.2 mm ²	
Supply voltage	1.2 V (+/- 10%)	
Signal bandwidth	100 KHz	1.92 MHz
Clock frequency	39 MHz	38.4 MHz
Power consumption	2.4 mW*	4.3 mW
Dynamic range	82 dB	70 dB
Peak SNDR (ENOB)	81 dB (13bits)	64 dB (10bits)

* Estimated consumption, with power-down circuitry



ジッタの影響

CT型では積分時間の影響により大きなSNR劣化を招く。
DT型はサンプリングジッタのみである。



$$SNR_{-limit} \approx 10 \log \left(\frac{1}{8Mf_{bw}^2 \sigma_{\Delta T}^2} \right)$$

例えば、 $SNR=85\text{dB}$, $M=32$, $f_{bw}=1.25\text{MHz}$, 2.8ps
 $f_{bw}=12.5\text{MHz}$, 0.028ps

まとめ

- ・ ADCのニーズ
 - マルチスタンダードに適応可能であること
- ・ ADCの方式
 - 帯域数MHzまでは $\Sigma \Delta$ 型で80dB程度は可能
 - 帯域が数MHzを超えるとパイプライン型
 - パイプライン型の場合12bit程度までが妥当
14ビットは消費電力が大きくなりすぎる
- ・ 微細化への対応
 - 速度と分解能に応じて適切なデザインルールが存在
 - 微細化・低電圧化においては高速・低分解能(10bit以下)が妥当。高分解能ではI/Oトランジスタが有効と思われる。