

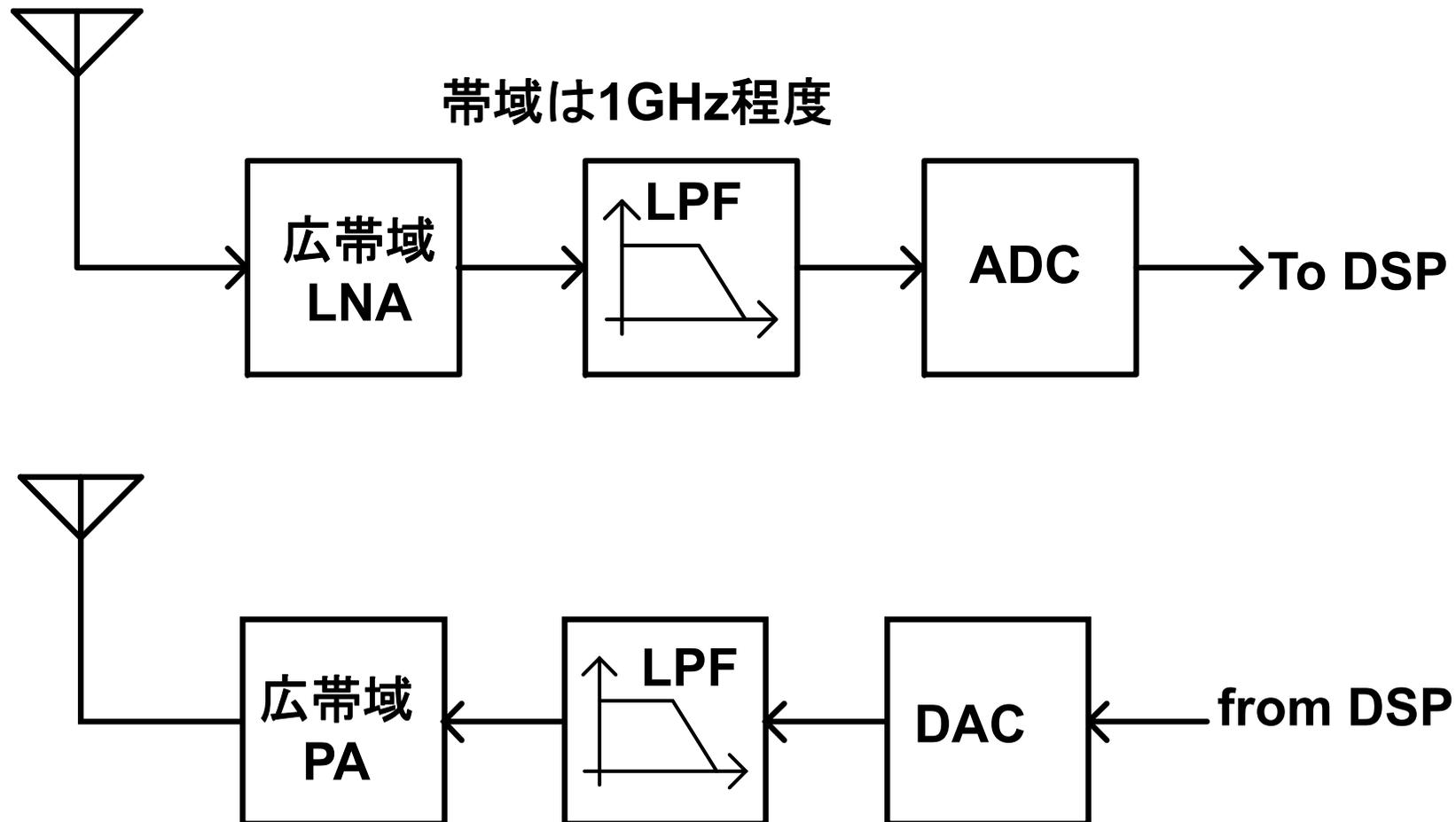
ソフトウェア無線に向けた A/D変換技術

東京工業大学

松澤 昭

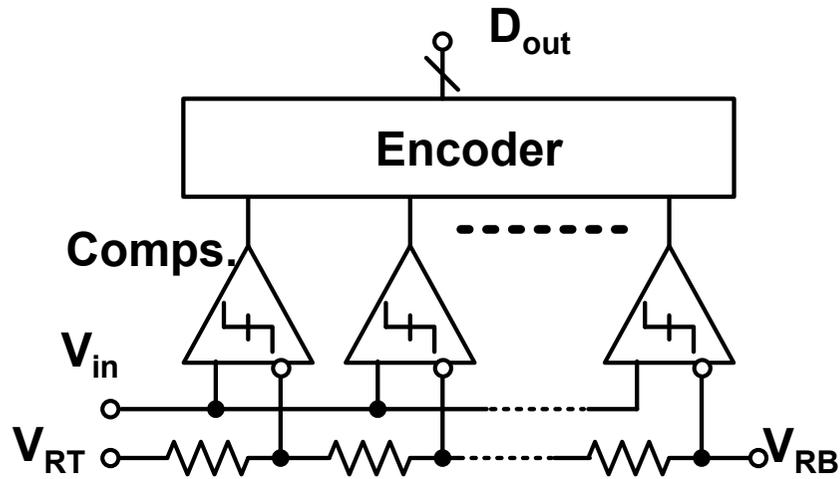
- ソフトウェア無線を実現するADC
- ディペンダブル 12bit SAR ADCの開発
- 時間領域処理を用いた7bit 2.2GSps ADC
- レイアウトドリブン設計とプログラマブルアナログ回路技術

最も単純なソフトウェア無線システム構成はミキサなどの周波数変換を行わず，広帯域ADC, DACを使用し，DSPで全ての信号処理を行うものである。こんなことができるのか？

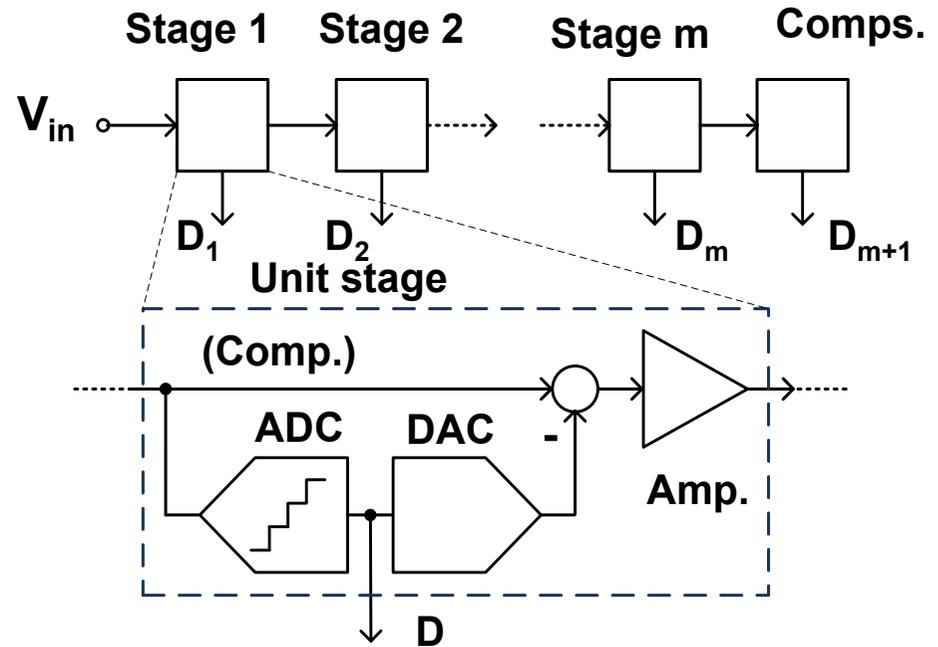


ADCの変換方式

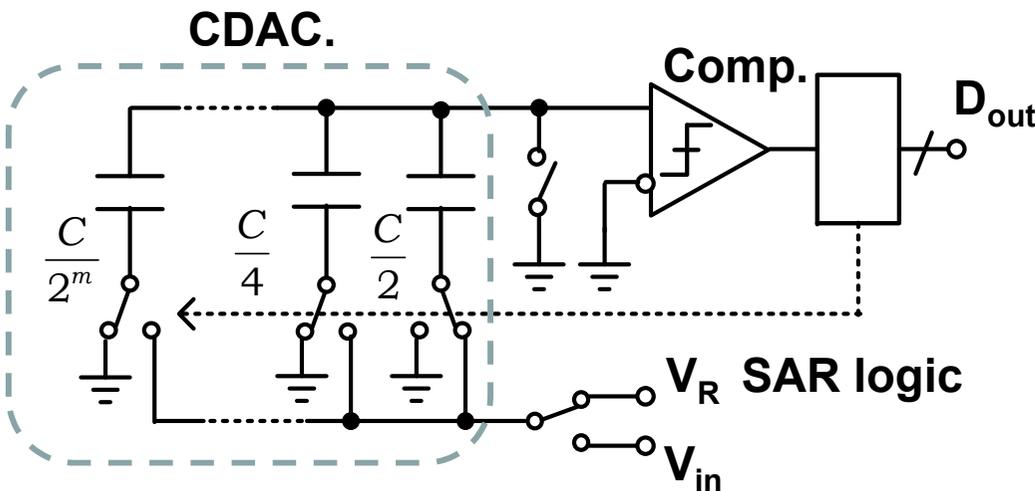
Flash, SAR, パイプライン, $\Delta\Sigma$ が主要なアーキテクチャである



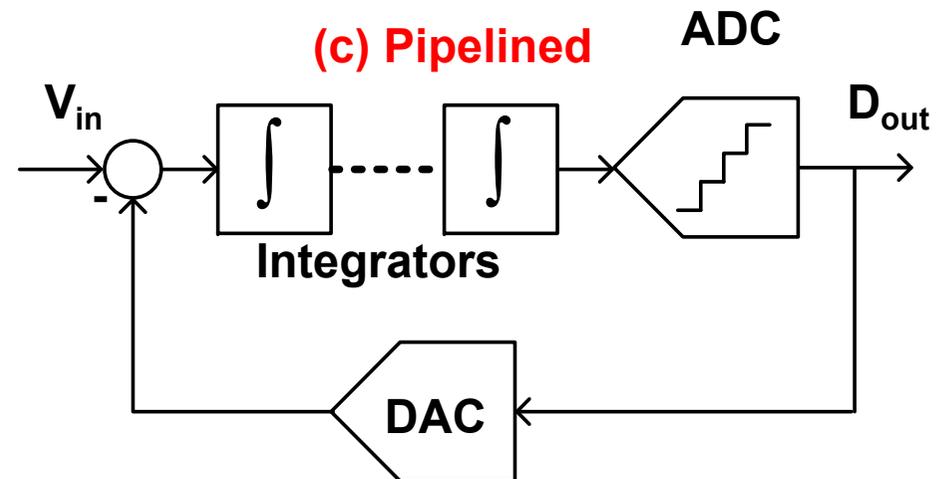
(a) Flash



(c) Pipelined



(b) SAR

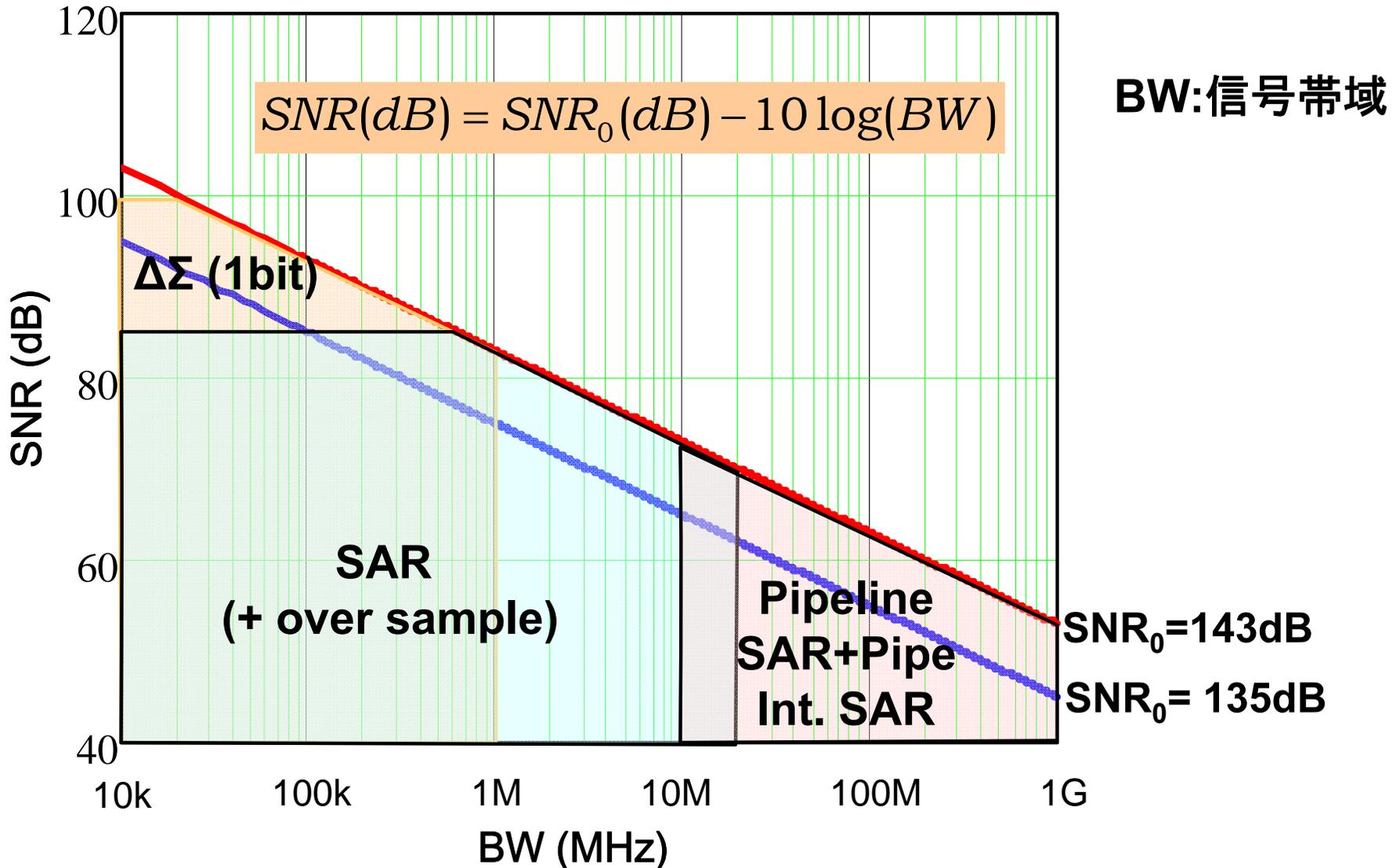


(d) Sigma-Delta

信号帯域とADCの変換方式

SNRが84dB以上(上限は100dB程度)の場合は $\Delta\Sigma$ 型ADC

信号帯域が20MHz以上でSNRが40dB以上の場合はPipe, SAR Pipe, Int. SAR
それ以外の領域ではSAR ADCが汎用的に使用できる



ADCの開発傾向：SNDRと変換速度

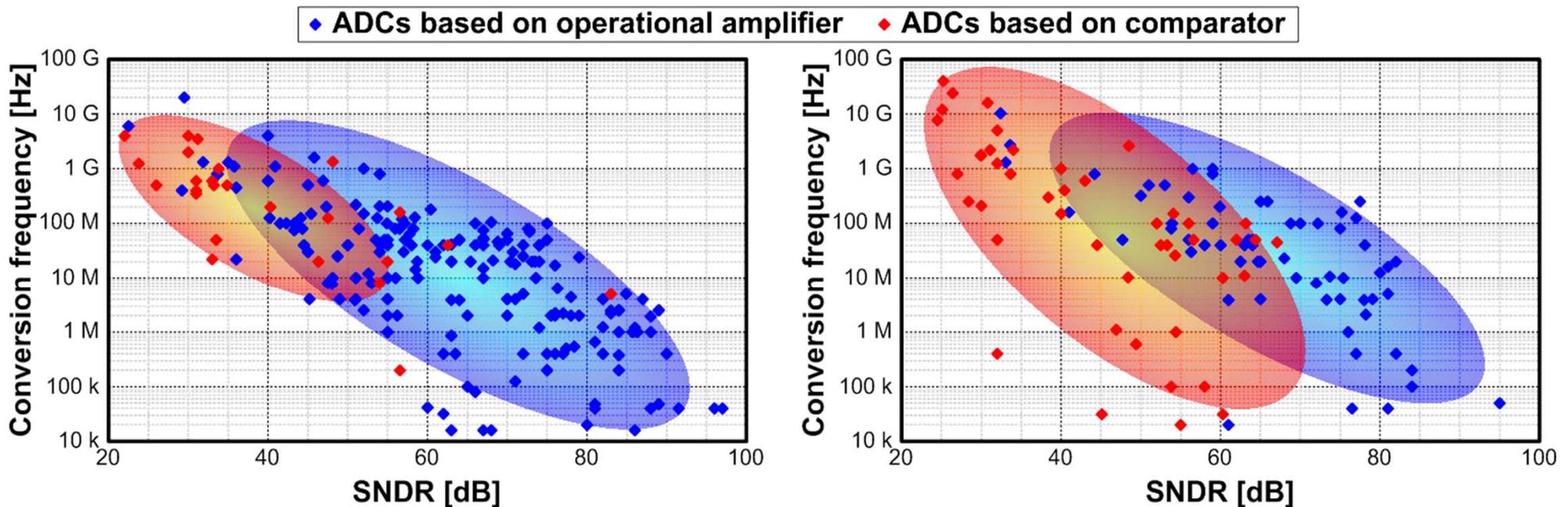
ここ数年のADC開発はSNDR 60dB以下で高速化が図られ
SNDR (有効ビット)の向上は停滞している

SNDR 70 dB以下の領域

FoMは消費電力で制限されて比較器ベースの SAR ADC

SNDR 70 dB以上の領域

FoMは熱雑音で制限されてオペアンプベースの $\Delta\Sigma$ 型ADC

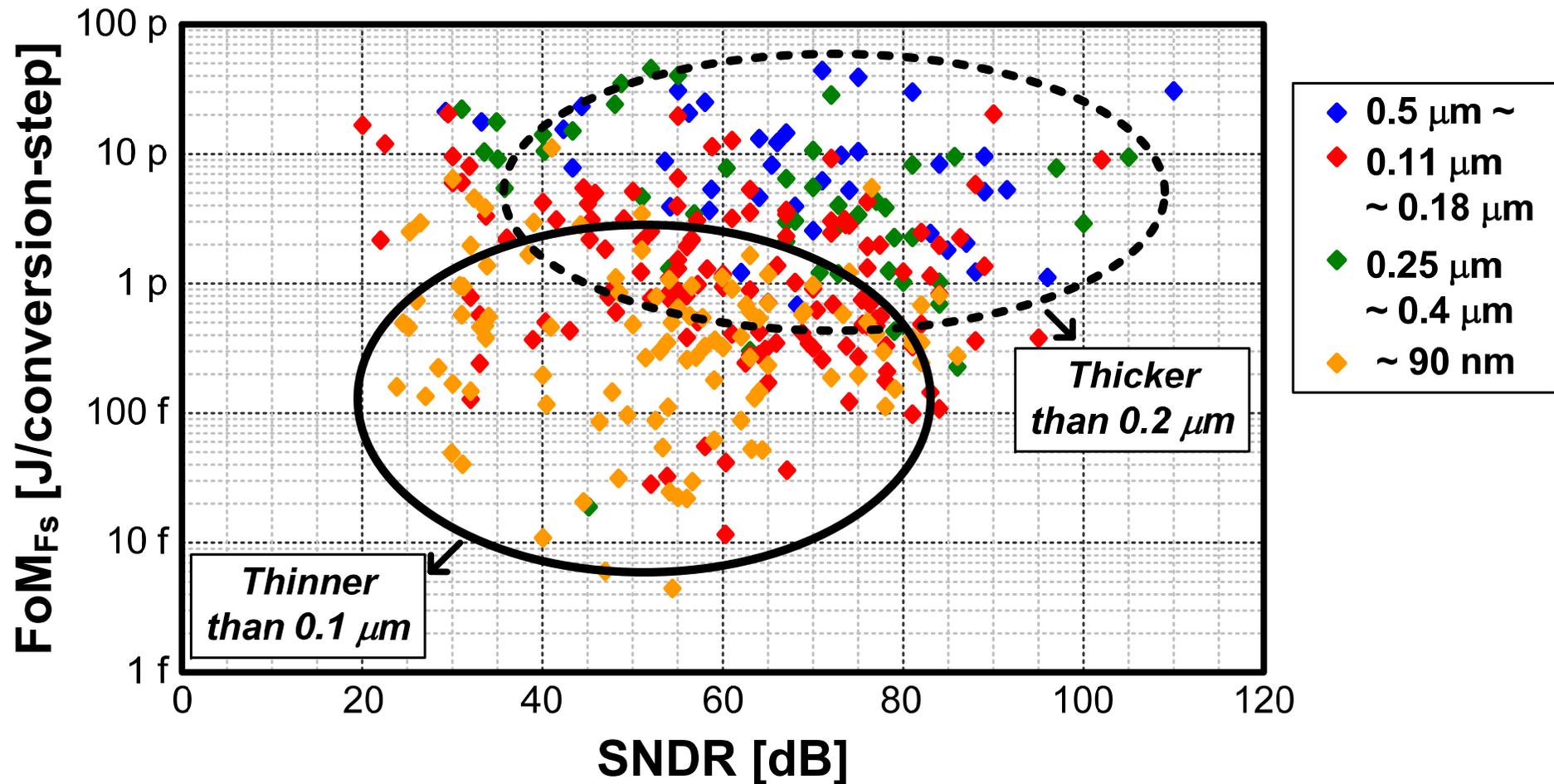


(a) ISSCC and VLSI 1997-2007

(b) ISSCC and VLSI 2008-2011

B. Murmann, "ADC Performance Survey 1997-2011," [Online].

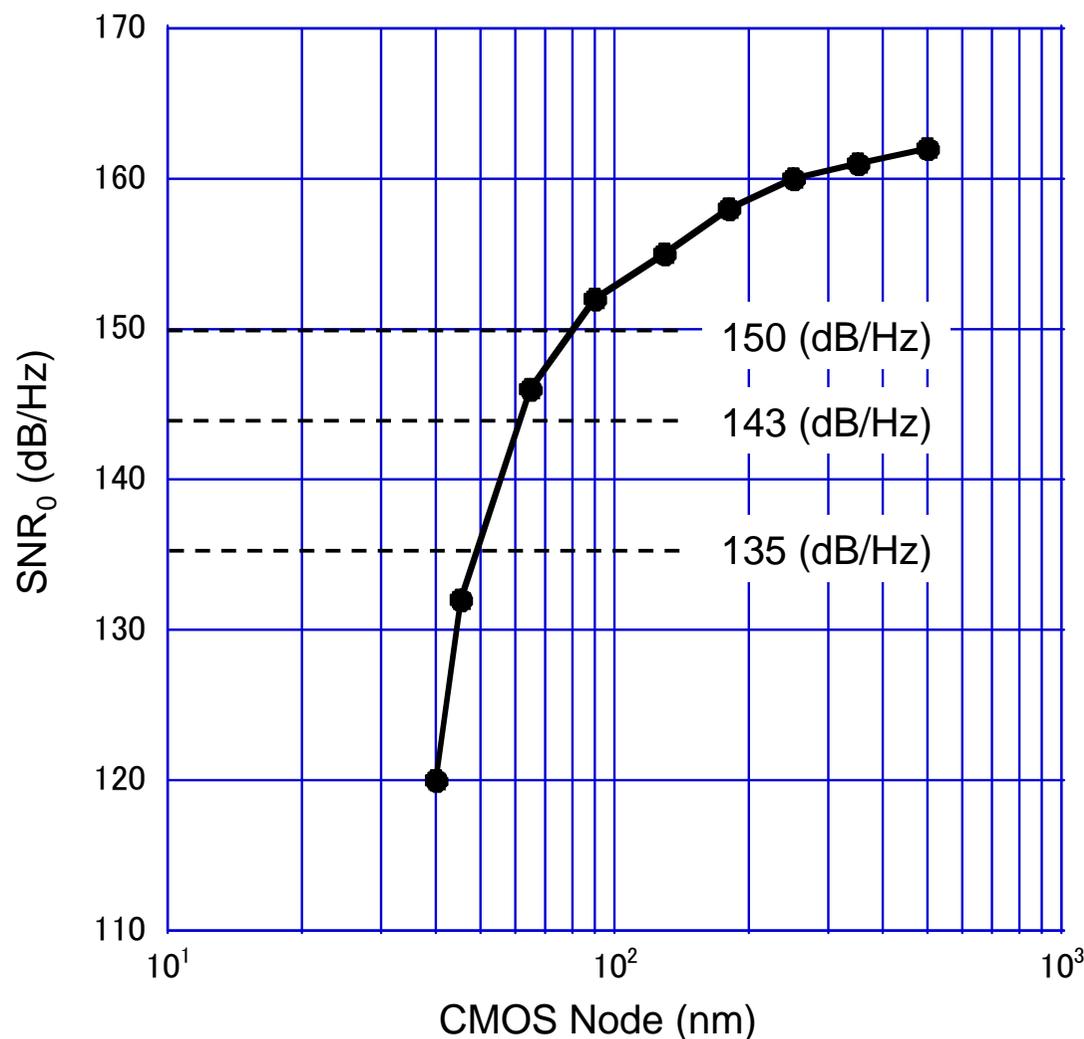
FoM(動作エネルギー)の減少は微細化が寄与している。
ただし、高SNDRにおいてはさほど寄与していない。



B. Murmann, "ADC Performance Survey 1997-2011," [Online].

高いSNRを実現するには緩いデザインルールが必要である。

$$SNR(dB) = SNR_0(dB) - 10 \log(BW)$$



BW:信号帯域

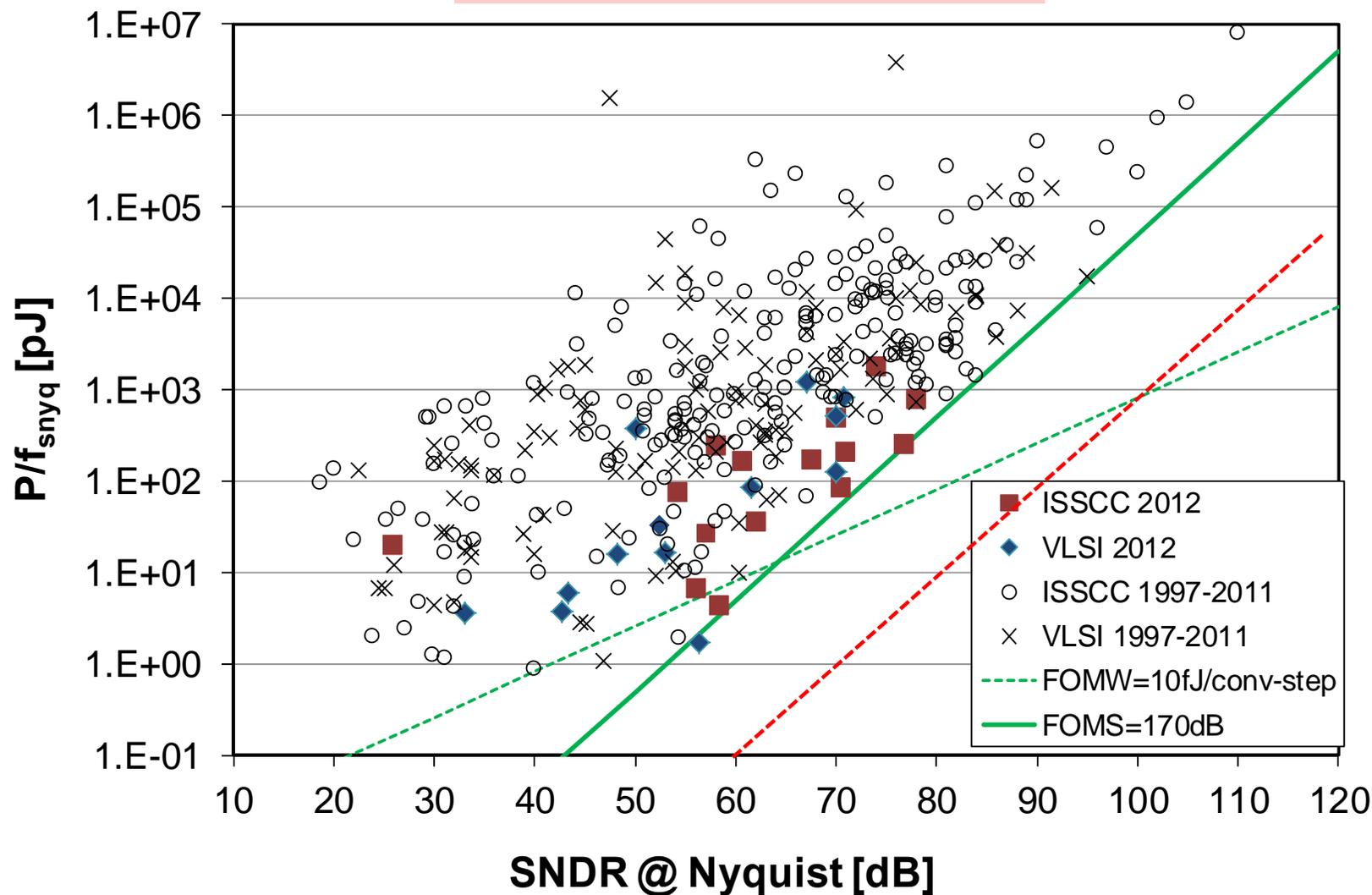
Jonsson, B., ICECS 2010.

ADCの開発傾向：SNDRと P_d/f_s

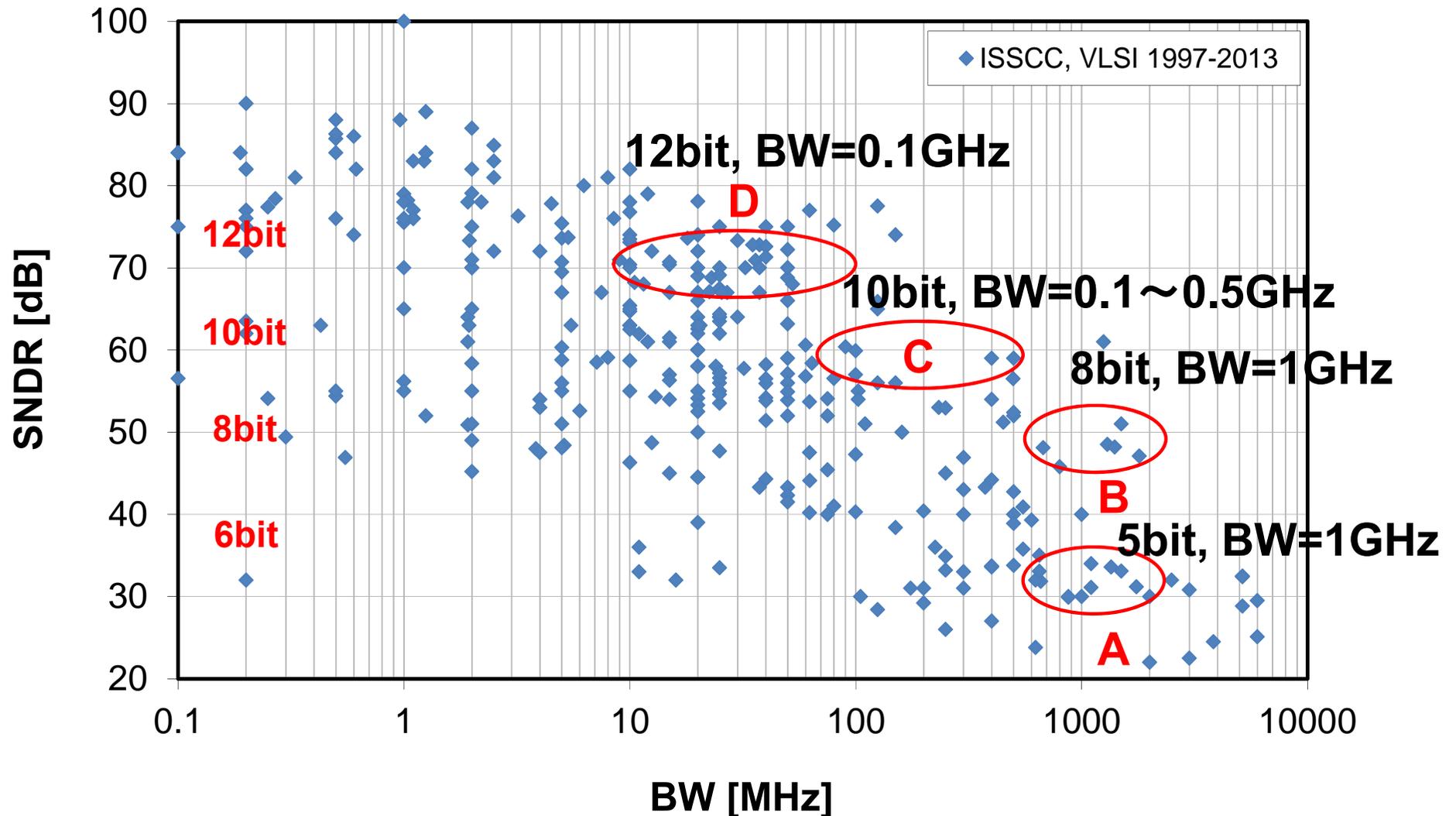
SNDRと変換エネルギーは比例する。現状は理論限界に迫っている。

理論限界

$$E_{ADC} = N \times 2^{2N} \times 10^{-19}$$

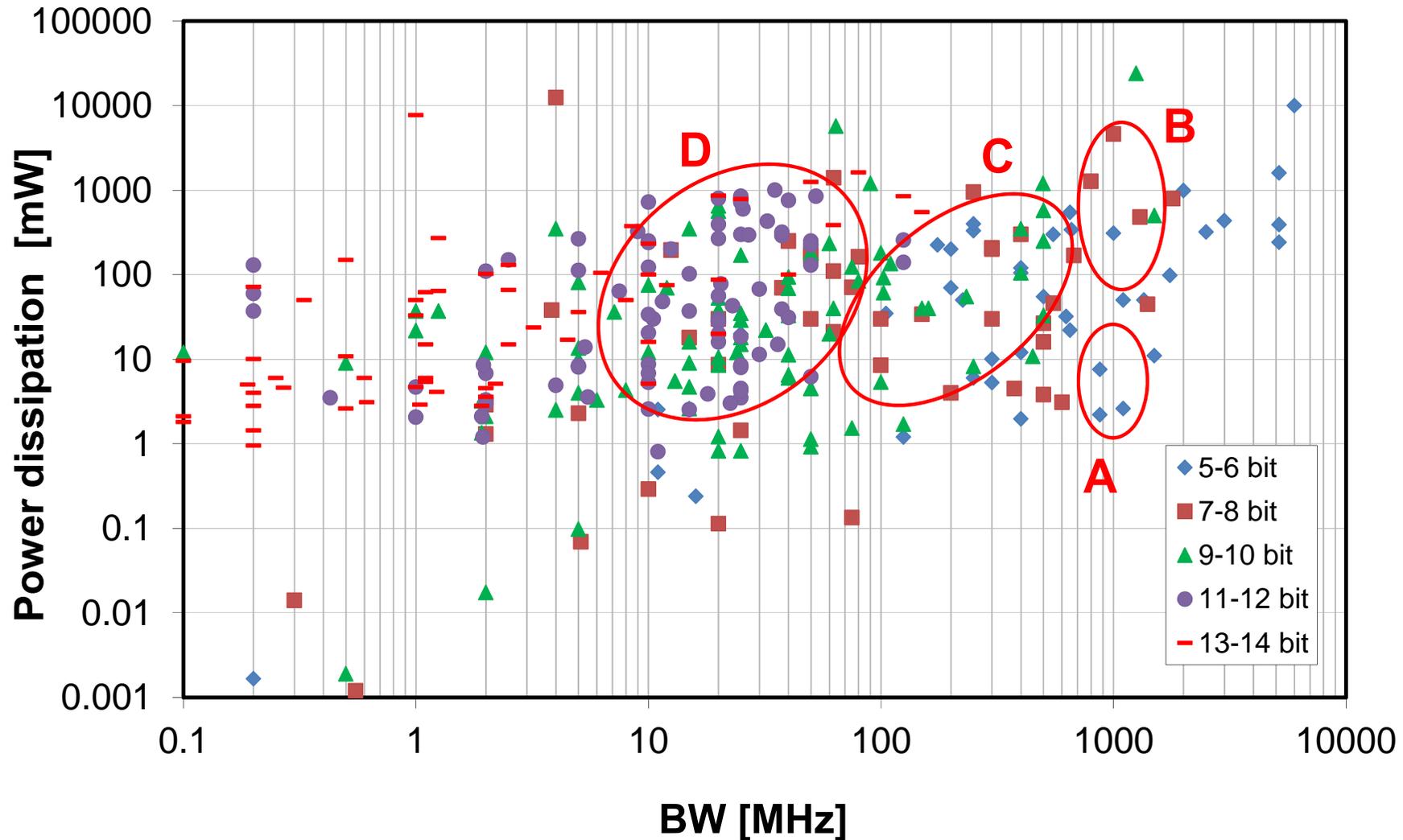


帯域1GHzではSNDRは最大50dB程度, 500MHzで60dB,
100MHzで70dB



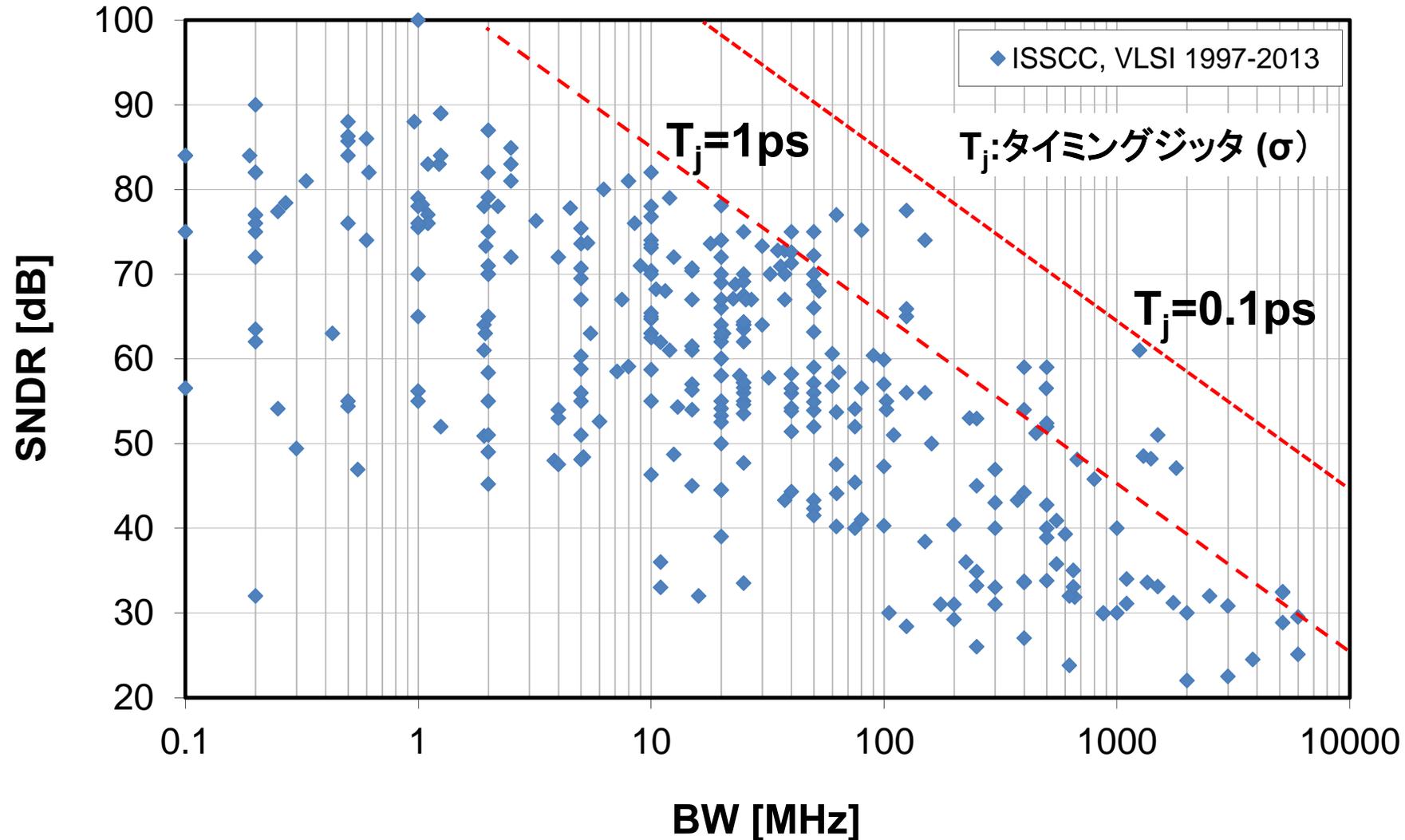
ADCの信号帯域と消費電力

帯域1GHzでは、50dB程度では数W、30dBだと数mW。
帯域500MHzで60dB，数10mW。帯域40MHzで70dB，数10mW。



ADCのジッタの影響

1GHzもの広帯域信号ではサンプリングジッタの影響が顕著、
70dBの達成には0.1ps以下のジッタが不可欠。



通常のLC VCOを用いたPLLのジッタは0.2ps~0.8psで消費電力は数10mW。最近, サブサンプリング技術を用いた0.15psで10mW程度のPLLが開発された。

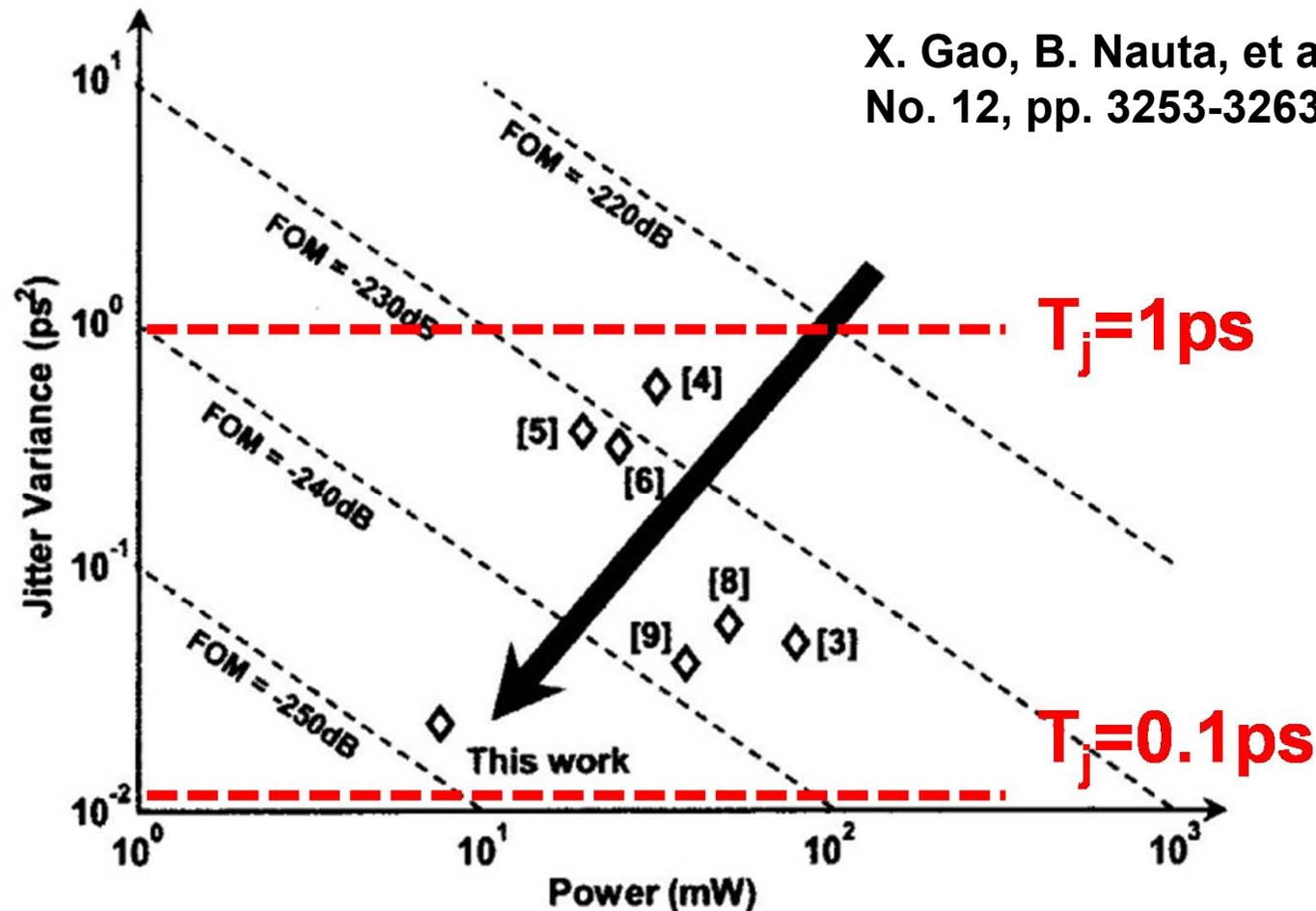


Fig. 17. Jitter and power comparison between this work and the classical PLLs.

0.1psのジッタはクロックの引き回し, SoC搭載時のノイズを考えると困難である。

TABLE I
PLL PERFORMANCE AND COMPARISON

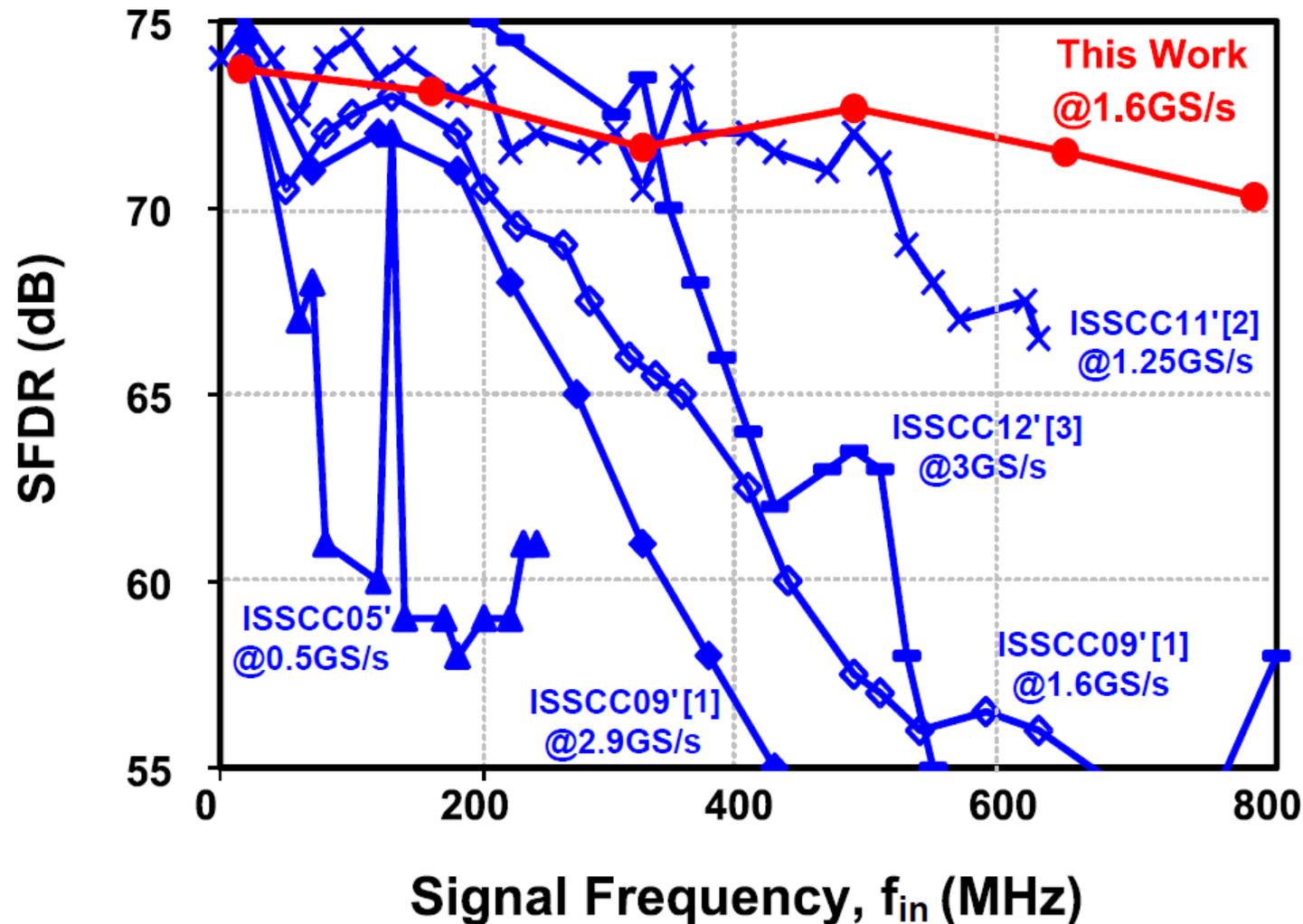
	This Work	[9]*	[7]	[6]	[5]	[3]
Output Freq. (GHz)	2.21	3.67	20	3.125	2.4	10
Reference Freq. (MHz)	55.25	50	78	62.5	25	2500
In-band Phase Noise	-126@200kHz	-108@400kHz	-81@60kHz	-108@100kHz	-108@1MHz	-109@600kHz
Normalized In-band Phase Noise (dBc/Hz ²)	-235@200kHz	-222@400kHz	-207@60kHz	-220@100kHz	-218@1MHz	-215@600kHz
Power (mW)	7.6	39	22.5	25	19.5	81
RMS Jitter (ps)	0.15 (10k-40M)	0.2 (1k-40M)	?	0.56 (1k-50M)	0.6 (10k-40M)	0.22 (10k-20M)
Active Area (mm ²)	0.18	0.95	0.6	0.43	0.70	0.71
Technology (μm)	0.18	0.13	0.13	0.13	0.12	0.18

* It is a fractional-N PLL

X. Gao, B. Nauta, et al., JSC. Vol.44.
No. 12, pp. 3253-3263, Dec. 2009.

基準を70dB以上のSFDRとすると、これまでは500MHz程度の帯域であったが、最近では1GHzに迫っている。

ISSCC2013, Session 26.7, Wei-Te Lin, et al.



DACの性能比較

DACは期待できる性能が実現されている

	This Work	ISSCC 2012	ISSCC 2011	ISSCC 2009	
Resolution, N	12	14	12	12	
CMOS Process	40nm	0.18 μ m	90nm	65nm	
Supply (V)	1.2	1.8 / 3	1.2 / 2.5	1 / 2.5	
f_{clk} (GS/s)	1.6	3	1.25	1.6	2.9
I_{load} (mA)	16	20	16	50	
Power (mW)	40	<600 ^a	128	-	188
$BW_{70\text{dB}}$ (MHz)	800	350	500	225	200
$V_{\text{swing,pp}}$ (V)	0.8	1	0.8	2.5	
Area (mm ²)	0.016	4	0.825	0.31	
SFDR _{Best} (dB)	74.0	84.0	75.0	74.0	74.5
SFDR _{Worst} (dB)	70.3	52.0	66.0	52.5	-

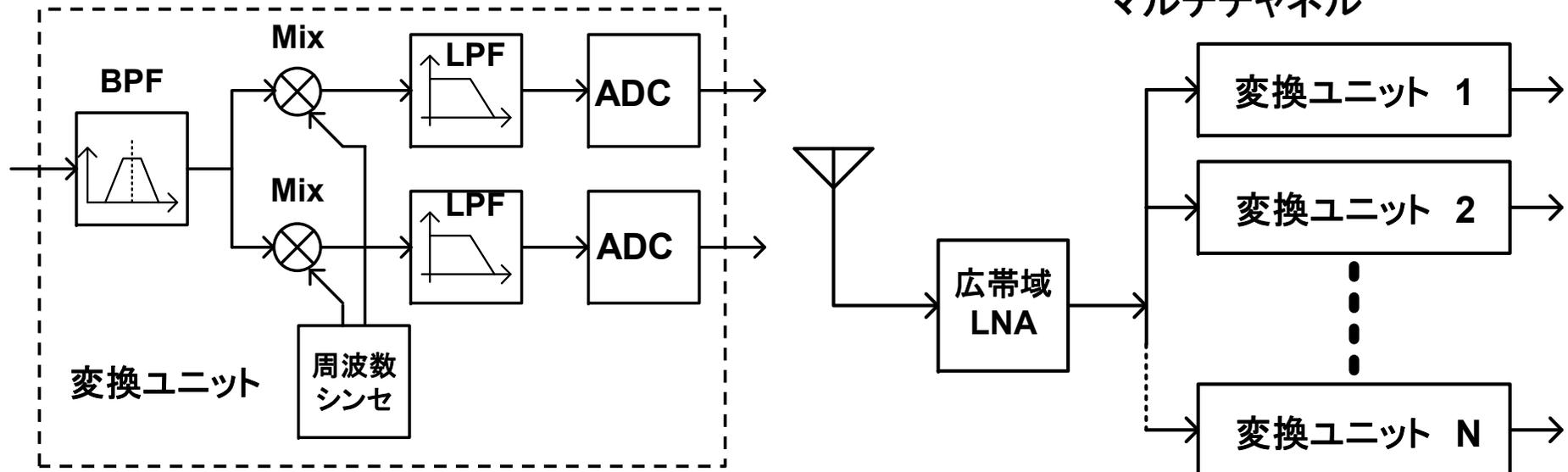
^a 600mW@5GHz

帯域を制限し、マルチチャンネル化を図る方法もあるが、システムが複雑になりすぎるのではないか

シングルチャンネル



マルチチャンネル



- 受信部

- 広帯域LNA, 広帯域フィルタは実現可能
- ADC: 以下が携帯端末で使用可能
 - BW=1GHz, SNDR=40dB (6.5bit) で数10mW
 - BW=500MHz, SNDR=60dB (10bit) で数10mW
 - BW=40MHz SNDR=70dB (12bit) で数10mW
- PLL: 0.1psジッタが必要
- マルチチャネル化: 課題多し

- 送信部

- DACを含め実現可能

- 今後の課題

- 仕様の明確化とシステムの妥当性検討
 - SFDR, 消費電力, 出力電力, 妨害波と受信波レベルとBERなど

ディペンダブル 12bit SAR ADCの開発

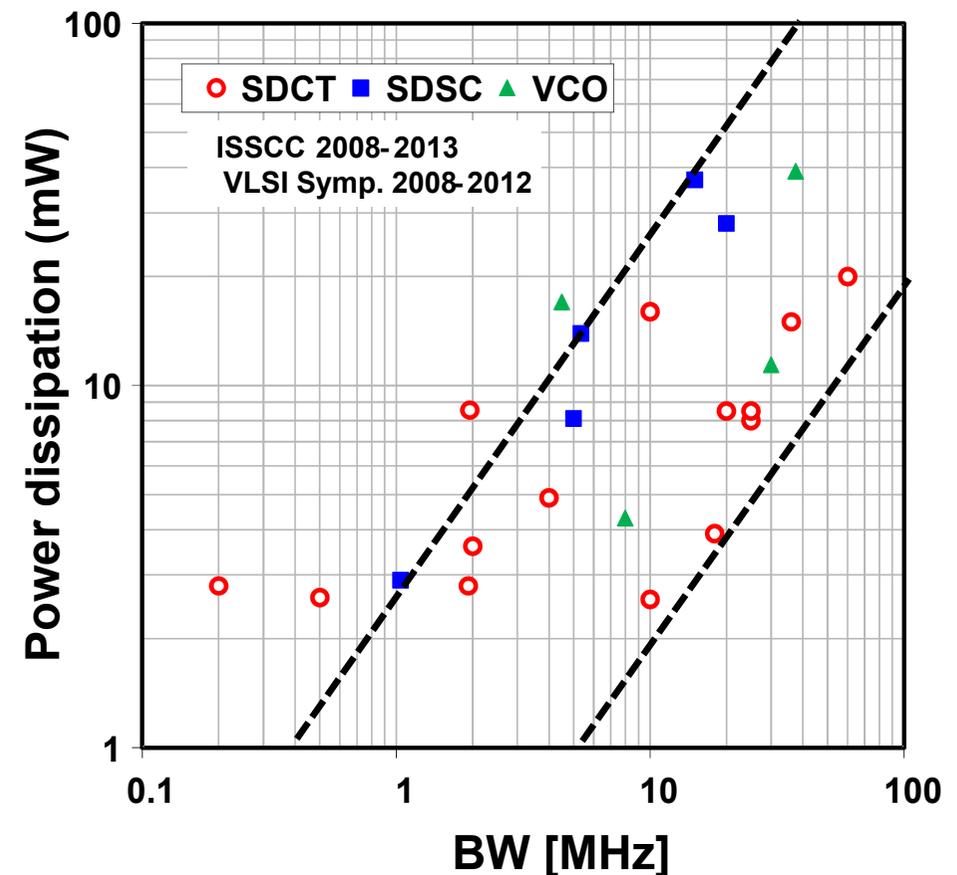
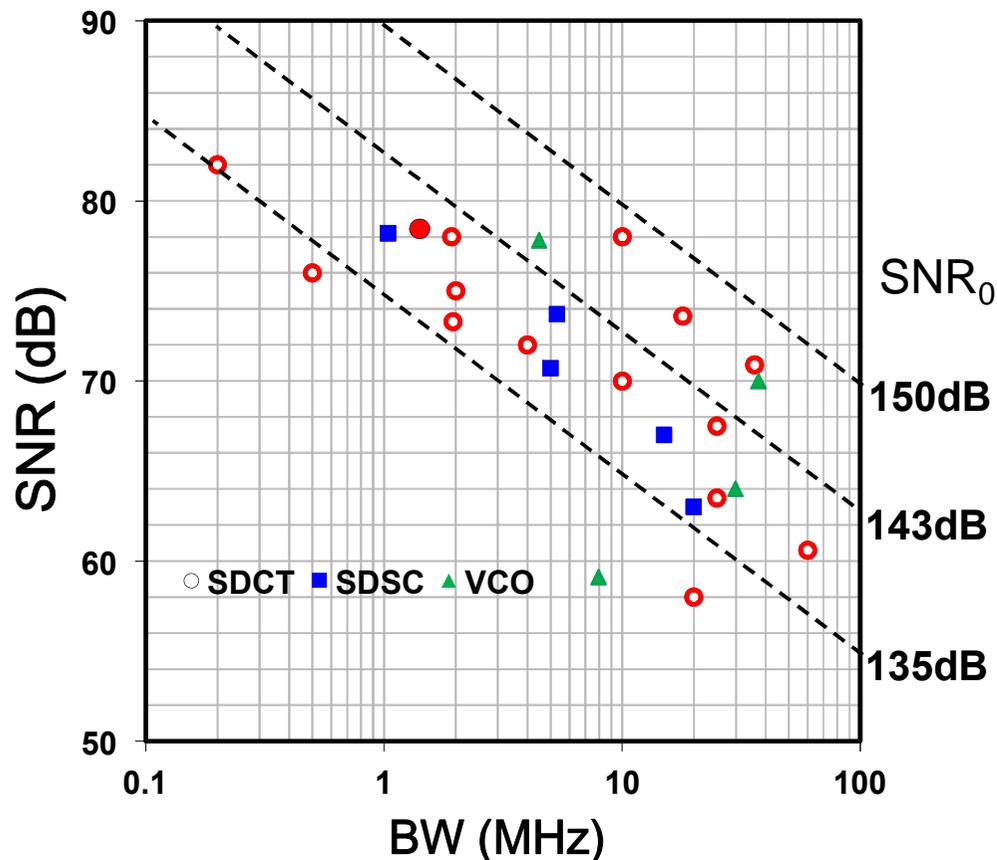
一つのADCコアで殆どすべての無線規格の信号
を変換可能で最小の消費電力で動作する

ディペンダブルADC

信号帯域が広いときはSNRは下がっても良いが、信号帯域が低い場合は高いSNRを実現。消費電力は変換周波数に比例するようなADCが欲しい

無線通信用ADCのSNRは信号帯域に反比例し消費電力は信号帯域に比例する

$$SNR \approx SNR_0 - 10 \log(BW) \quad P_d \approx K_1 \cdot BW \quad K_1: 0.2 \text{ -- } 3 \text{ (mW/MHz)}$$

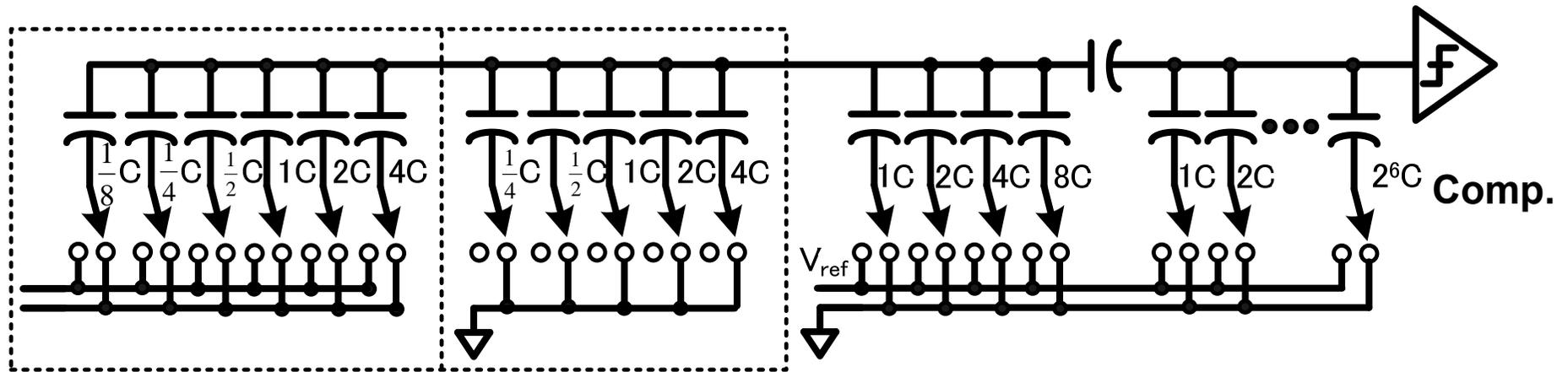


Matsuzawa, A. "Digitally-Assisted Analog and RF CMOS Circuit Design for Software-Defined Radio," Chapter 7, Springer 2011.

SAR ADC : 汎用ADC

SAR ADCは最も低いエネルギーで動作するADCである。
このSARを汎用ADCとして用いたい。

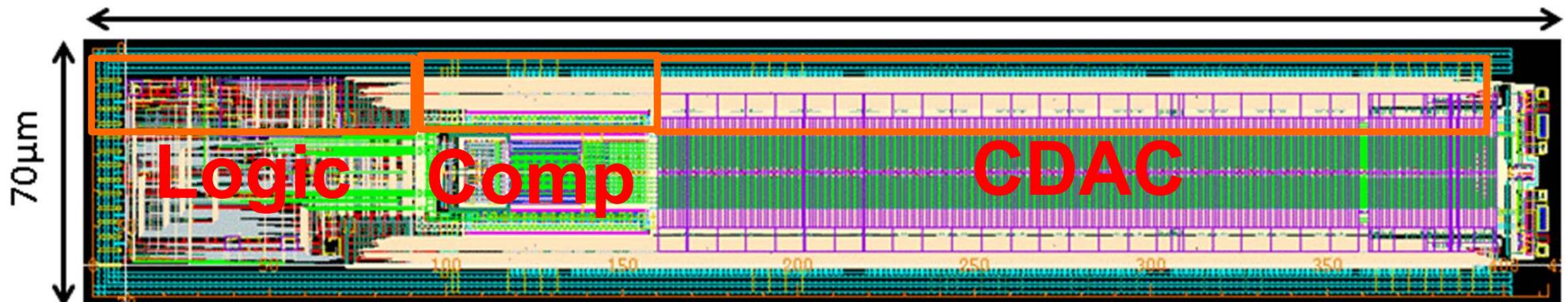
容量ミスマッチや寄生容量によるリニアリティ劣化はデジタル的に補償する



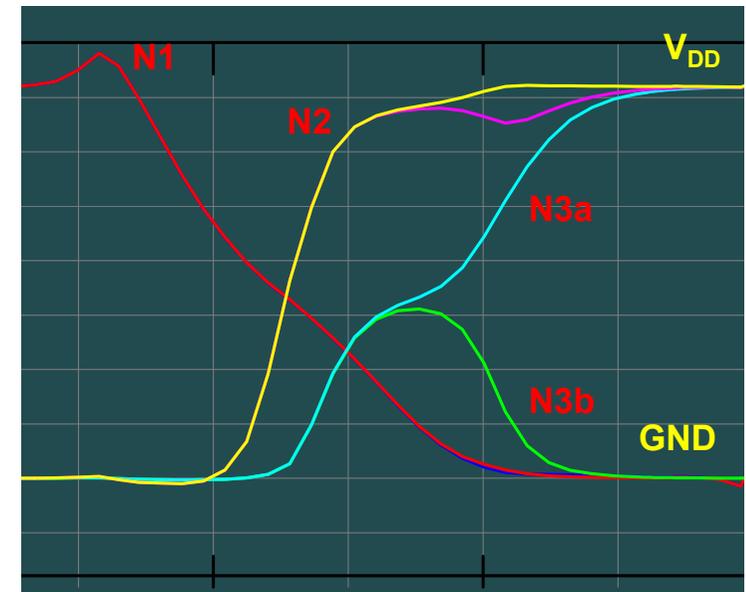
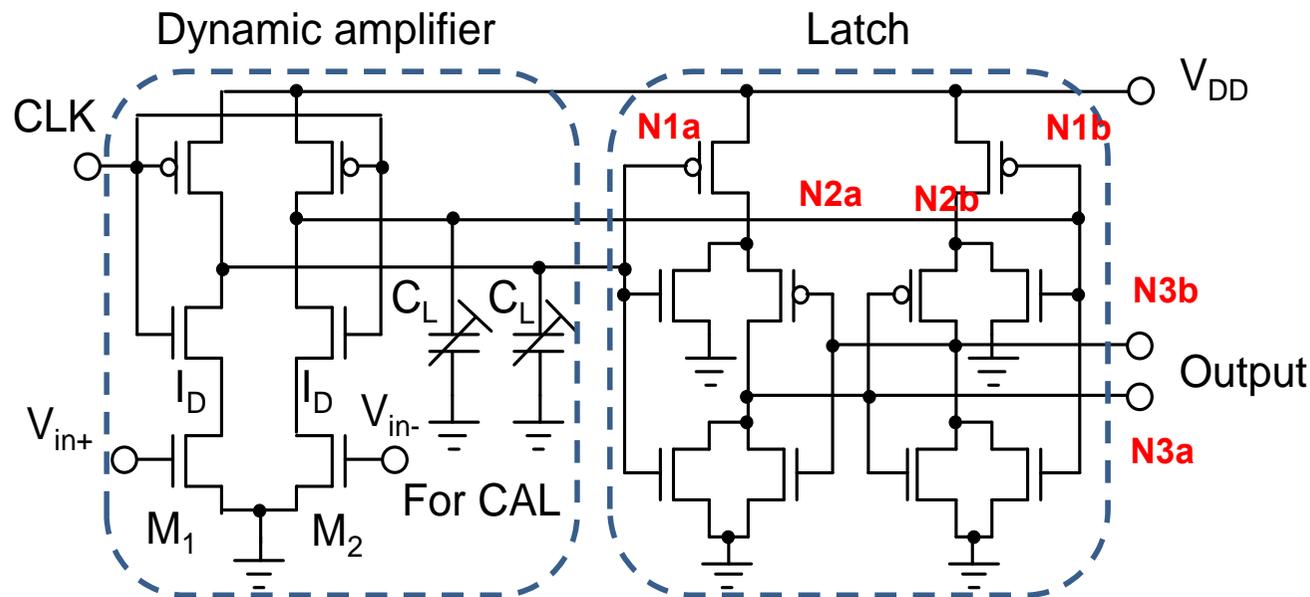
12bit, 65nmCMOS, 0.03mm²

420μm

S. Lee, A. Matsuzawa, SSDM 2013



ダイナミック型比較器はCMOSロジックと同様貫通電流がゼロで動作する。最大4GHzの動作が可能だが、数Hzの低速でも動作する。ノイズが大きく10bit以上の高分解能化が困難であったが、低ノイズ回路の開発により12bitの高分解能化が可能となった。



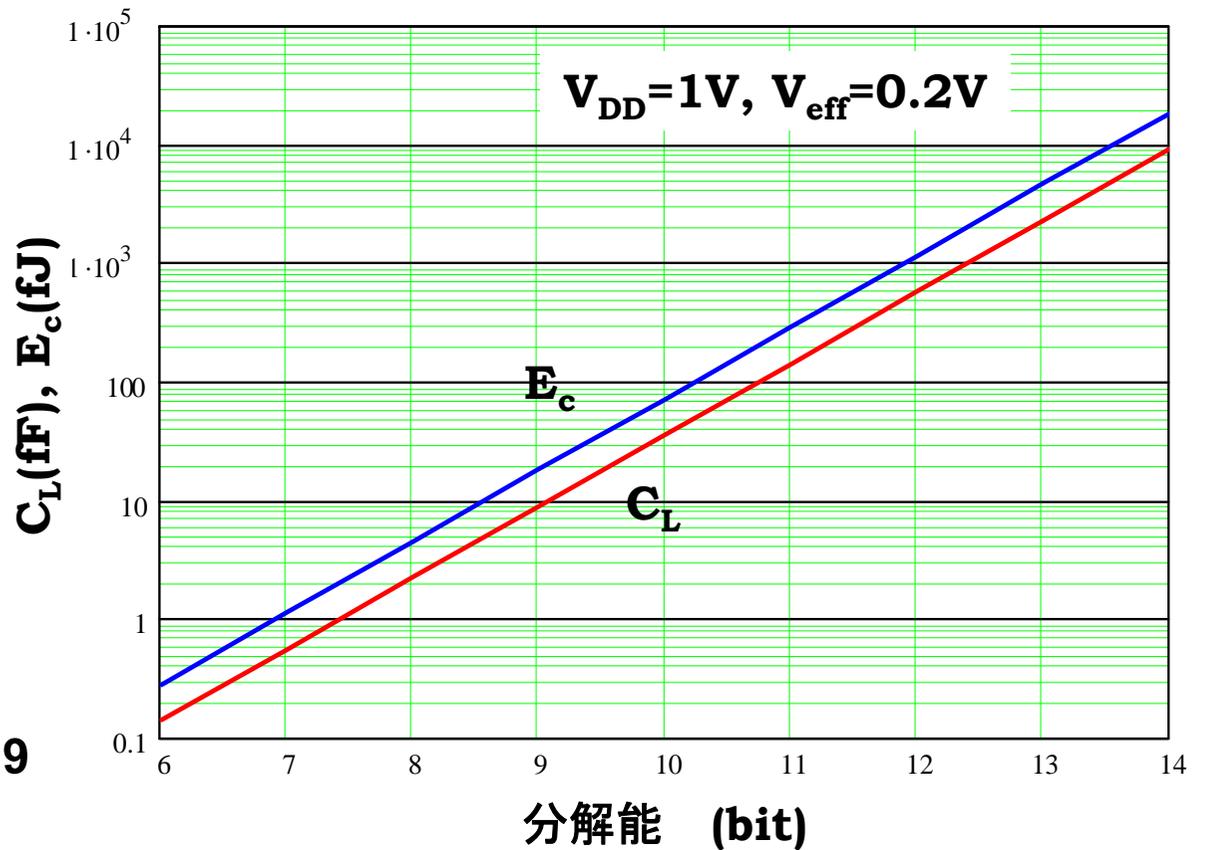
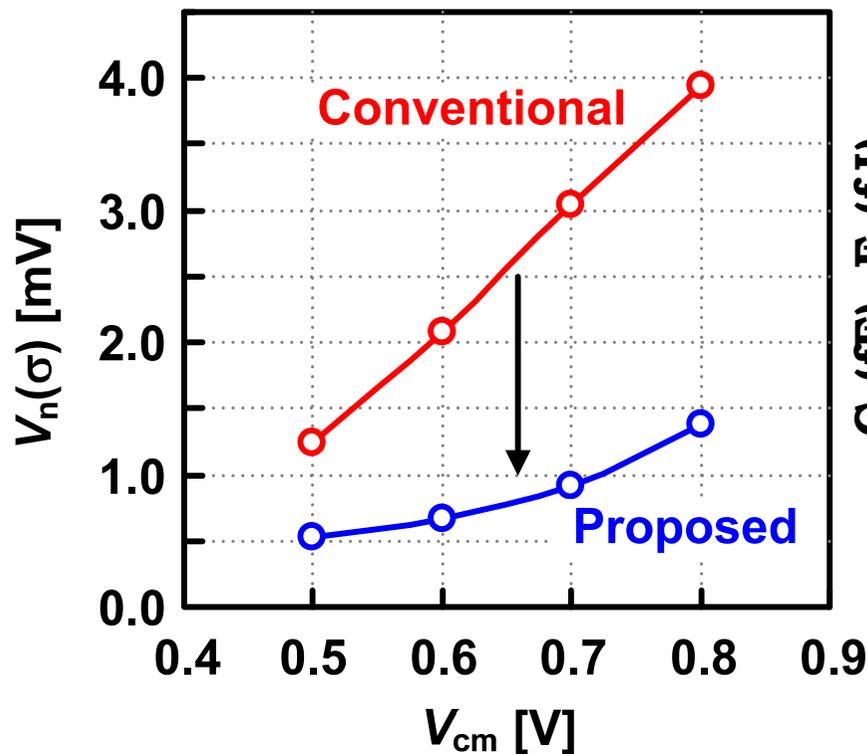
M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira Matsuzawa, "A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC," A-SSCC, 5-3, pp. 141-144, Taiwan, Taipei, Nov. 2009.

ダイナミック型比較器の構成をラッチの前にCMOS増幅器を設けた構成にすることで、ノイズを低減させた。またノイズレベルが負荷容量でほぼ決定されることを見出し、ノイズと消費電力の最適化指針を導いた。

$$\overline{v_{ni}^2} = \frac{kT\gamma}{C_L} \frac{V_{eff}}{V_{os}}$$

分解能と負荷容量 C_L ，消費エネルギー E_c

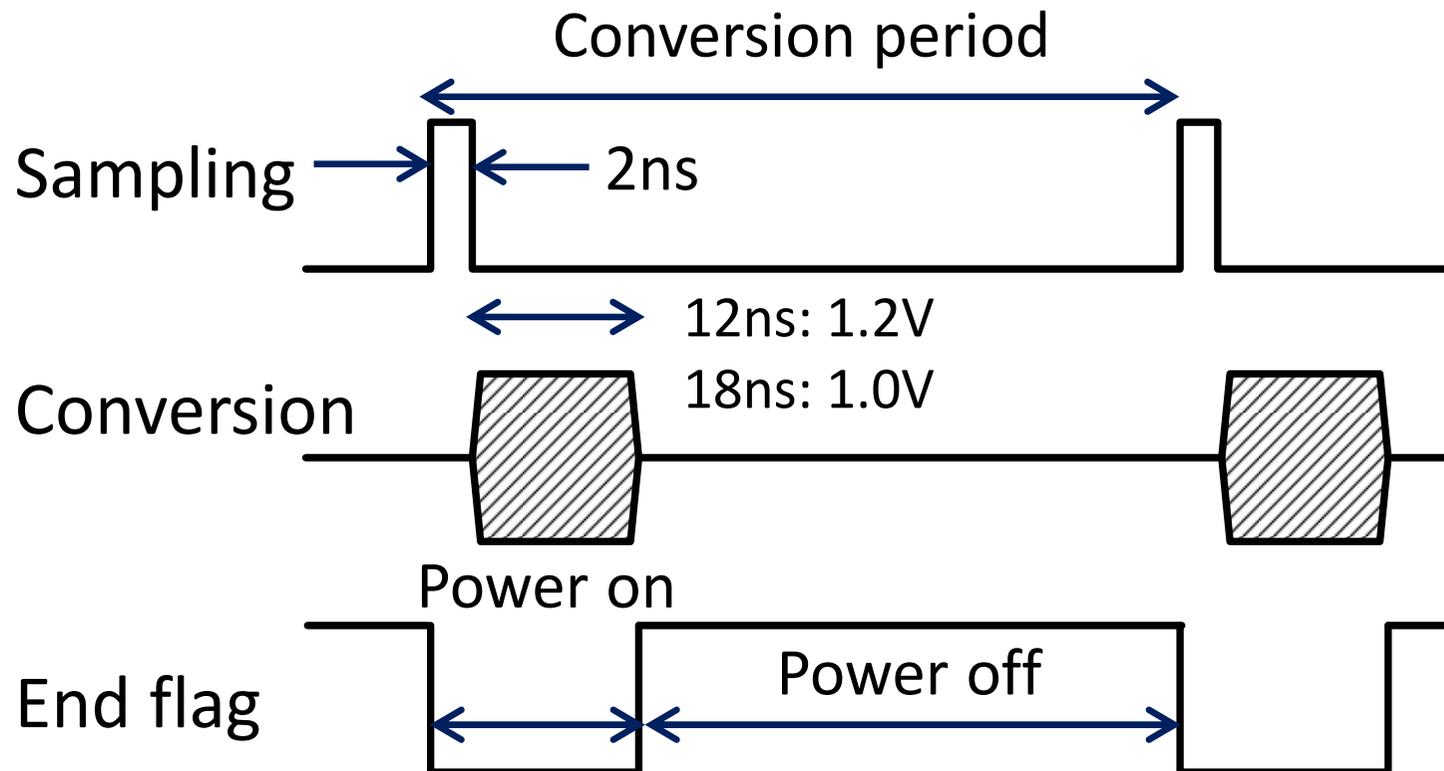


A. Matsuzawa, ASICON 2009, pp. 218-221, Oct. 2009.

サンプリングパルスが入力され、立下りエッジにより逐次比較動作が開始，12回の変換が行われると変換終了フラグが立つ。変換に要する時間は12 -- 18ns程度しかかからない。残りの時間は回路をオフしてリーク電流を遮断できる。

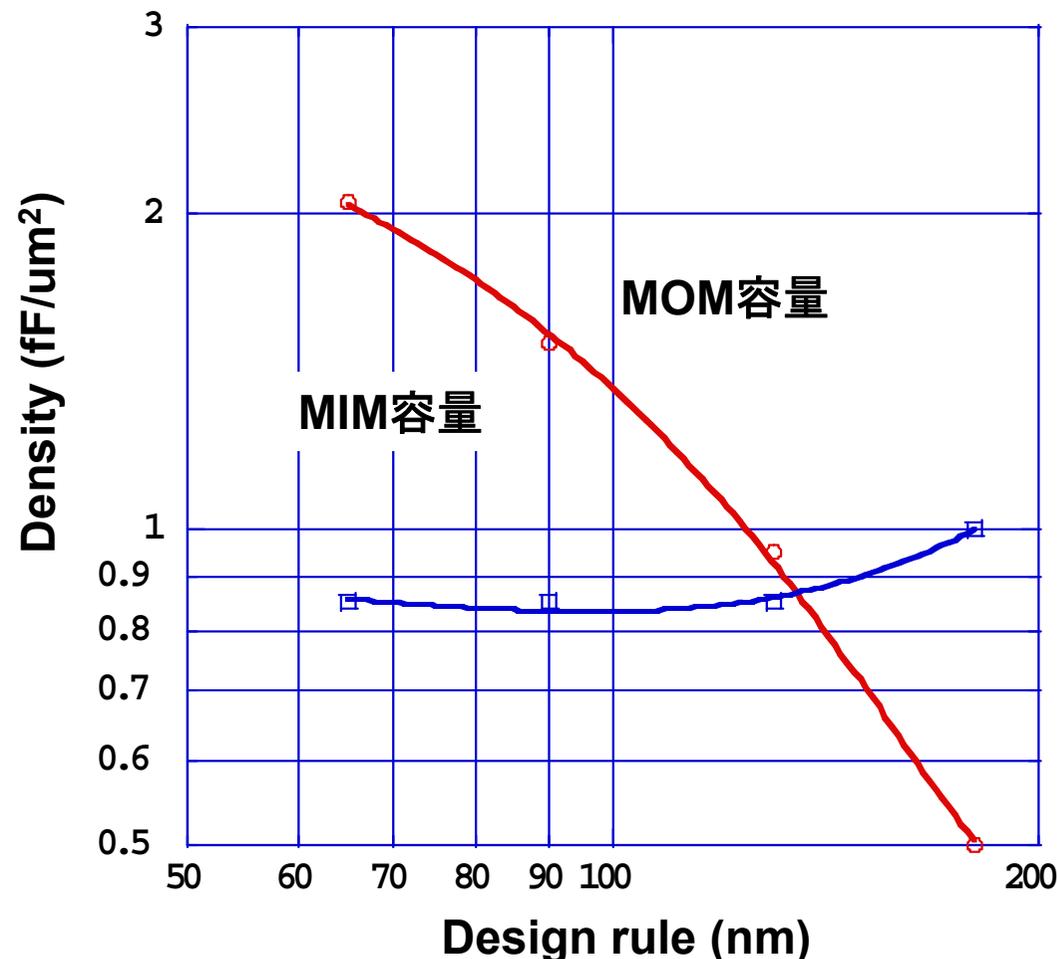
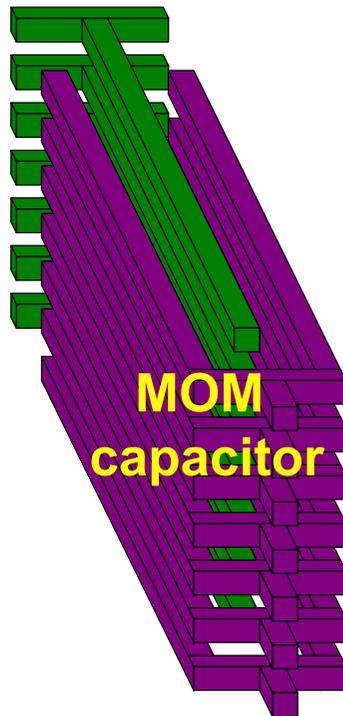
消費電力はサンプリング周波数に比例

$$P_d = f_s \times E_d$$

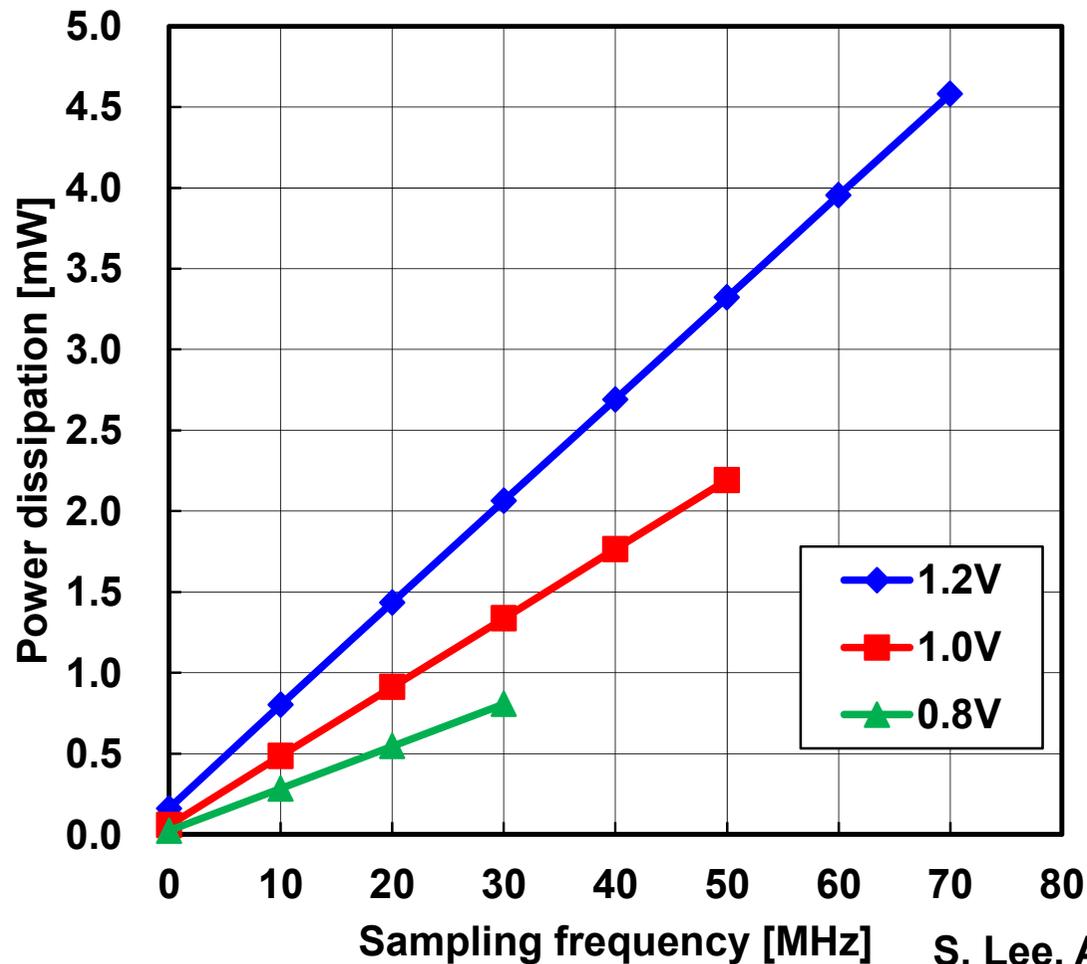


MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

MOM容量により微細化とともに容量部の面積縮小が可能である



完全なダイナミック動作により，ADCの消費電力はCMOSロジックと同様動作周波数に比例する。低い変換周波数では超低電力化が可能。低い変換周波数では低電圧動作により，より低電力化が可能である。70MSpsの高速動作を実現。



50MSps: 2mW
5MSps: 200uW
500KSps: 20uW
50KSps: 2uW
5kSps: 0.2uW

S. Lee, A. Matsuzawa, et al., SSDM 2013

- 最高変換速度: 70MSps
- 最低動作電圧: 0.8V
- 最小消費電力: 2.2mW at 50MSps
- 最小FoM: 28fJ
- 最小面積: 0.03mm²

12bit SAR ADCs

	This work			[3]	[4]
Resolution (bit)	12			12	12
V _{DD} (V)	0.8	1	1.2	1.2	1.2
f _{sample} (MHz)	30	50	70	45	50
P _d (mW)	0.8	2.2	4.6	3	4.2
SNDR (dB)	62	64	65	67	71
FoM (fJ) Nyq/DC	81/28	62/33	100/45	36/31	36/29
Technology (nm)	65			130	90
Occupied area(mm ²)	0.03			0.06	0.1

S. Lee, A. Matsuzawa, et al., SSDM 2013.

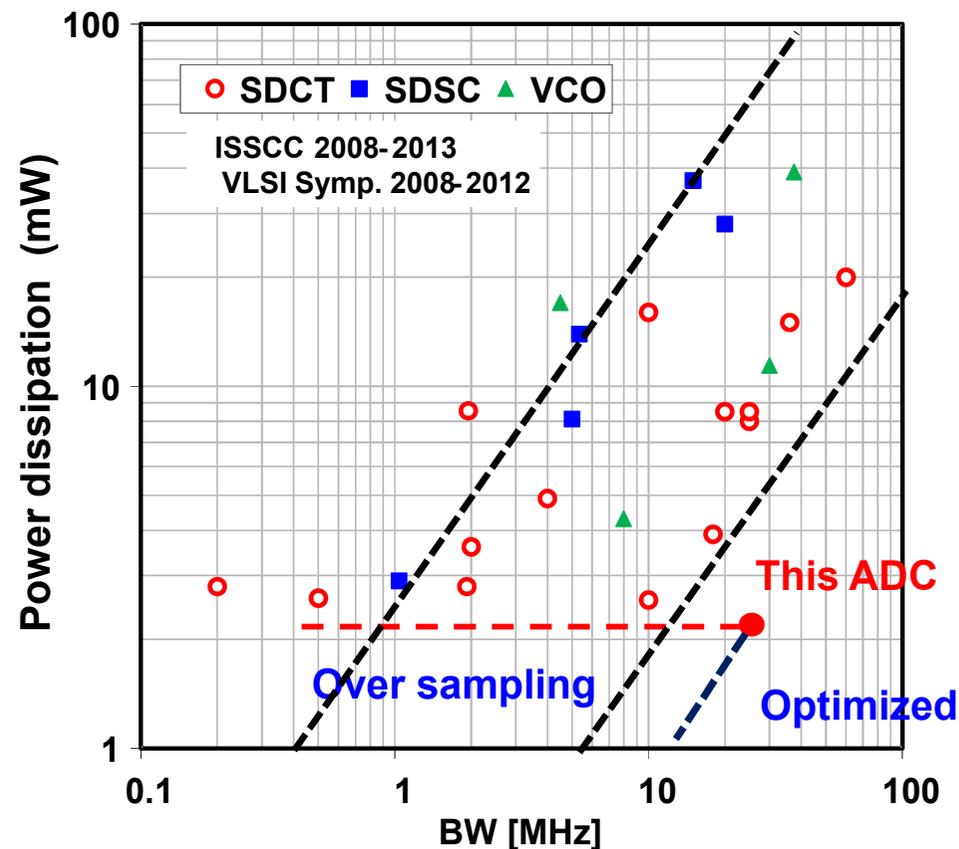
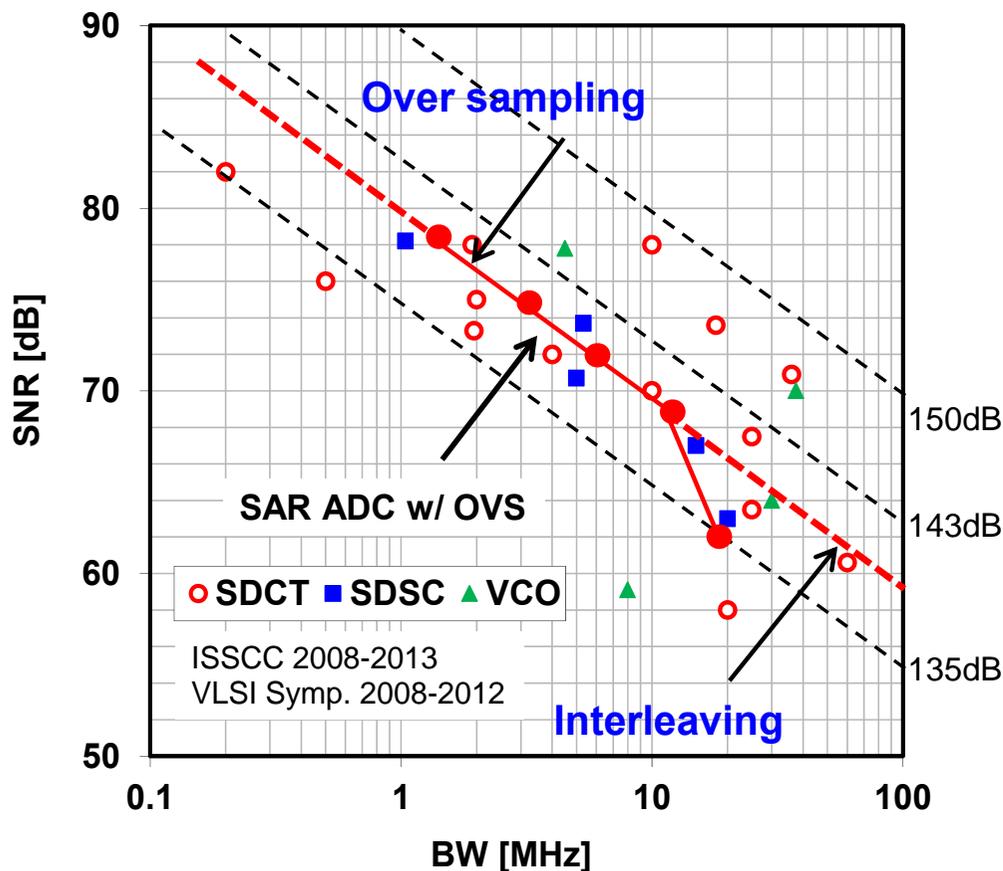
[3] W. Liu, P. Huang, Y. Chiu, ISSCC, pp. 380-381, Feb. 2010.

[4] T. Morie, et al., ISSCC, pp.272-273, Feb. 2013.

SNRは信号帯域が20MHzで62dB, デジタルフィルタで信号帯域を制限することでSNRを向上できる。帯域1MHzで78dBのSNRを実現
 高い信号帯域に対してはインターリーブで対応の予定。
 消費電力はこれまでの通信用ADCに比べ最少。

S. Lee, A. Matsuzawa, et al., SSDM 2013

1V, 50MSps Operation



時間領域処理を用いた 7bit 2.2GSps ADC

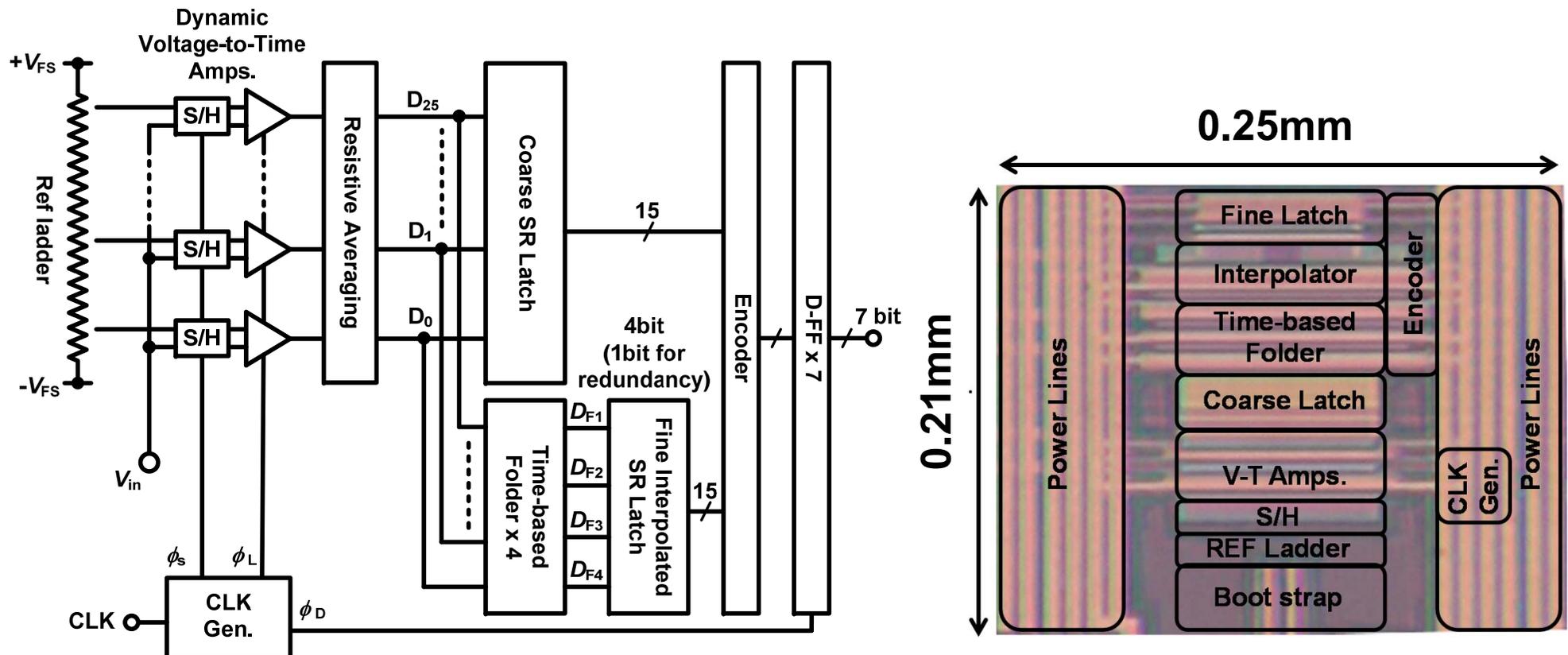
ABB用7bit 2.2GSps ADCの開発

30

TOKYO TECH
Pursuing Excellence

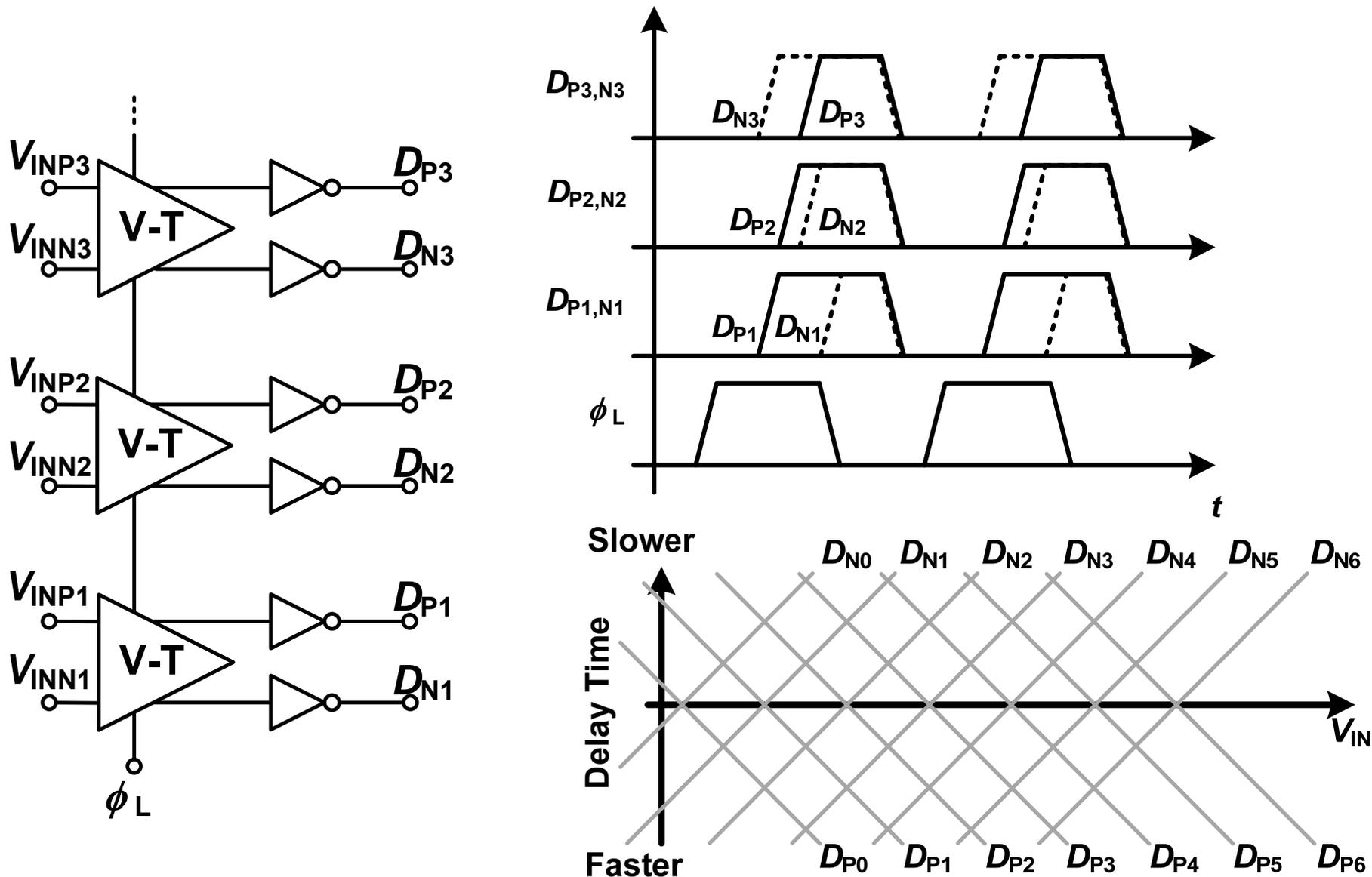
- ・ 16QAM用7bit ADC
- ・ ダイナミックアンプで電圧を時間差信号に変換
- ・ 時間差信号をロジックセルを用いて折り返し特性を実現

M. Miyahara, A. Matsuzawa, ISSCC 2014



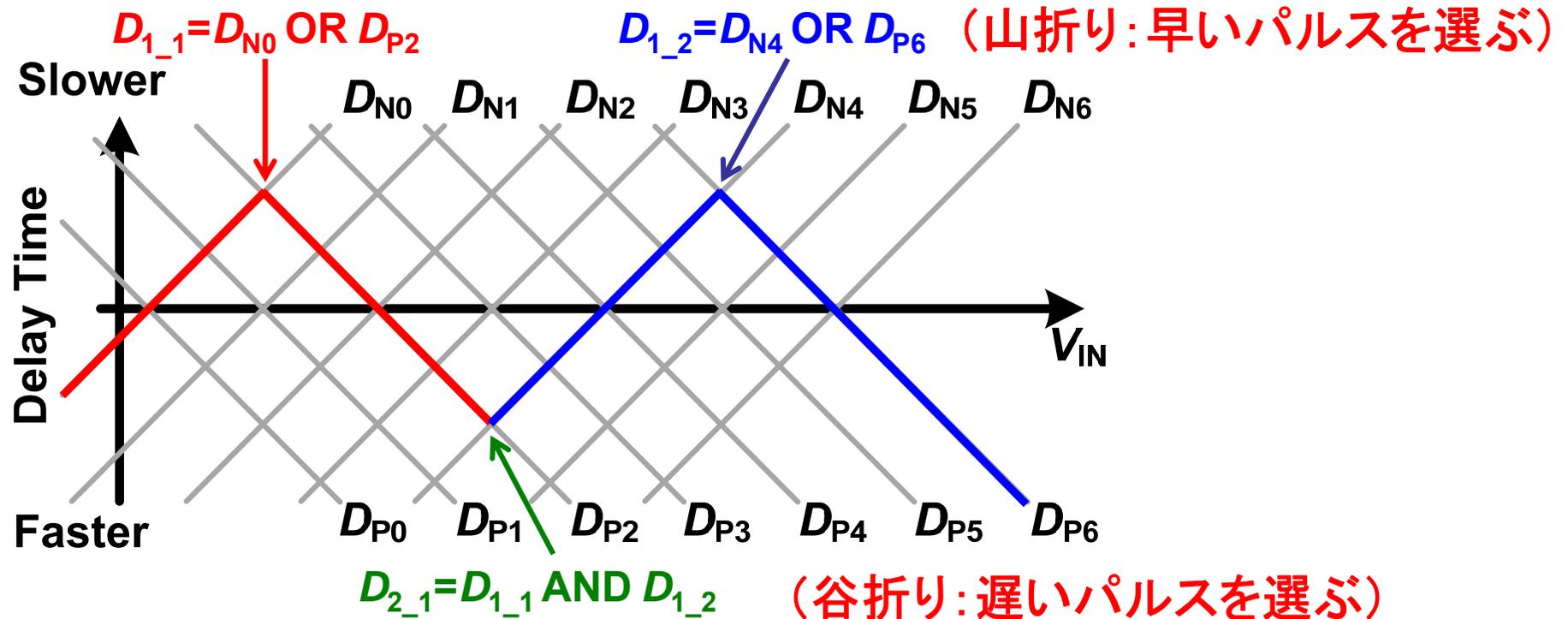
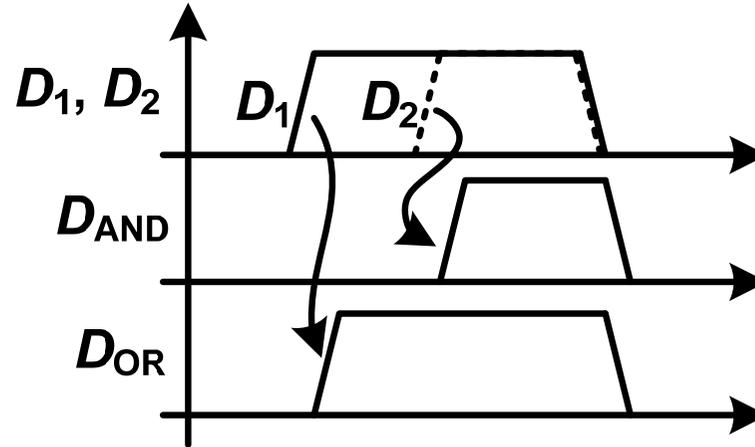
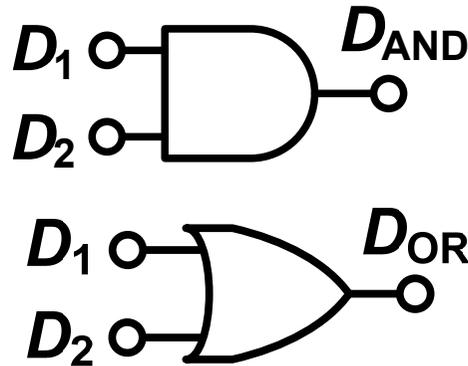
電圧差から時間差への変換

ダイナミックアンプでは電位差の大きな入力ほど早く信号が出力されることを用いて、電圧差から時間差に変換している。



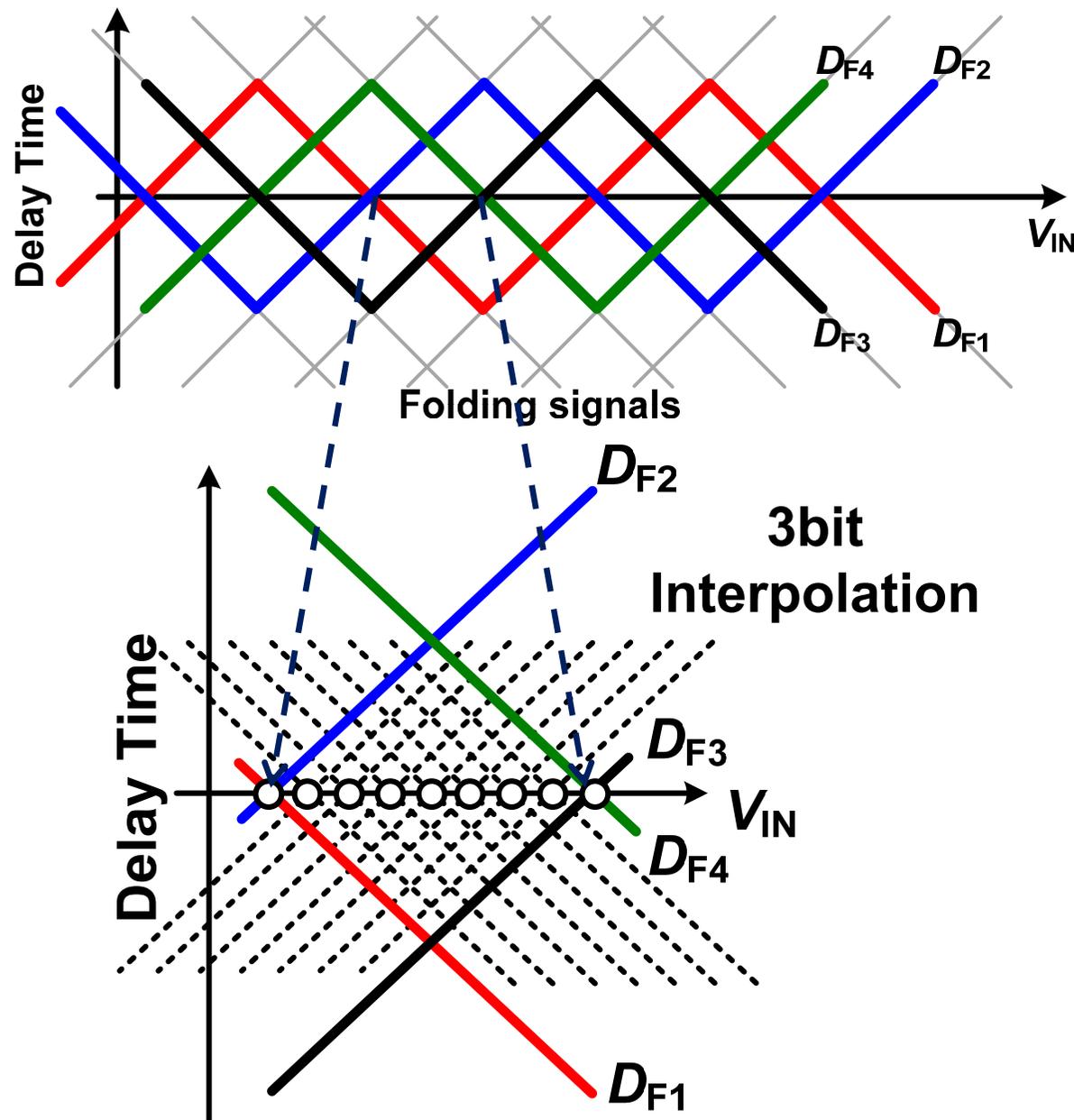
時間領域での折り返し

タイミング上の折り返しは簡単な論理回路で実現できる

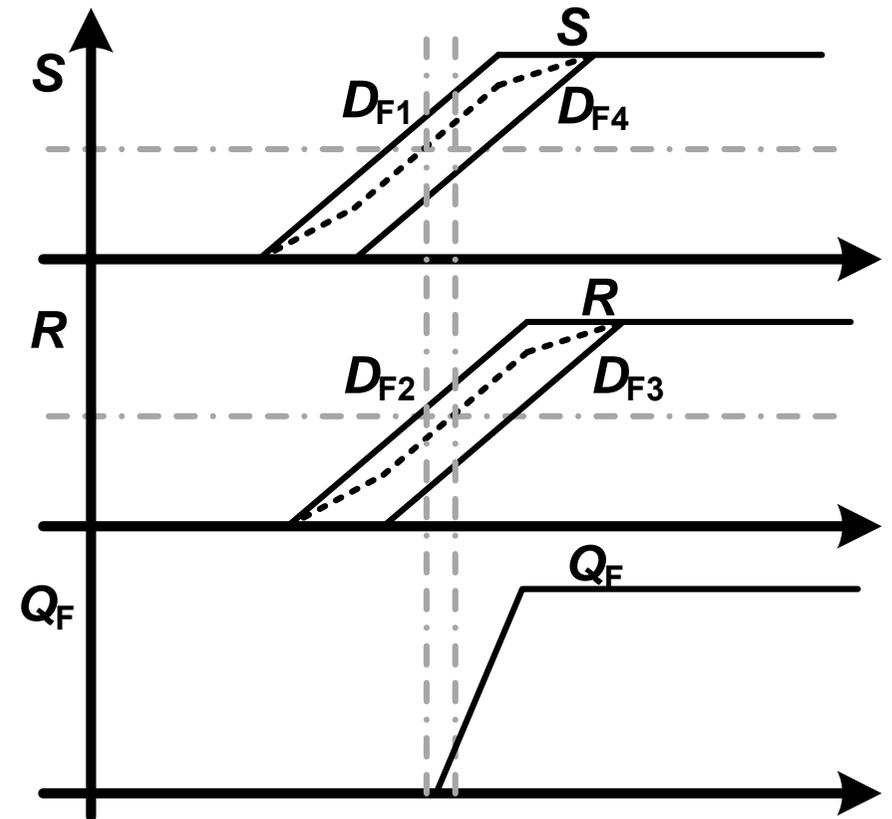
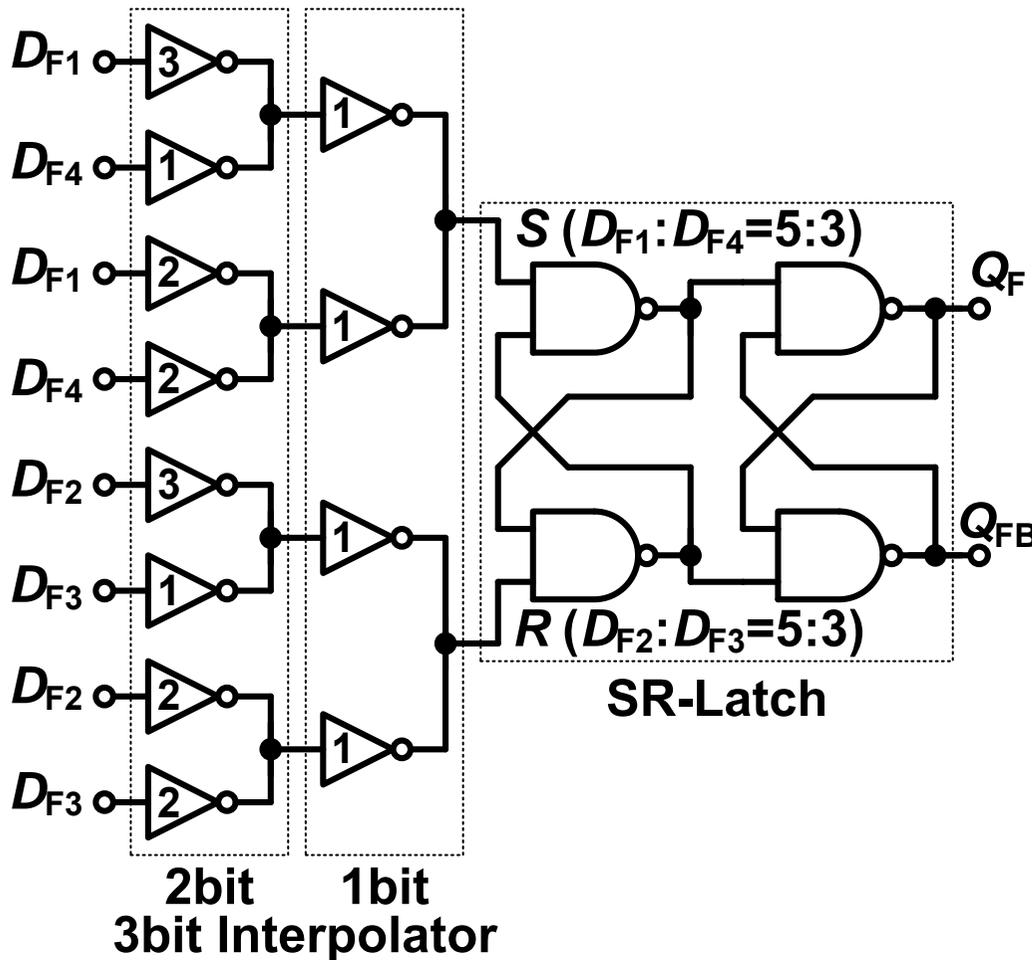


折り返し信号間の補間

折り返し信号間を補間することで、高精度なA/D変換が可能になる



重みづけされたインバータで補間を実現し
SRラッチでタイミングの比較を行う



SR-Latch response in the case of interpolation ratio of 5:3

[6] D. Miyashita, et al., VLSI symp. 2011

2GS/s以上のFlash型ADCとして最も高いSNDR =37.4dBを達成
キャリブレーション回路無しで動作可能。

消費電力が大きいが、最適化で半減は可能

	ISSCC 2008 [3]	VLSI 2012 [8]	VLSI 2013 [9]	This work
Technology	90nm	40nm	32nm SOI	40nm LP
Resolution [bit]	5	6	6	7
Power Supply [V]	1	1.1	0.85	1.1
Sampling Frequency [GS/s]	1.75	3	5	2.2
Power Consumption [mW]	2.2	11	8.5	27.4
SNDR @Nyquist [dB]	27.6	33.1	30.9	37.4
FoMw [fJ/conv.-step]	64.5	99.3	59.4	210
FoMs [dB]	143.5	144.4	145.6	143.3
Core area [mm ²]	0.0165	0.021	0.02	0.052
Calibration	Off chip	Foreground	Off chip	No need

レイアウトドリブン設計と プログラマブルアナログ回路技術

アナログ設計リソースが弱い企業でも高性能かつ確実に使いこなせるアナログIPを提供可能にしたい。

重要IPを選定

- ・ADC, DAC, PLL, Mixer, Ampなど

重要IPを開発

- ・汎用性(性能のスケールビリティ)
- ・規則性が高いもの
- ・微細化/低電圧化に対応可能
- ・低電力, 小面積
- ・デジタル制御が容易

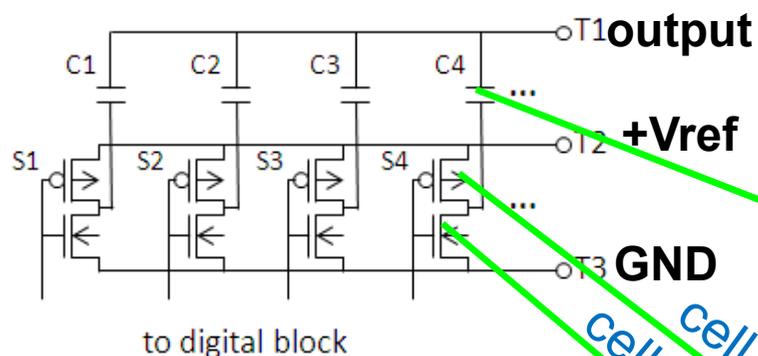
ソフト・プログラム化

- ・パラメタライズ設計が可能
- ・レイアウトの自動化

IP提供

- ・ソフトウェアで提供
- ・ユーザーがかなりの程度調整可能

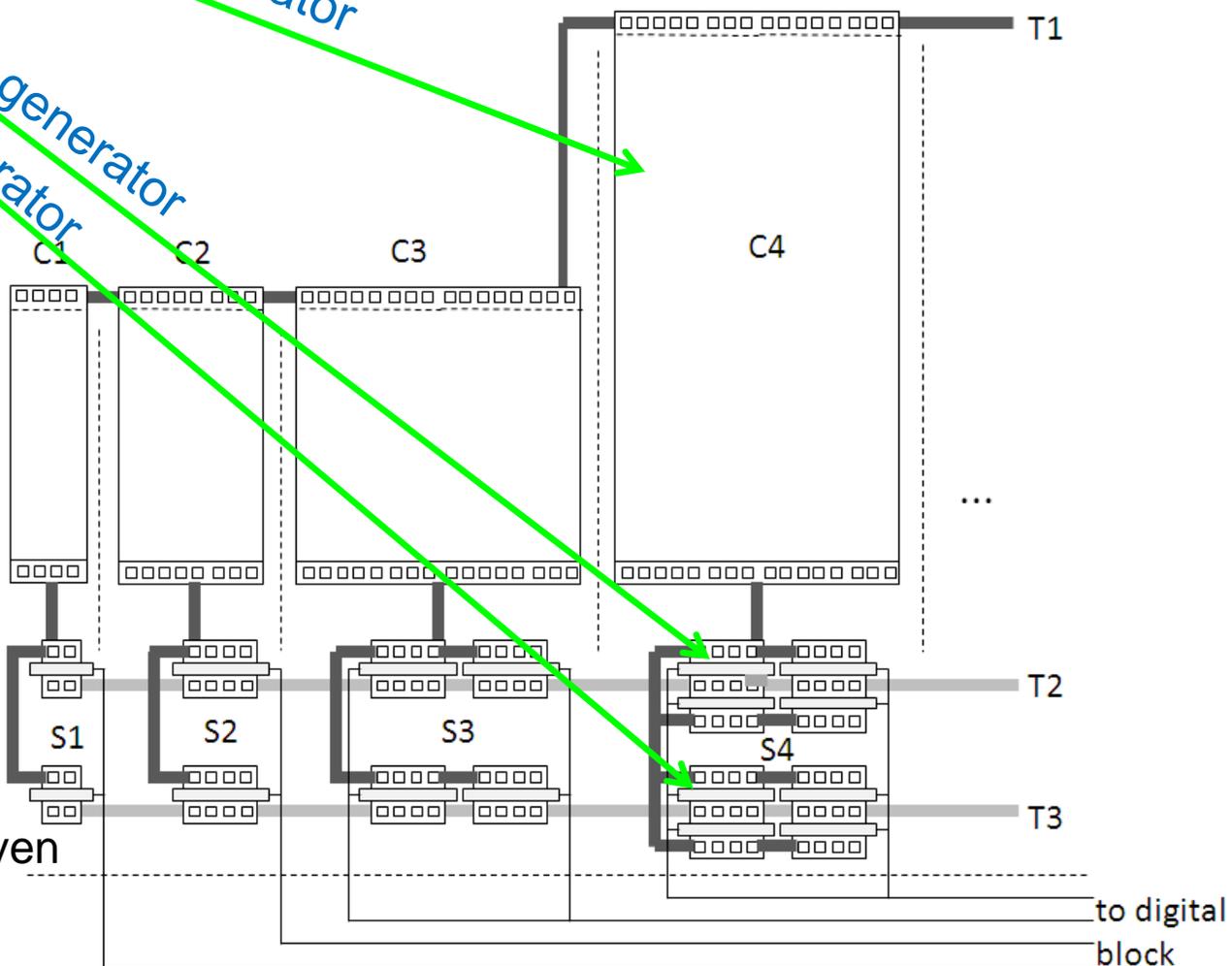
- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
 - 微細化・低電圧化により設計難易度が上昇
 - 設計人材の減少(事業選択・集中, リストラ)
 - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
 - コア回路の種類をできるだけ絞る
 - 微細化・低電圧化に耐えうる回路のみを選抜
 - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
 - レイアウトを含め設計の大半を自動化(プログラマブル化)する
 - テスト容易化設計も併せて行う



素子を配置して、素子間を結線するという考え方

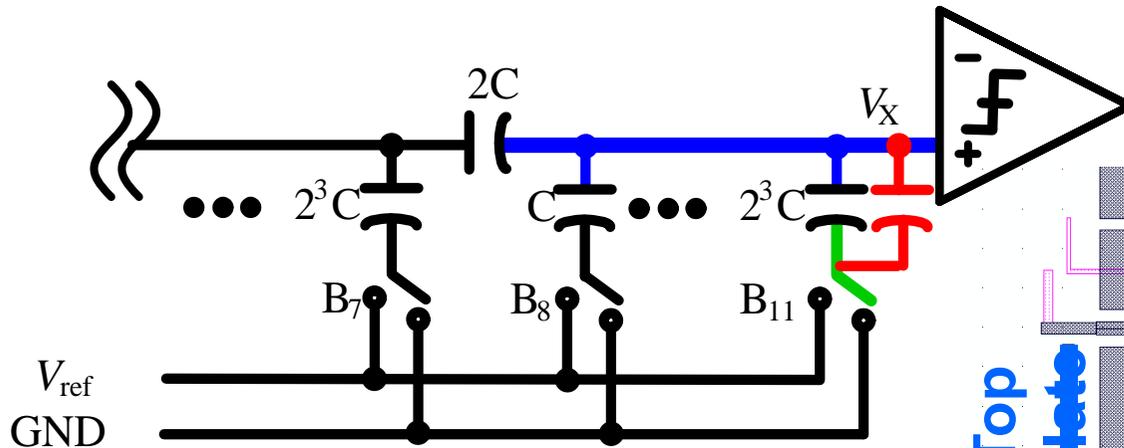
cell generator
cell generator
cell generator

1. $C1=20\text{fF}, C2=40\text{fF}, C3=80\text{fF}, C4=160\text{fF}, \dots$
2. $S1$ NMOS $W/L=2\mu\text{m}/L_{\text{min}}, S2=x2, S3=x4, S4=x8, \dots$
3. $S1$ PMOS $W/L=2\mu\text{m}/L_{\text{min}}, S2=x2, S3=x4, S4=x8, \dots$
4. Separate each capacitors or shield.
5. Separate between capacitors and digital block or shield.

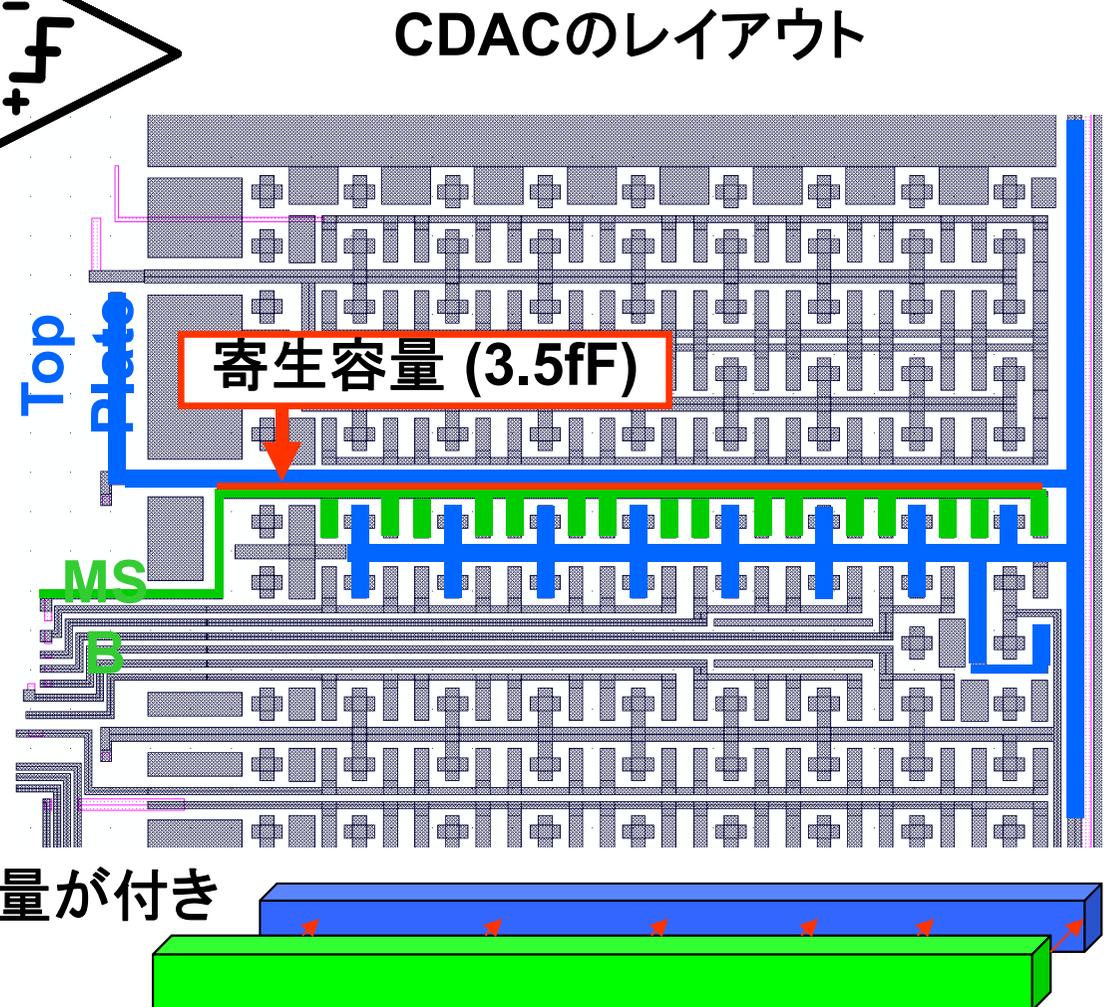


菅原, 松澤 他 “Proposal of layout-driven 1/2.8 size DAC design methodology”
アナログRF 研究会, 2013年11月

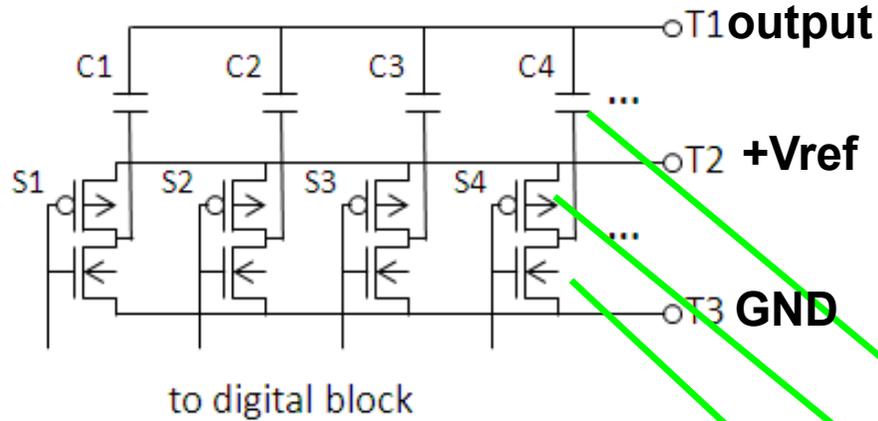
「素子」間を結線するという従来からのレイアウト設計思想では、決して高精度で信頼性の高いアナログ回路は実現できない



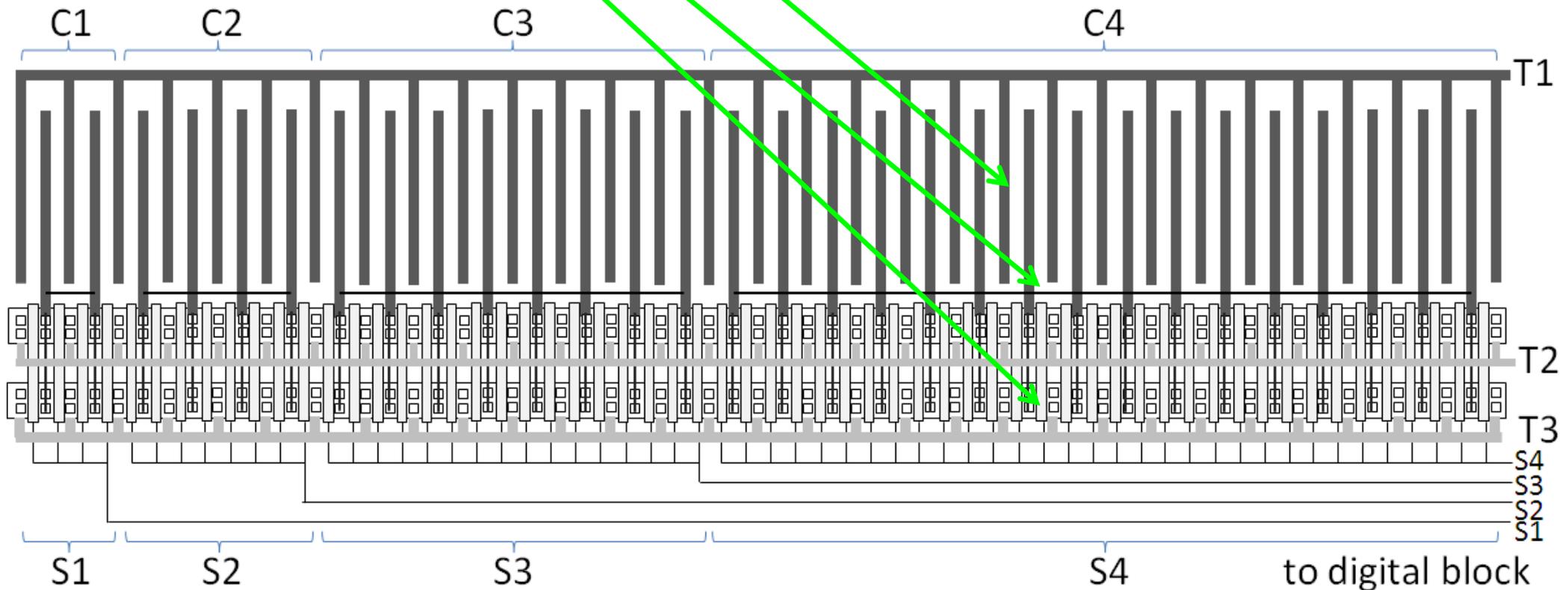
CDACの回路図



CDACにおいて、Top Plate(青)とBottom Plate(緑)に3.5fFの寄生容量が付き最大50LSB程度のエラーが生じた。



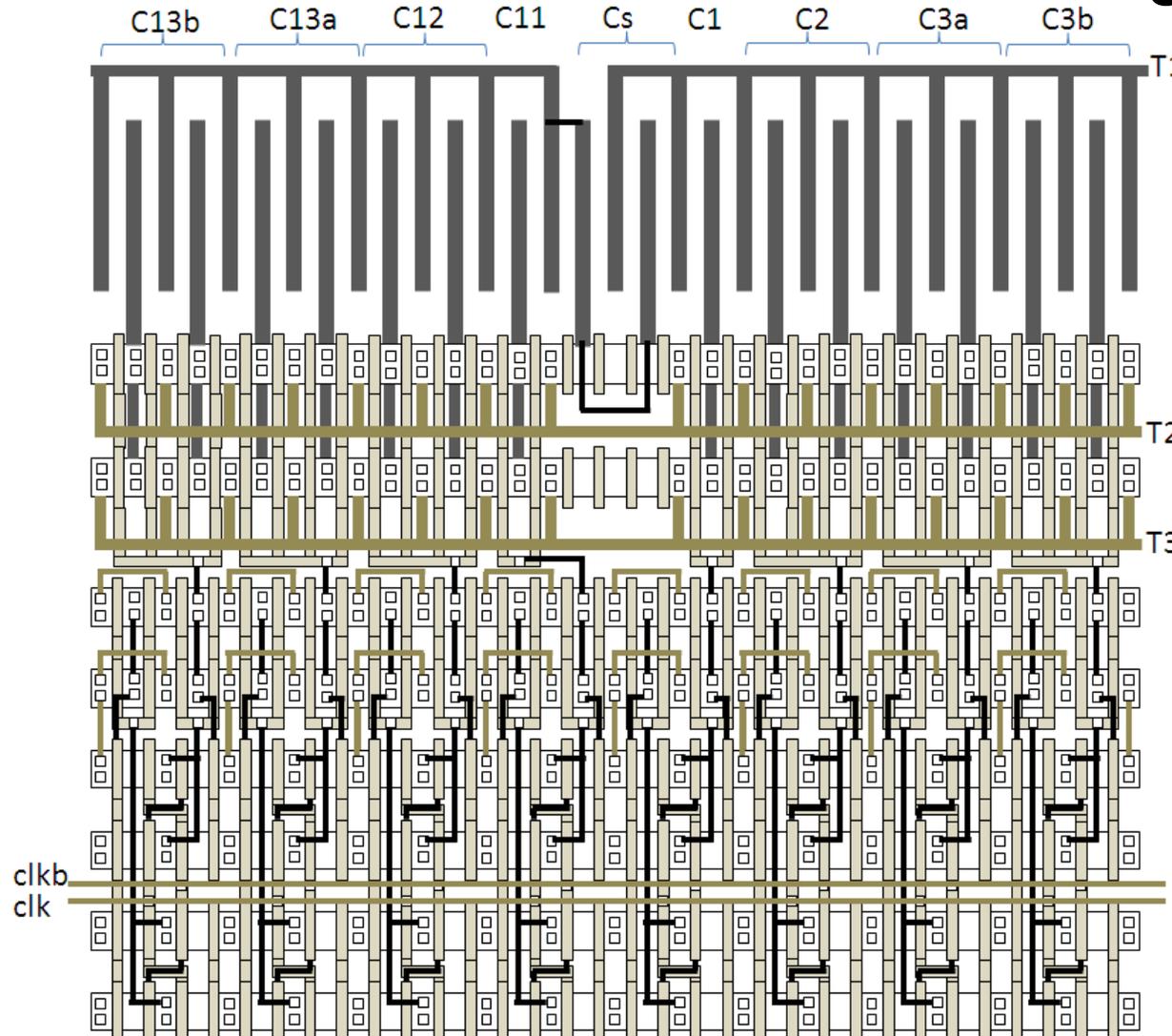
- ・レイアウトの合理性を追求
- ・素子間配線を無くす
- ・素子の規則性を重視
- ・各素子のピッチを合わせる



菅原, 松澤 他, アナログRF 研究会, 2013年11月

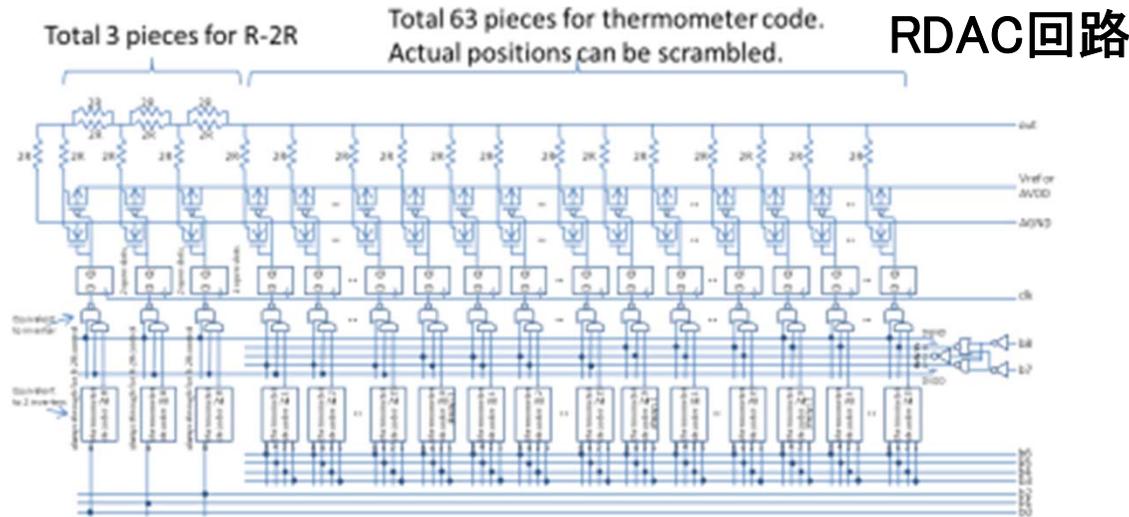
はじめから容量，スイッチ，ロジックのピッチを合わせて設計する
寄生容量や配線が最小になり，性能向上，低電力，小面積が実現。
設計の自動化もし易い。

SAR ADCの例



菅原, 松澤 他,
アナログRF 研究会
2013年11月

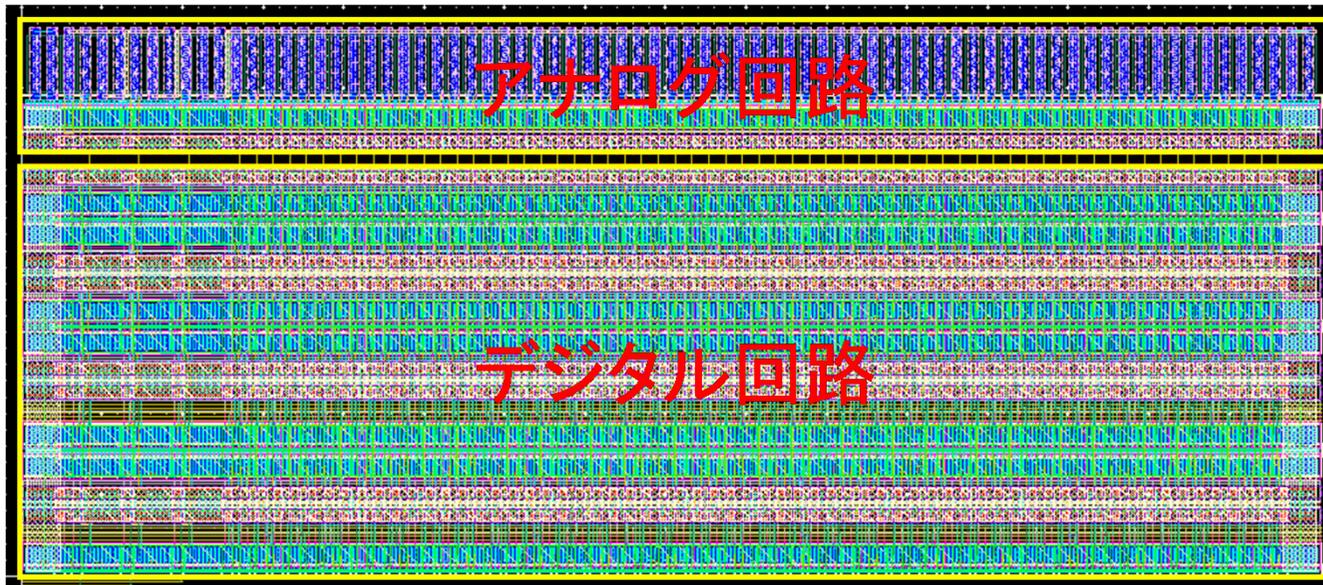
RDAC, CDACなど規則性のあるアナログ回路を自動合成 開発期間の短縮, 高速・低電力・小面積



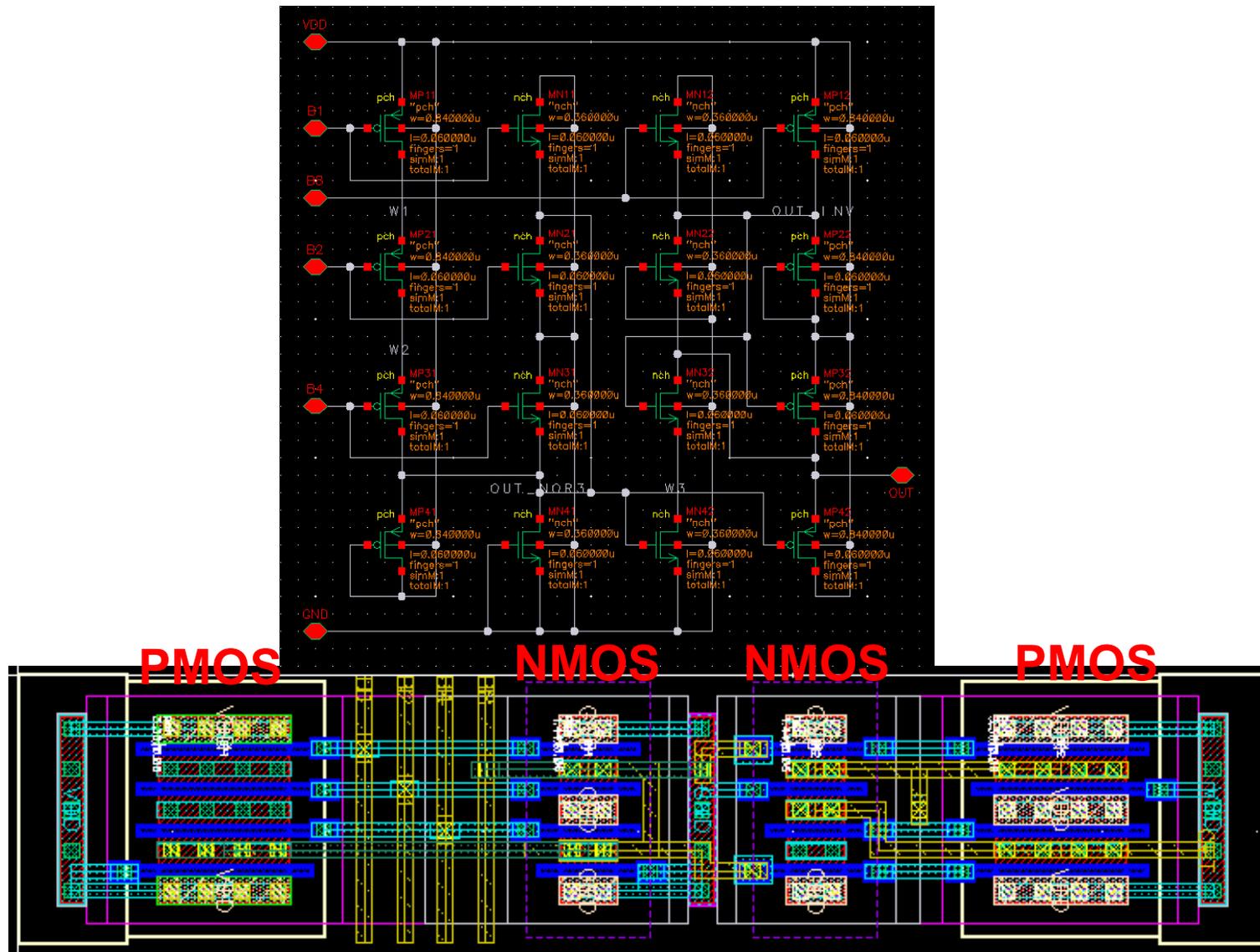
盛, 松澤 他, "9ビットRDACの自動合成"
アナログRF 研究会, 2013年8月

最適構成の自動計算
SKILL言語による自動レイアウト

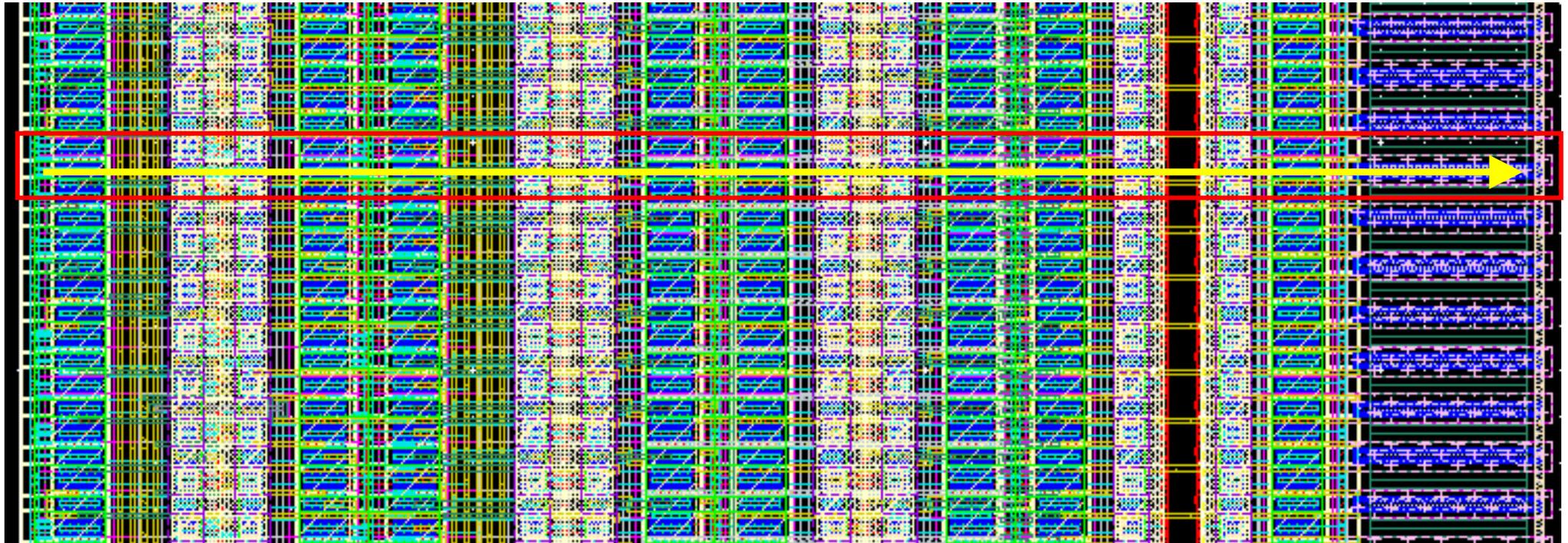
自動合成した
RDACレイアウト



論理回路も規則性を重視して選択し，自動レイアウトに乗せる。



LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線



- **ソフトウェア無線を実現するADC**: 以下が携帯端末で使用可能
 - BW=1GHz, SNDR=40dB (6.5bit) で数10mW
 - BW=500MHz, SNDR=60dB (10bit)で数10mW
 - BW=40MHz SNDR=70dB (12bit)で数10mW
 - 帯域とSNDRのトレードオフを考慮したシステム設計が必要
- **ディペンダブルADC**
 - 1つのADCで殆ど全ての無線規格をカバー, 消費電力は最小
 - SAR ADCにより可能で, 帯域40MHzでSNDR=66dB, オーバーサンプリングによりSNDRは84dB程度に上昇することが可能
- **時間領域処理を用いた超高速ADC**
 - Flash ADCの高分解能化, 小面積化に有効
 - 60GHz帯BB用 16QAM通信が実現
- **レイアウトドリブン設計とプログラマブルアナログ回路技術**
 - 規則性を有するレイアウトにより, 高精度, 高速, 低電力, 低コスト
 - 自動レイアウト化が容易で, 低コスト, 低TAT設計を実現