

アナログ・RF回路技術の今後の発展

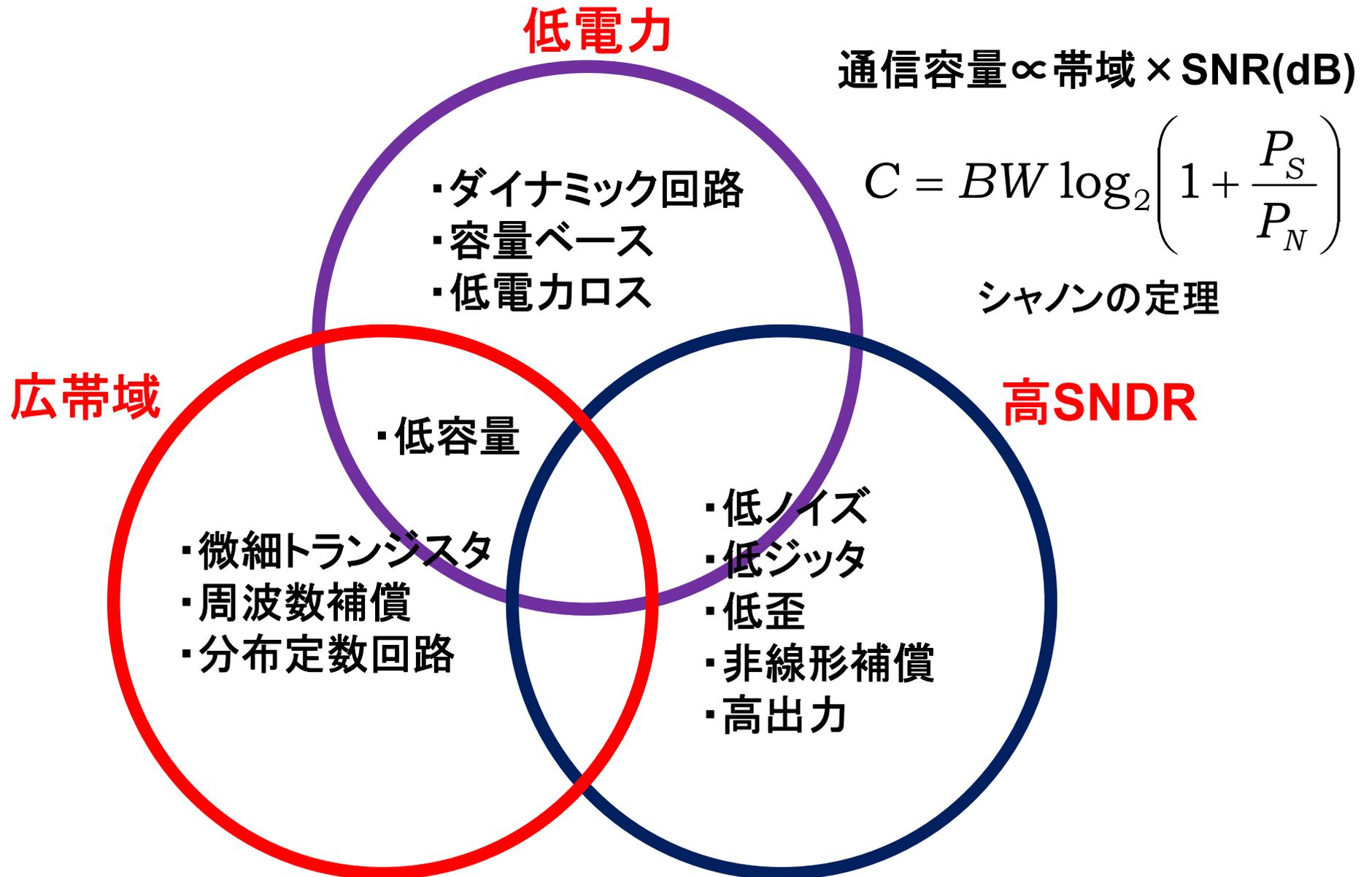
松澤 昭

東京工業大学
大学院理工学研究科

2014/9/30

- **RF回路**
 - ミリ波を用いた超高速データ伝送への挑戦
 - 28Gbpsを達成した60GHz CMOSトランシーバ
 - 300Gbpsを目指して
- **ADC**
 - 性能推移
 - スケーラブル12bit SAR ADC
 - 時間領域処理を用いた7bit 2.2GHz ADC
- **PLL**
- レイアウトドリブン設計とプログラマブルアナログ回路技術
- まとめ

アナログ・RF回路技術: 広帯域, 高SNRの回路を低電力で実現



伝送回路のデータレートは多値化数・分解能Nと帯域BWの積に比例する
高速化・高SNDR化が技術の進歩にとって本質的に重要。

多値通信の場合

$$D_{rate} \approx N \cdot BW$$

N: 多値化数
BW: 信号帯域

ADCの場合

$$D_{rate} \approx N \cdot f_s$$

N: 分解能
 f_s : 変換周波数

シャノンの定理

$$C = BW \log_2 \left(1 + \frac{P_S}{P_N} \right)$$

ADCのBW と SNR

$$BW < \frac{f_s}{2}$$

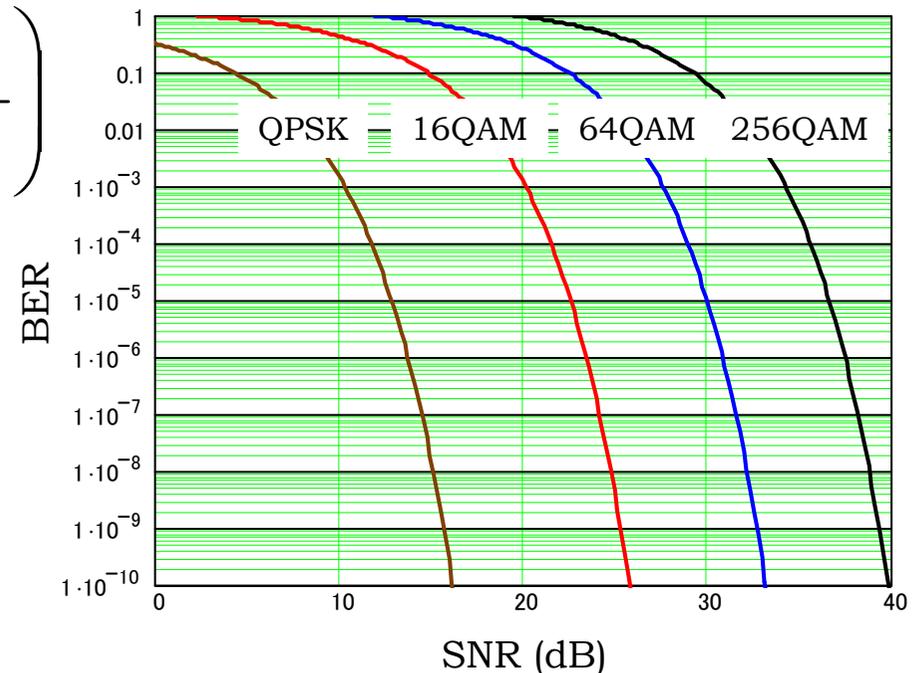
$$\left. \frac{P_S}{P_N} \right|_{ADC} = 1.5 \cdot 2^{2N}$$

したがって

$$C \approx N f_s$$

f_s : 標本化周波数
N: 分解能

多値変調の実現には高いSNRが必要



RF回路

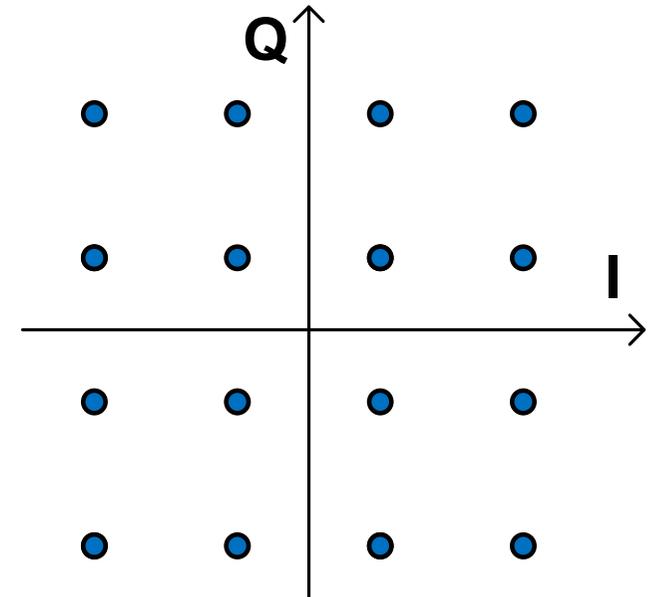
ミリ波を用いた

超高速データ伝送への挑戦

60GHz帯の超高速信号伝送

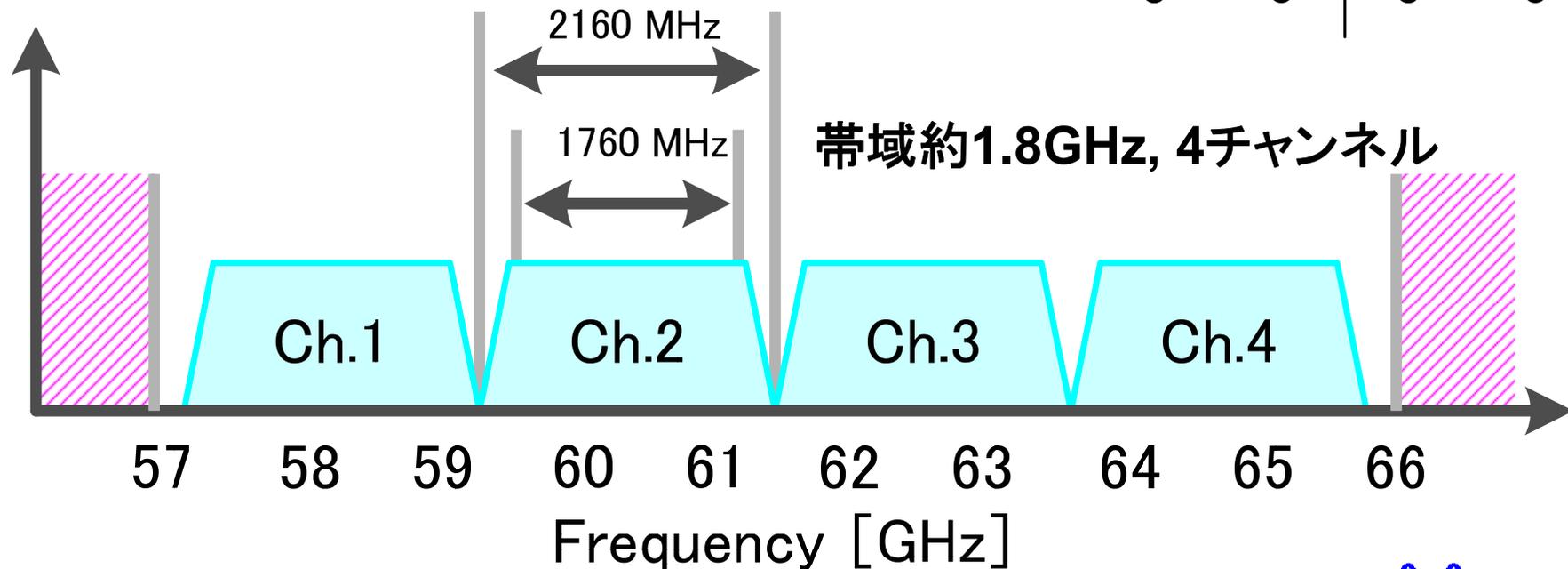
伝送速度を上げるには信号帯域
と多値数を上げることが基本になる

16QAM信号



- BPSK: 1.7 Gbps
- QPSK: 3.5 Gbps
- 16QAM: 7 Gbps
- 64QAM: 10.5Gbps

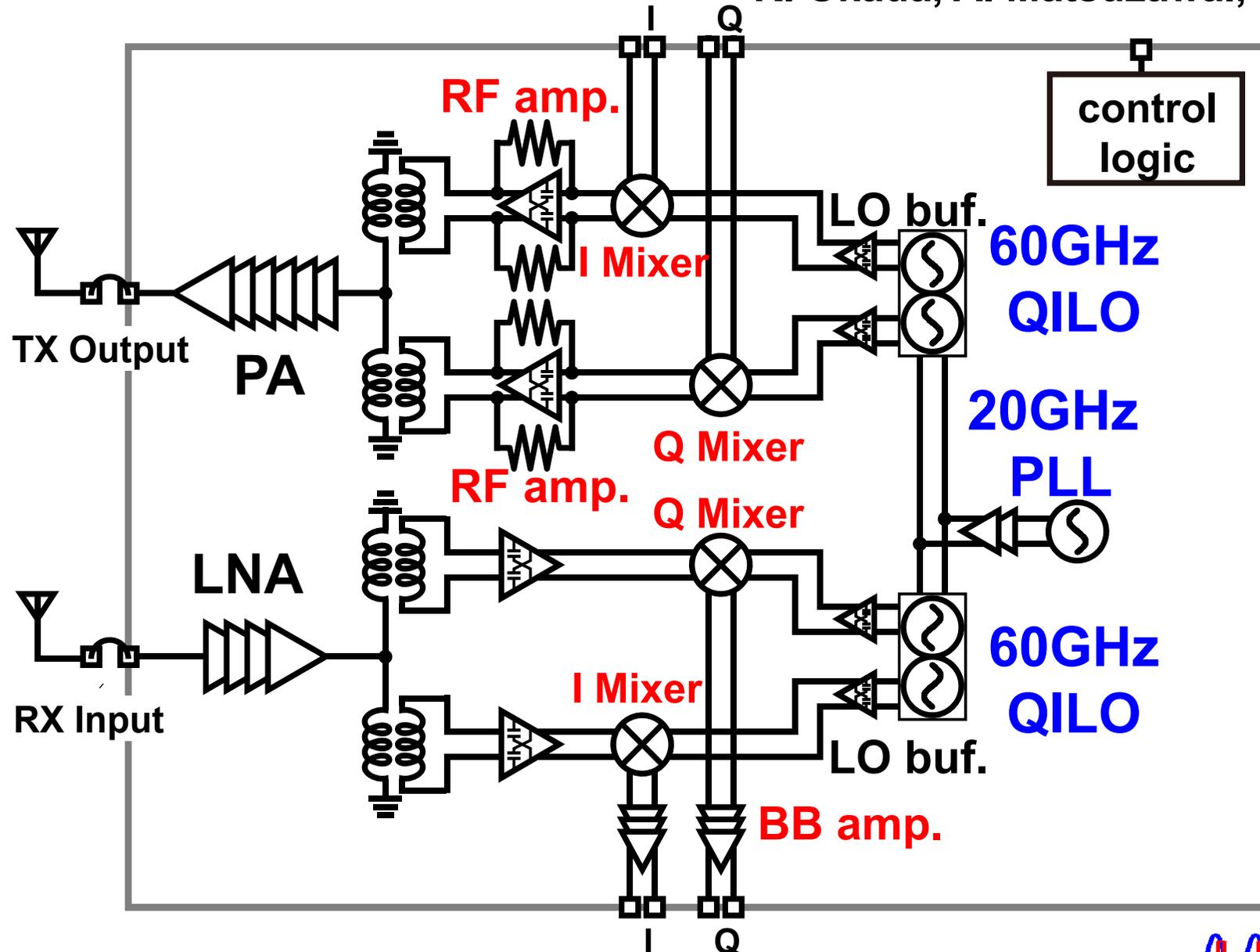
$$D_{rate} \approx N \cdot BW$$



28Gbps を実現した60GHz トランシーバ

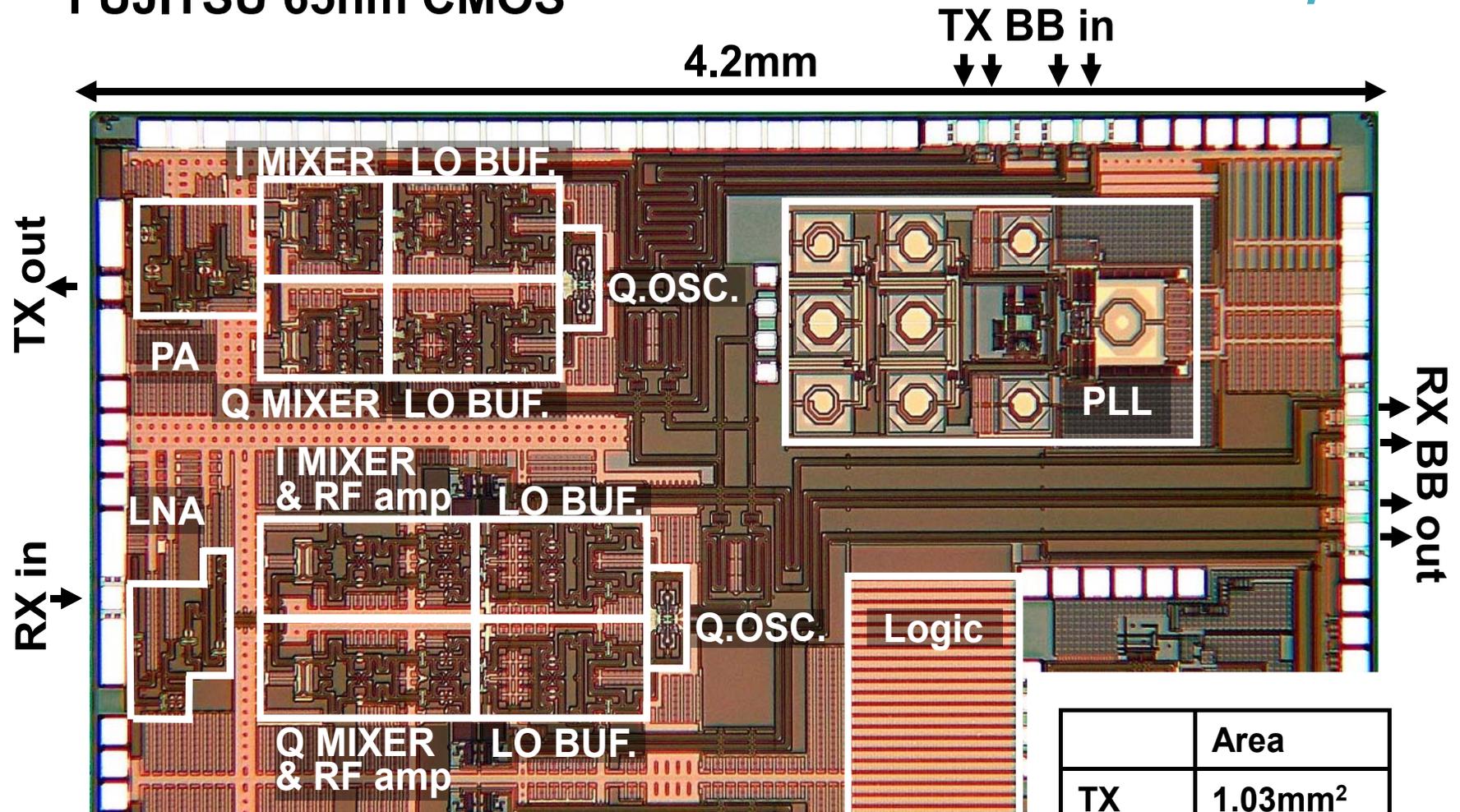
ダイレクトコンバージョン方式60GHz CMOS トランシーバ

*K. Okada, A. Matsuzawa., ISSCC 2014



チップ写真

FUJITSU 65nm CMOS



TX: 186m

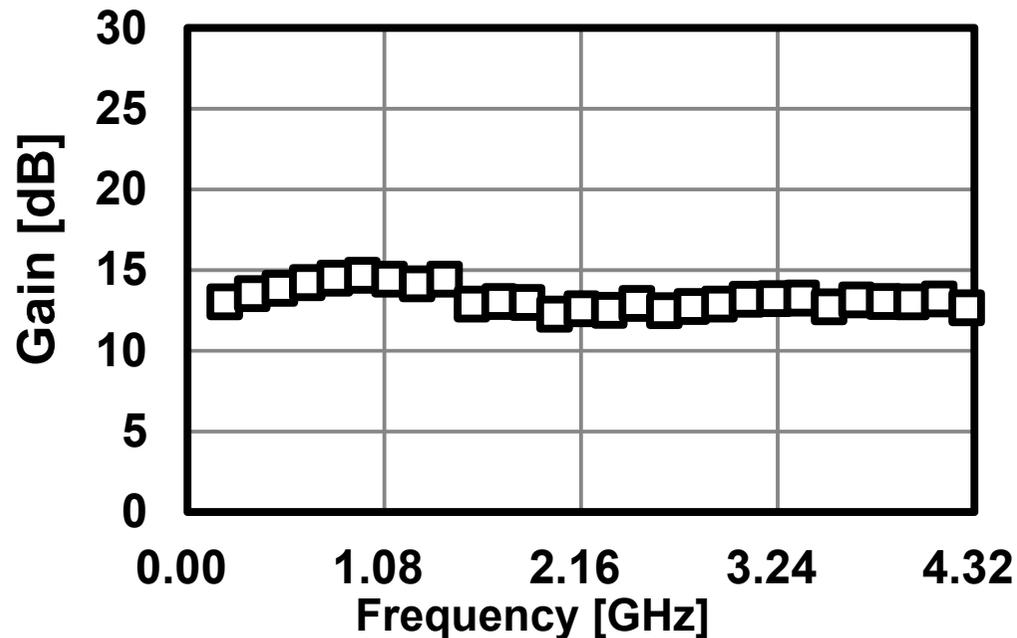
WRX: 155mW

PLL: 64mW

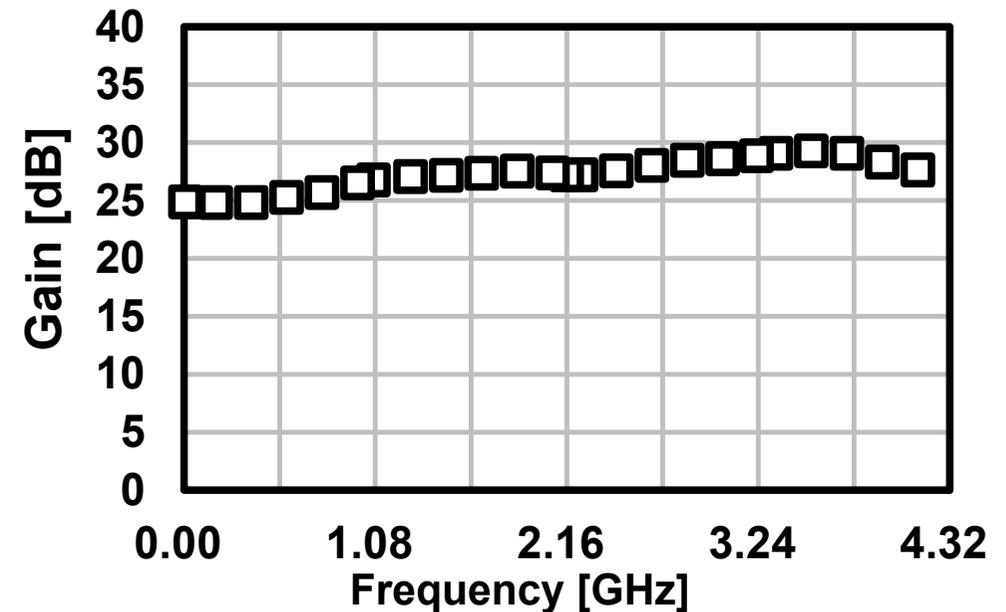
	Area
TX	1.03mm ²
RX	1.25mm ²
PLL	0.90mm ²
Logic	0.67mm ²

チャンネルボンディングのために
広帯域(DC~4.32GHz)でフラットな周波数特性を実現

送信機



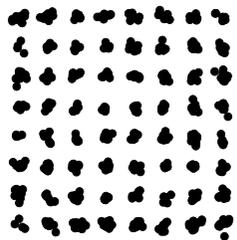
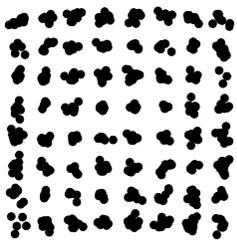
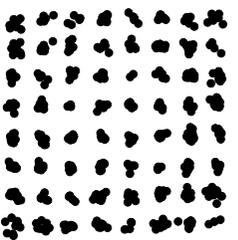
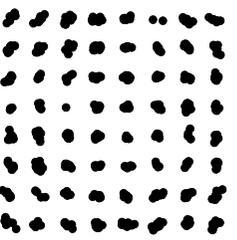
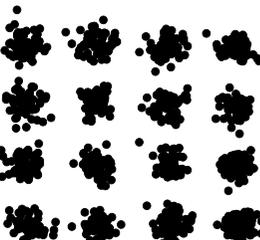
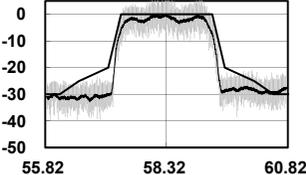
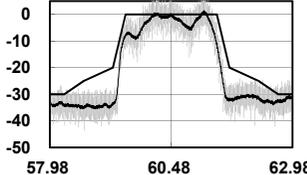
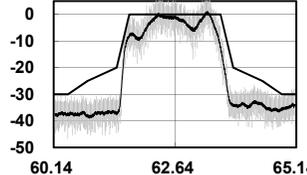
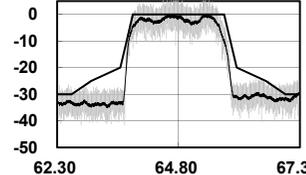
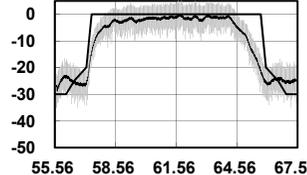
受信機



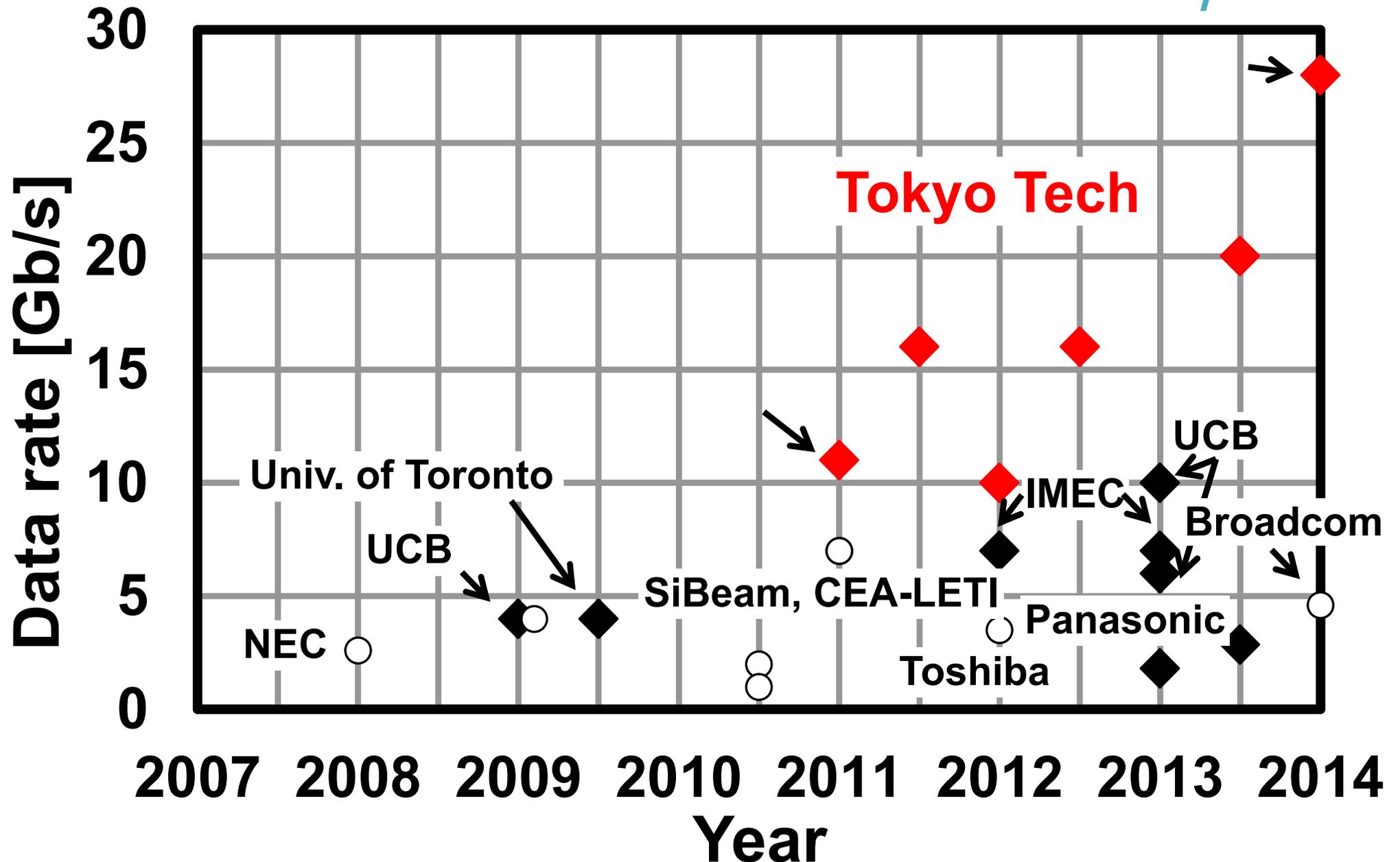
得られた伝送特性

世界初の64QAMを実現

チャンネルバンドにより28Gbps

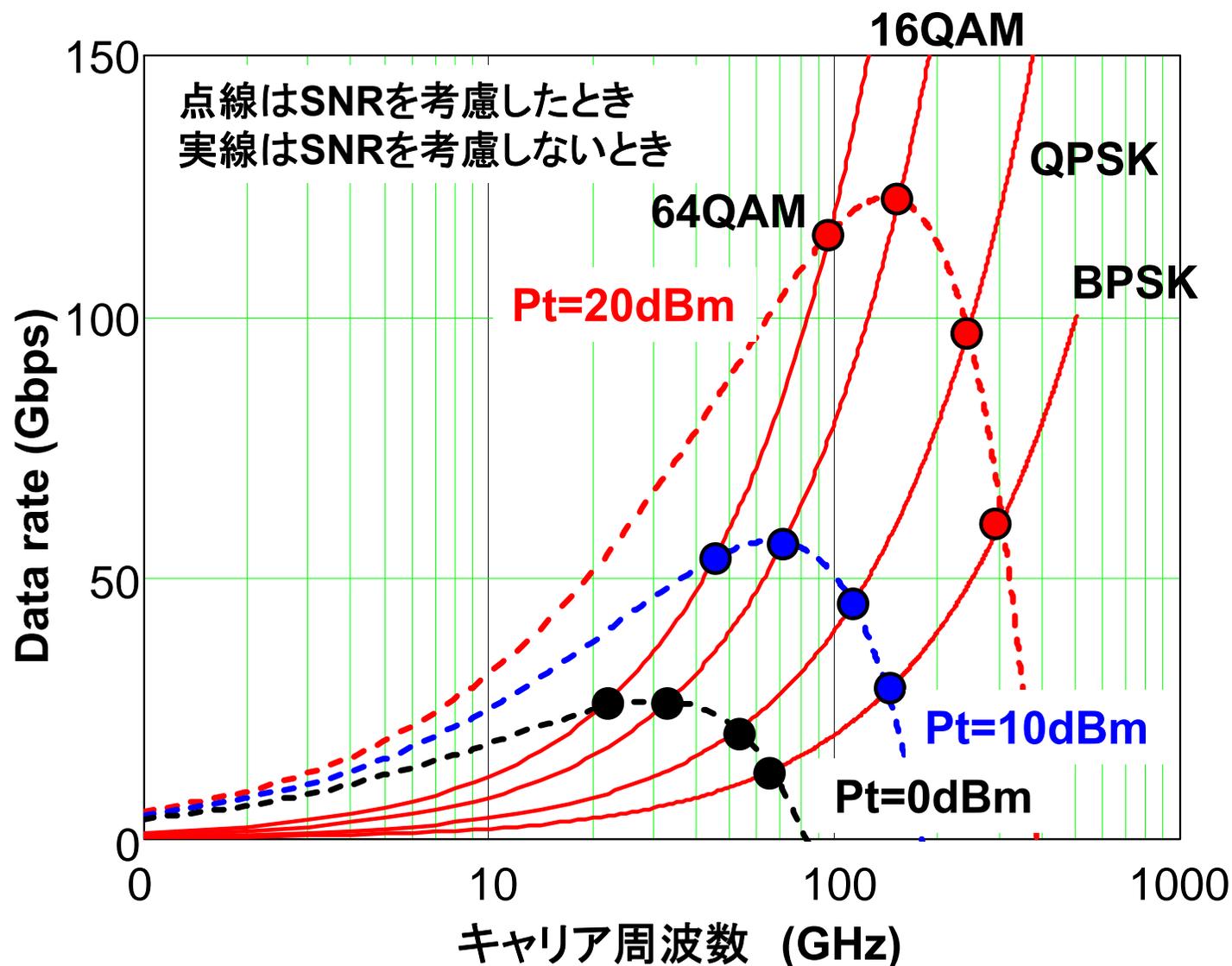
Channel/ Carrier freq.	ch.1 58.32GHz	ch.2 60.48GHz	ch.3 62.64GHz	ch.4 64.80GHz	ch.1-ch.4 Channel bond
Modula- tion	64QAM				16QAM
Data rate*	10.56Gb/s	10.56Gb/s	10.56Gb/s	10.56Gb/s	28.16Gb/s
Constella- tion**					
Spec- trum**					
TX EVM**	-27.1dB	-27.5dB	-28.0dB	-28.8dB	-20.0dB
TX-to-RX EVM***	-24.6dB	-23.9dB	-24.4dB	-26.3dB	-17.2dB

世界初の64QAMかつ最高速伝送

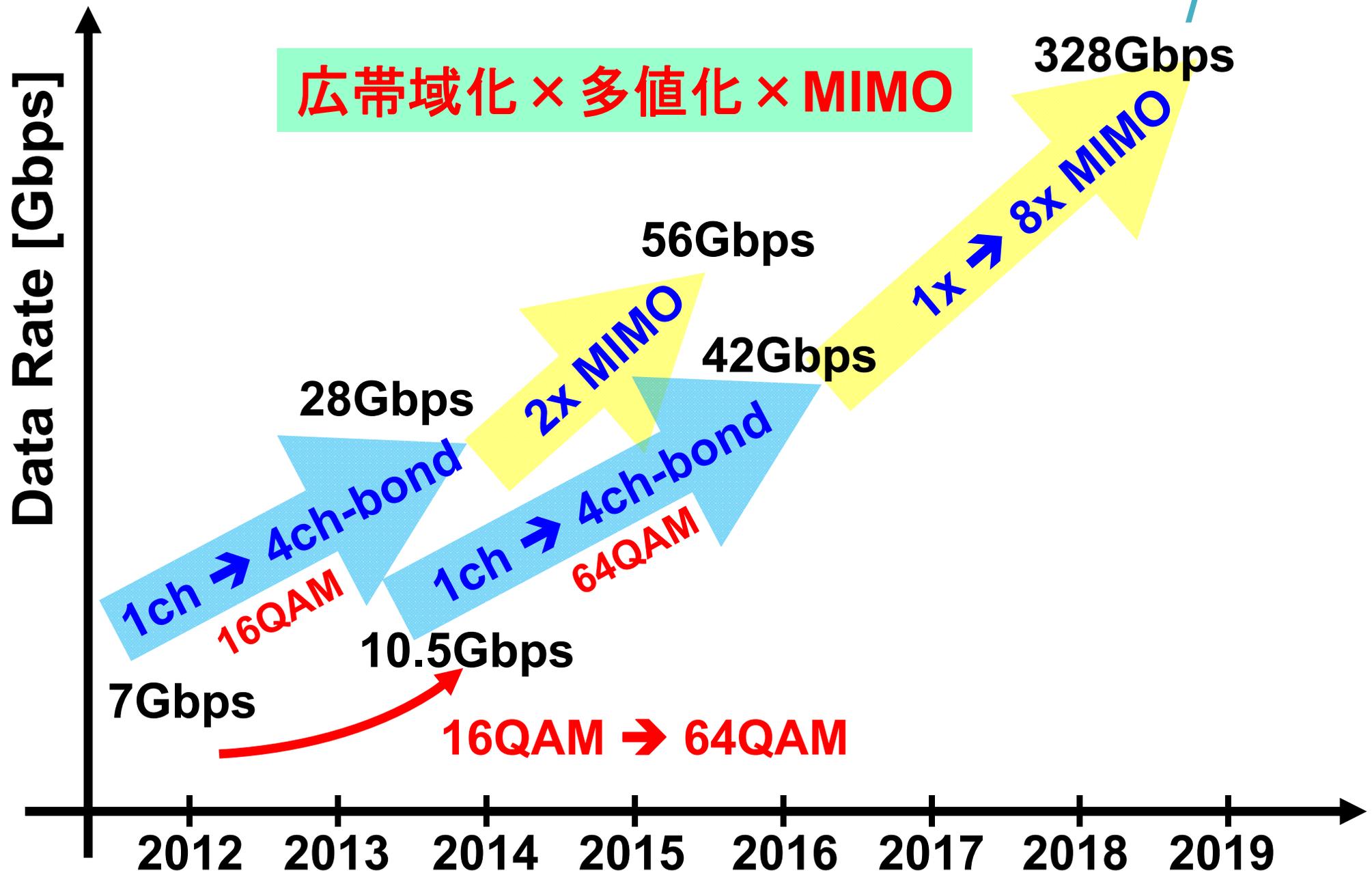


最大伝送レート

ある周波数までは周波数を上げることで伝送レートが向上できる
しかし、周波数を上げてても送信電力の増大がなければ伝送レートは伸びない
SNR限界では多値化の効果は飽和 16QAMが最大速度を与える



300Gbps伝送に向けてのロードマップ / 12



ADC

ADC開発への要望は依然として高い
ADCに始まりADCに終わるか？

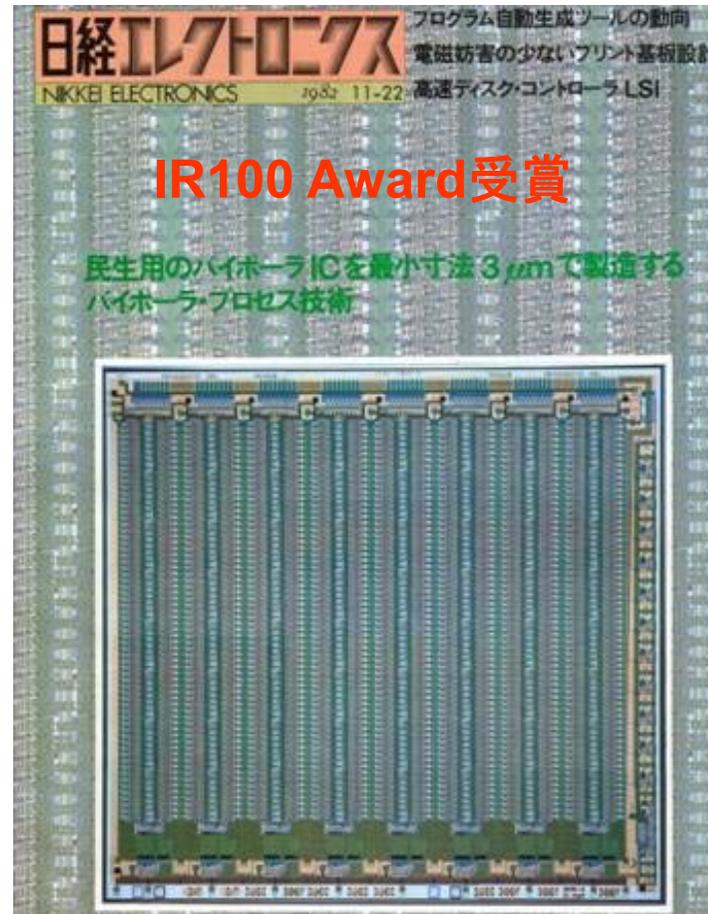
ADCに始まりADCに終わる？

1981年、世界初のビデオ用10b ADCを開発。
以来、35年にわたりADCを開発してきた。
ADC開発には終わりが無いようである。

世界初のデジタルビデオスイッチャー
256QAM無線伝送
ソウル五輪のハイビジョン中継などに使用

T. Takemoto and A. Matsuzawa,
JSC, pp.1133-1138, 1982.

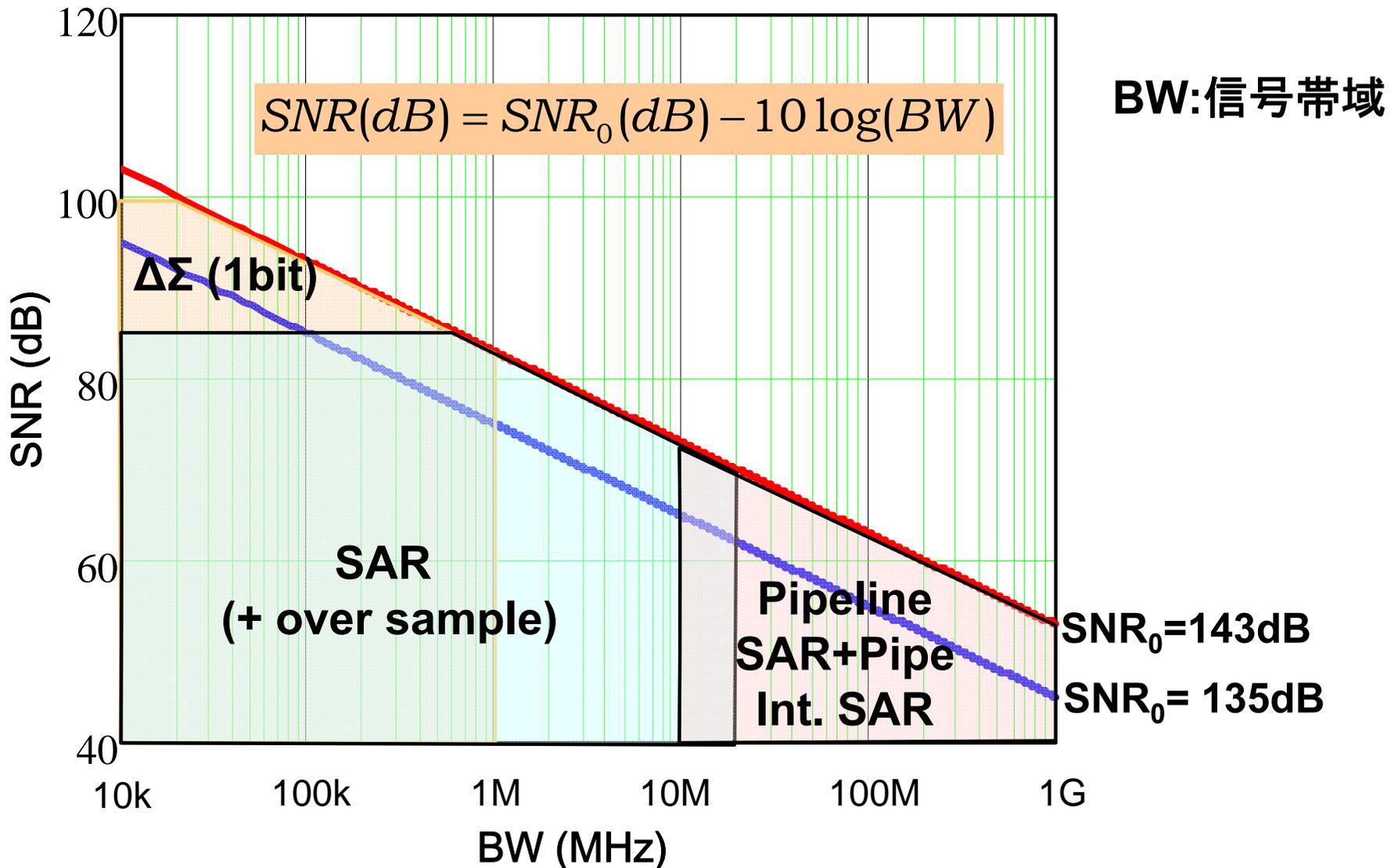
Bipolar (3 μ m)
10b, 20MS/s, 2W
\$ 800



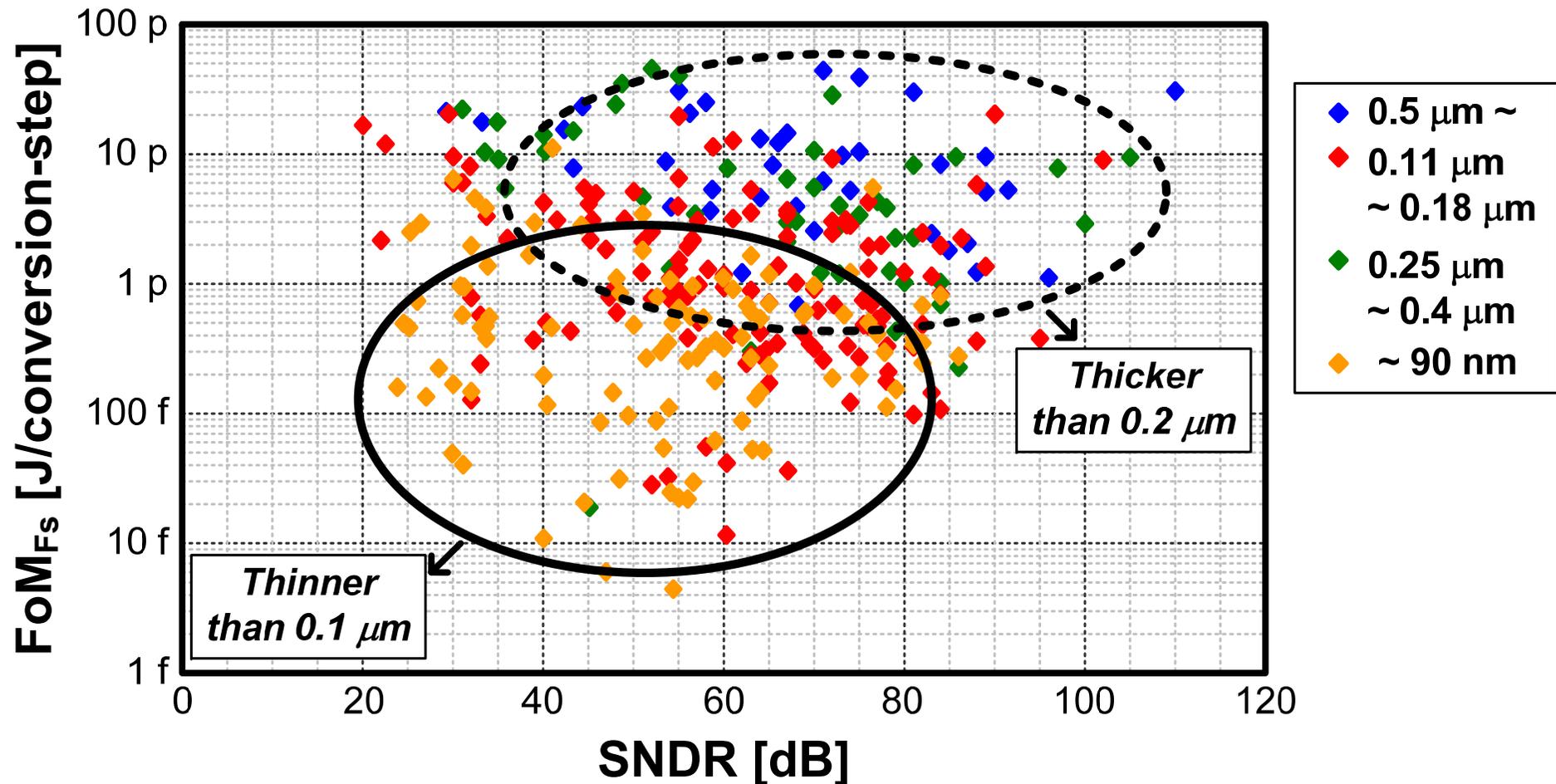
ADCの性能推移

SNRが84dB以上(上限は100dB程度)の場合は $\Delta\Sigma$ 型ADC

信号帯域が20MHz以上でSNRが40dB以上の場合はPipe, SAR Pipe, Int. SAR
それ以外の領域ではSAR ADCが汎用的に使用できる



FoM (動作エネルギー) の減少は微細化が寄与している。
ただし、高SNDRにおいてはさほど寄与していない。

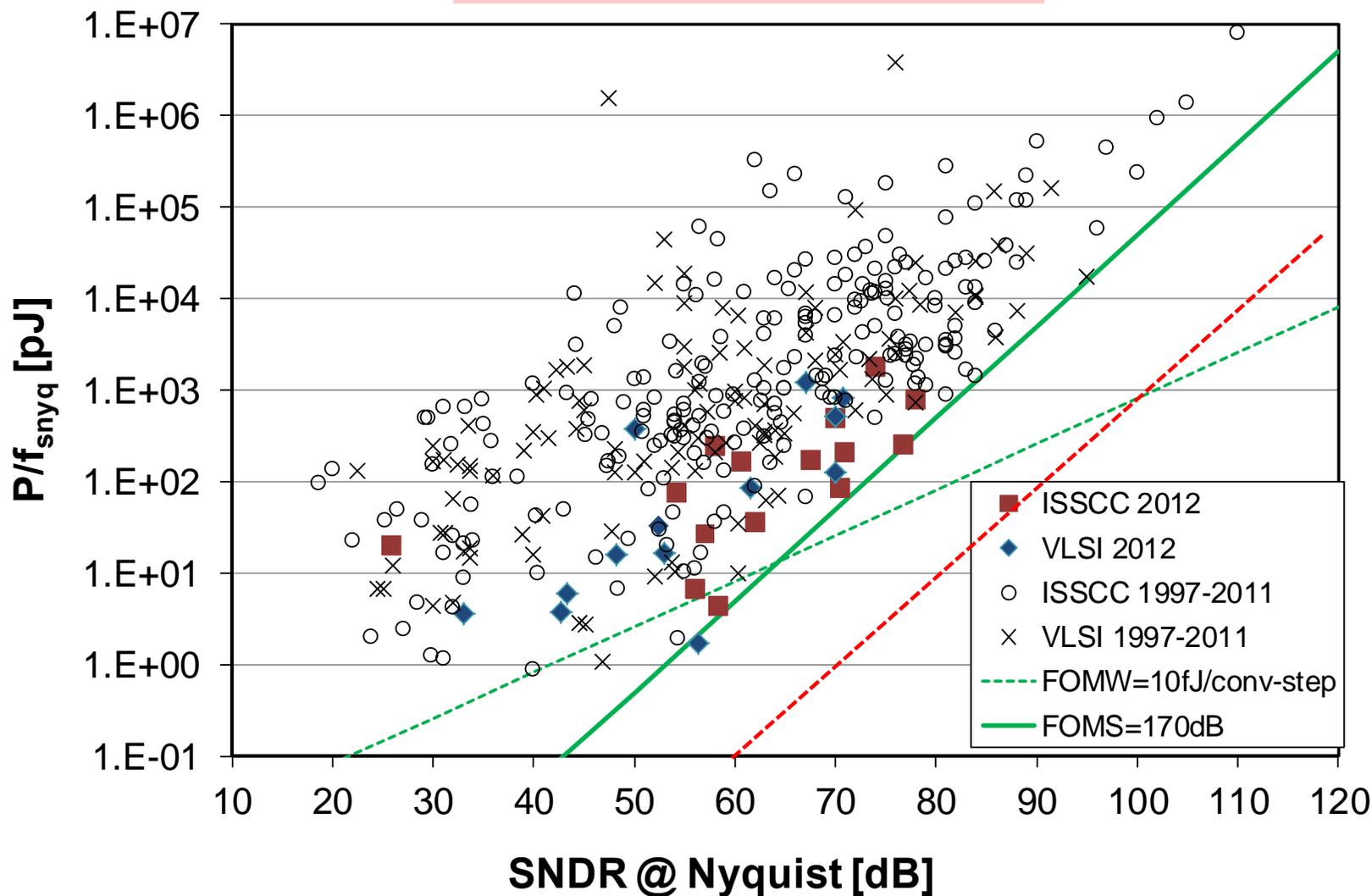


B. Murmann, "ADC Performance Survey 1997-2011," [Online].

SNDRと変換エネルギーは比例する。現状は理論限界に迫っている。

理論限界

$$E_{ADC} = N \times 2^{2N} \times 10^{-19}$$



現在の最前線

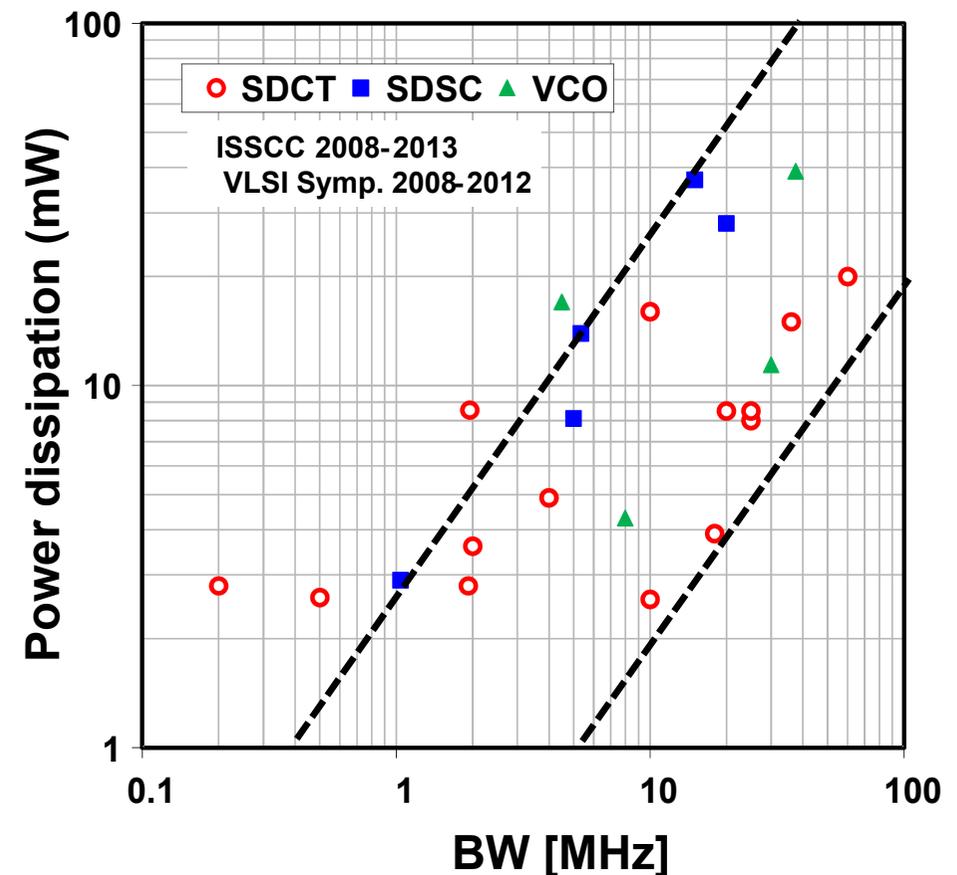
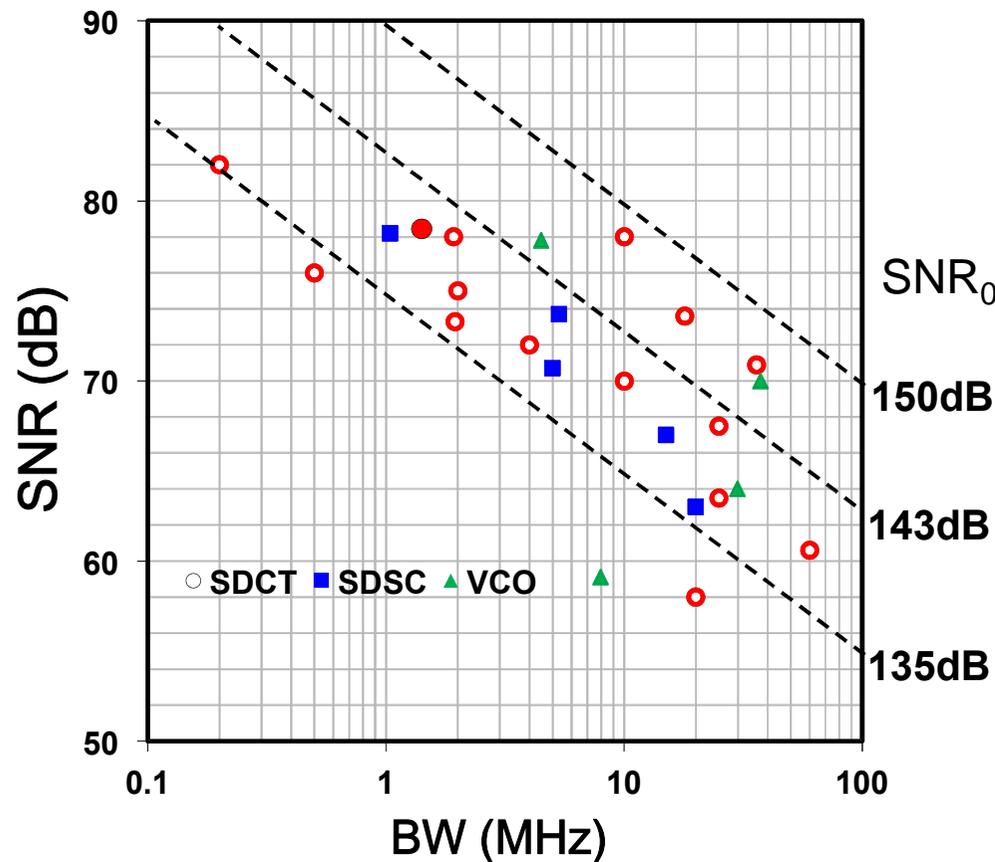
理論限界

スケーラブル 12bit SAR ADC

信号帯域が広いときはSNRは下がっても良いが、信号帯域が低い場合は高いSNRを実現。消費電力は変換周波数に比例するようなADCが欲しい

無線通信用ADCのSNRは信号帯域に反比例し消費電力は信号帯域に比例する

$$SNR \approx SNR_0 - 10 \log(BW) \quad P_d \approx K_1 \cdot BW \quad K_1: 0.2 \text{ -- } 3 \text{ (mW/MHz)}$$

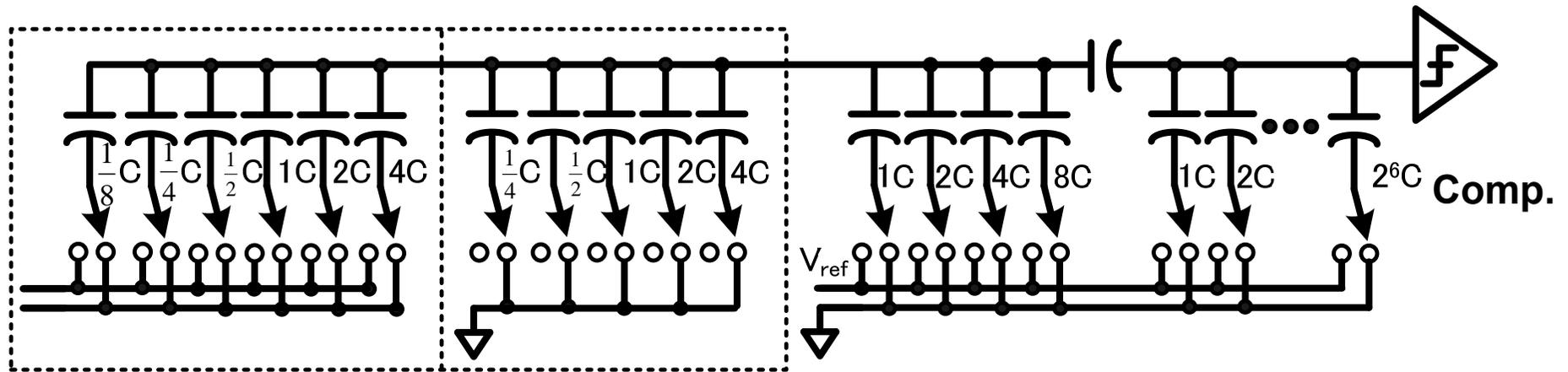


Matsuzawa, A. "Digitally-Assisted Analog and RF CMOS Circuit Design for Software-Defined Radio," Chapter 7, Springer 2011.

SAR ADC : 汎用ADC

SAR ADCは最も低いエネルギーで動作するADCである。
このSARを汎用ADCとして用いたい。

容量ミスマッチや寄生容量によるリニアリティ劣化はデジタル的に補償する



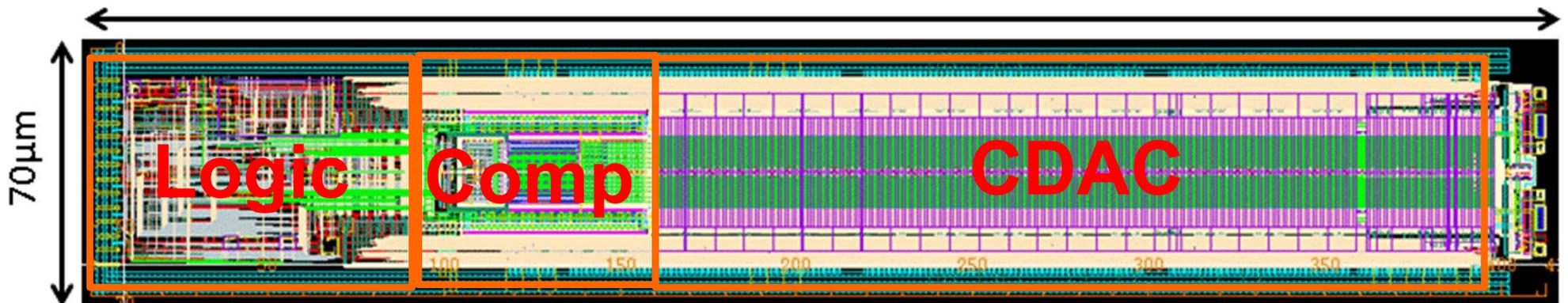
ミスマッチ容量補正

シリアル容量補正

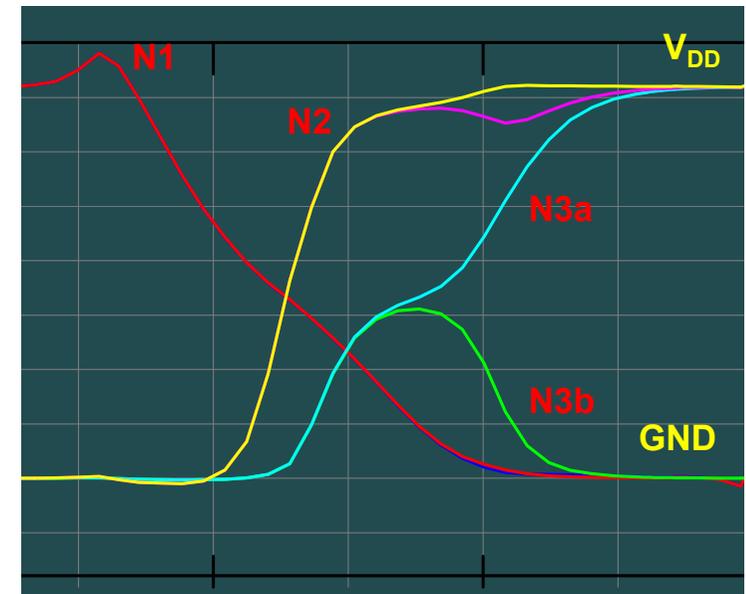
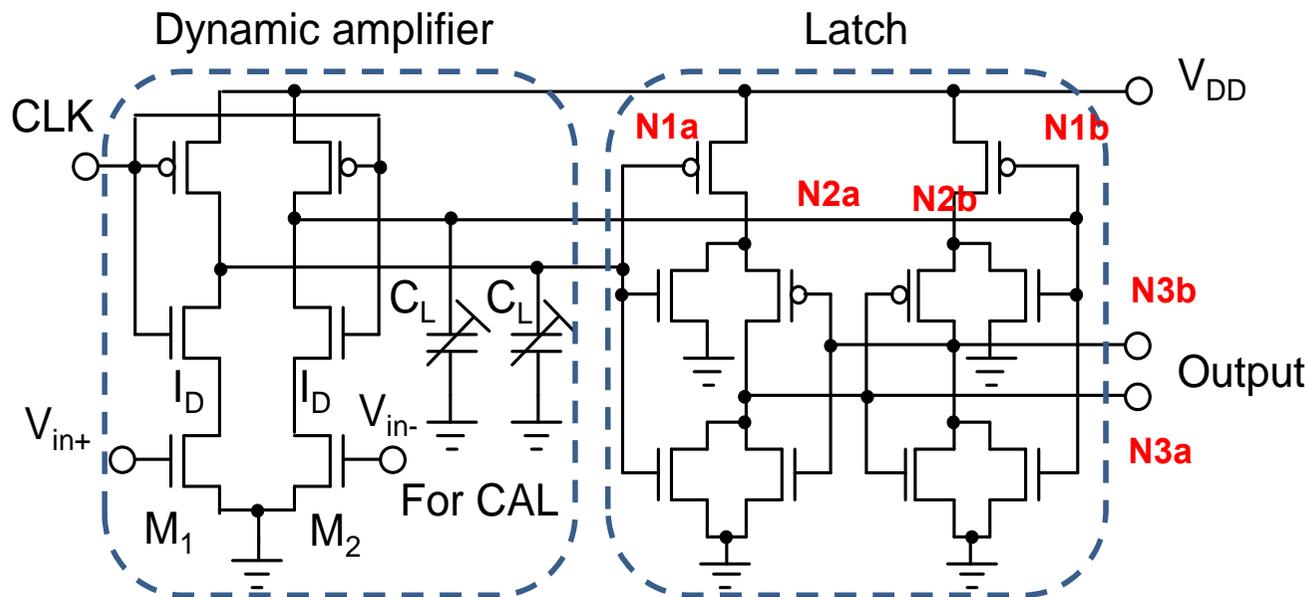
12bit, 65nmCMOS, 0.03mm²

420μm

S. Lee, A. Matsuzawa, SSDM 2013



ダイナミック型比較器はCMOSロジックと同様貫通電流がゼロで動作する。最大4GHzの動作が可能だが、数Hzの低速でも動作する。ノイズが大きく10bit以上の高分解能化が困難であったが、低ノイズ回路の開発により12bitの高分解能化が可能となった。



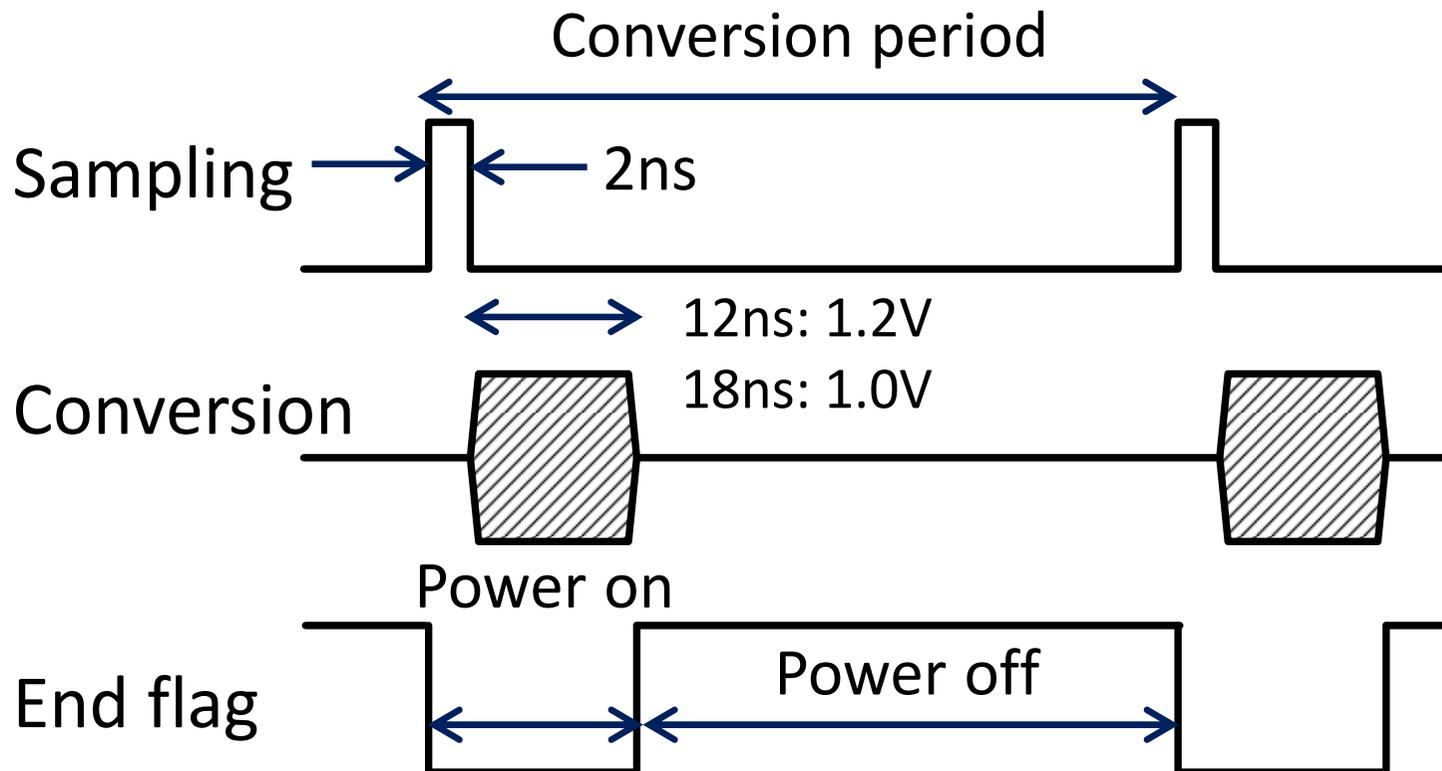
M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, "A Low-Noise Self-Calibrating Dynamic Comparator for High-Speed ADCs," A-SSCC, Nov. 2008.

Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira Matsuzawa, "A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC," A-SSCC, 5-3, pp. 141-144, Taiwan, Taipei, Nov. 2009.

サンプリングパルスが入力され、立下りエッジにより逐次比較動作が開始，12回の変換が行われると変換終了フラグが立つ。
変換に要する時間は12 -- 18ns程度しかかからない。
残りの時間は回路をオフしてリーク電流を遮断できる。

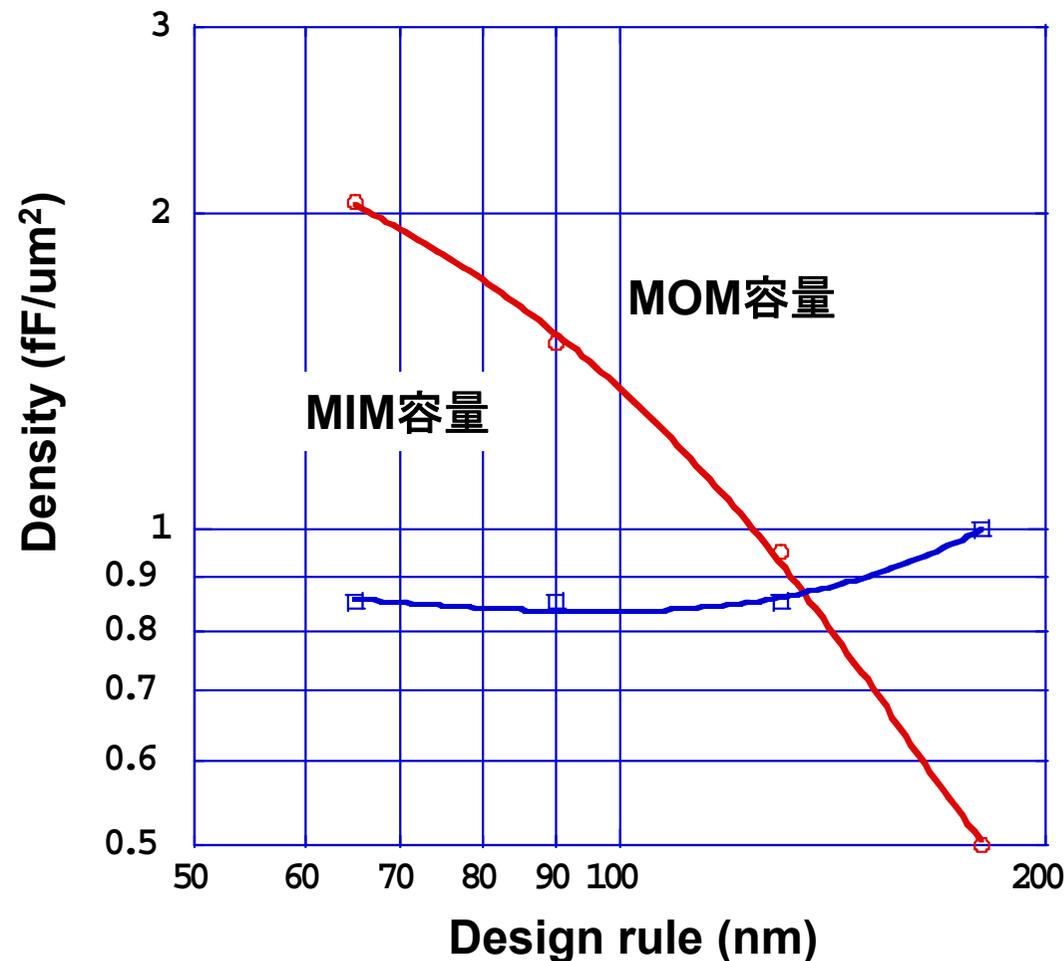
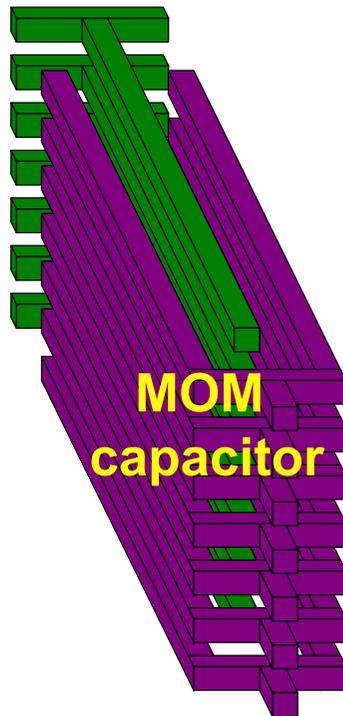
消費電力はサンプリング周波数に比例

$$P_d = f_s \times E_d$$

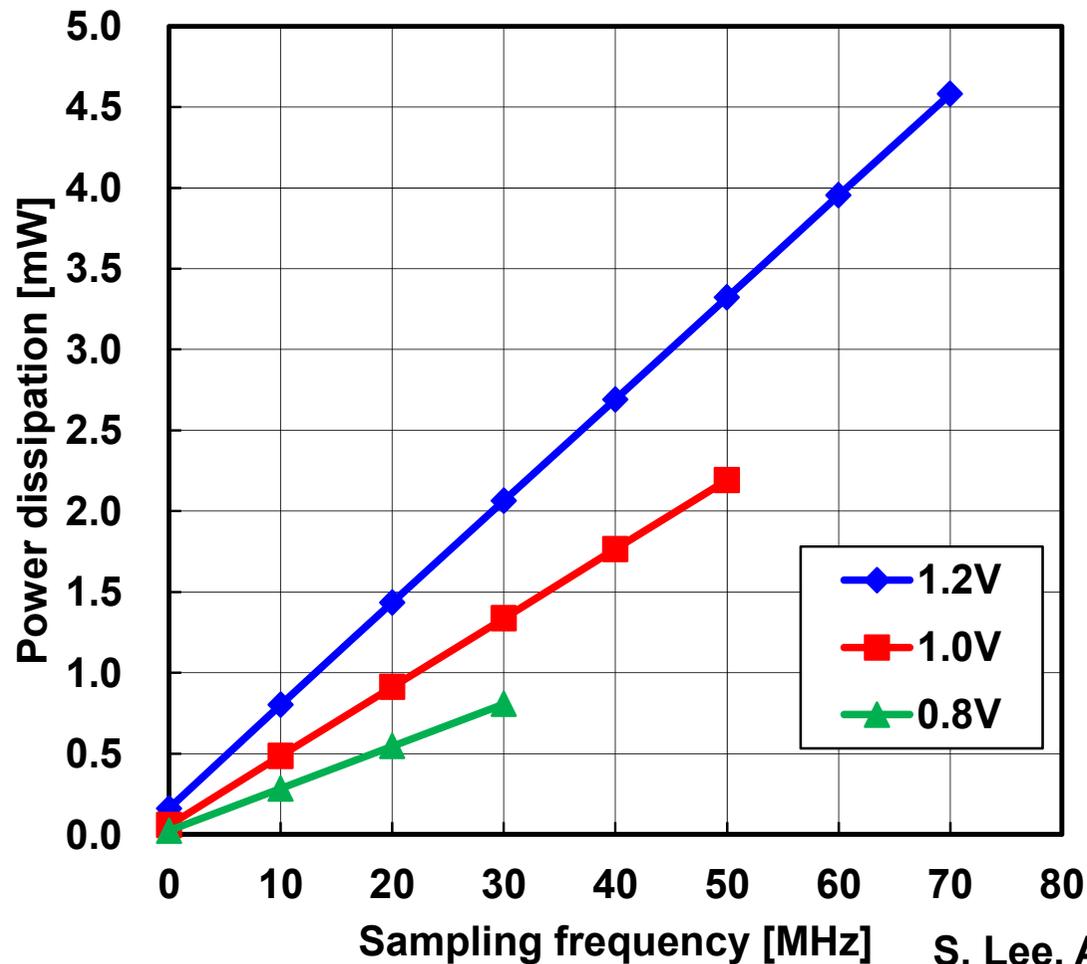


MOM容量はMIM容量と違い微細化により容量密度が増加する。したがって、微細化プロセスを用いることで占有面積が小さくなり、距離が短縮されるので、高速化、低電力化を図ることができる。

MOM容量により微細化とともに容量部の面積縮小が可能である



完全なダイナミック動作により、ADCの消費電力はCMOSロジックと同様動作周波数に比例する。低い変換周波数では超低電力化が可能。低い変換周波数では低電圧動作により、より低電力化が可能である。70MSpsの高速動作を実現。



50MSps: 2mW
5MSps: 200uW
500KSps: 20uW
50KSps: 2uW
5kSps: 0.2uW

S. Lee, A. Matsuzawa, et al., SSDM 2013

- 最高變換速度: 70MSps
- 最低動作電壓: 0.8V
- 最小消費電力: 2.2mW at 50MSps
- 最小FoM: 28fJ
- 最小面積: 0.03mm²

12bit SAR ADCs

	This work			[3]	[4]
Resolution (bit)	12			12	12
V _{DD} (V)	0.8	1	1.2	1.2	1.2
f _{sample} (MHz)	30	50	70	45	50
P _d (mW)	0.8	2.2	4.6	3	4.2
SNDR (dB)	62	64	65	67	71
FoM (fJ) Nyq/DC	81/28	62/33	100/45	36/31	36/29
Technology (nm)	65			130	90
Occupied area(mm ²)	0.03			0.06	0.1

S. Lee, A. Matsuzawa, et al., SSDM 2013.

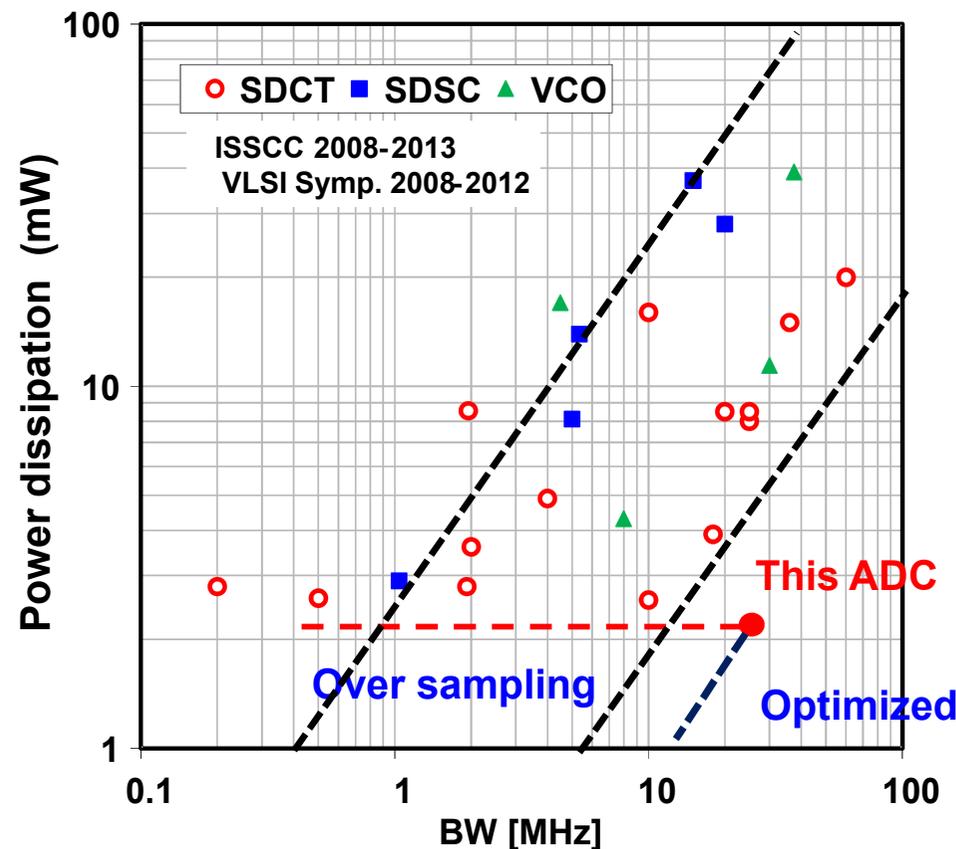
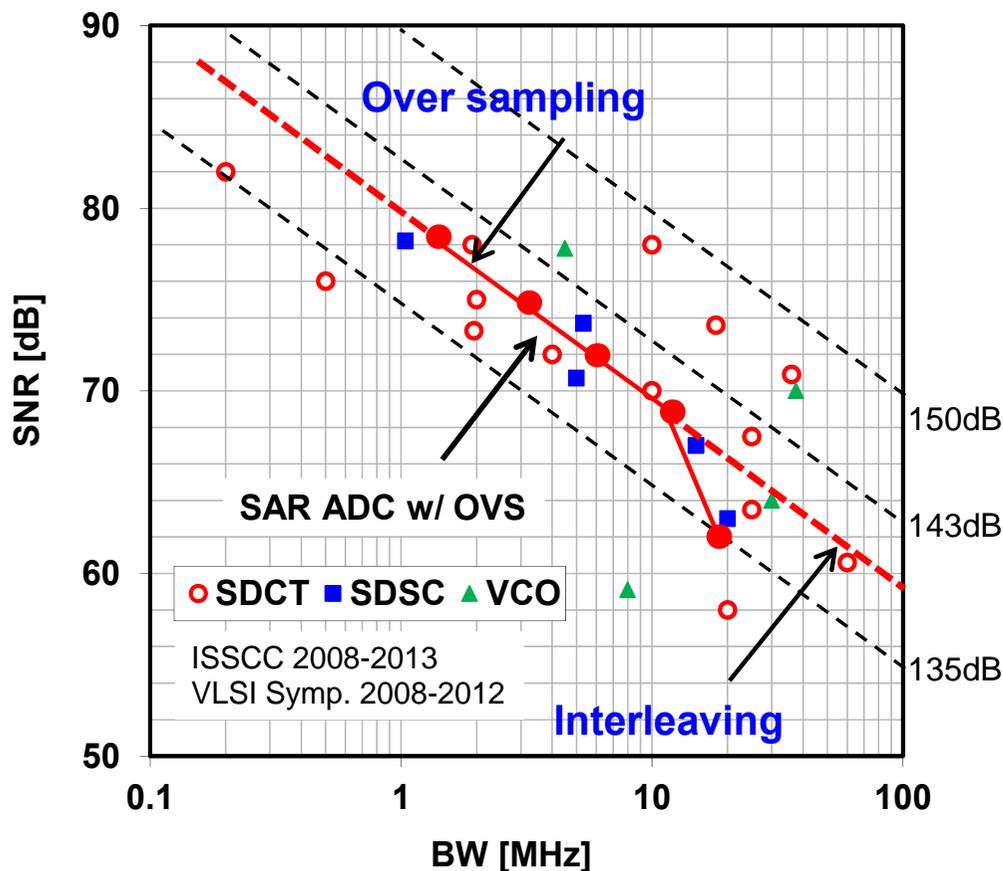
[3] W. Liu, P. Huang, Y. Chiu, ISSCC, pp. 380-381, Feb. 2010.

[4] T. Morie, et al., ISSCC, pp.272-273, Feb. 2013.

SNRは信号帯域が20MHzで62dB, デジタルフィルタで信号帯域を制限することでSNRを向上できる。帯域1MHzで78dBのSNRを実現
 高い信号帯域に対してはインターリーブで対応の予定。
 消費電力はこれまでの通信用ADCに比べ最少。

S. Lee, A. Matsuzawa, et al., SSDM 2013

1V, 50MSps Operation



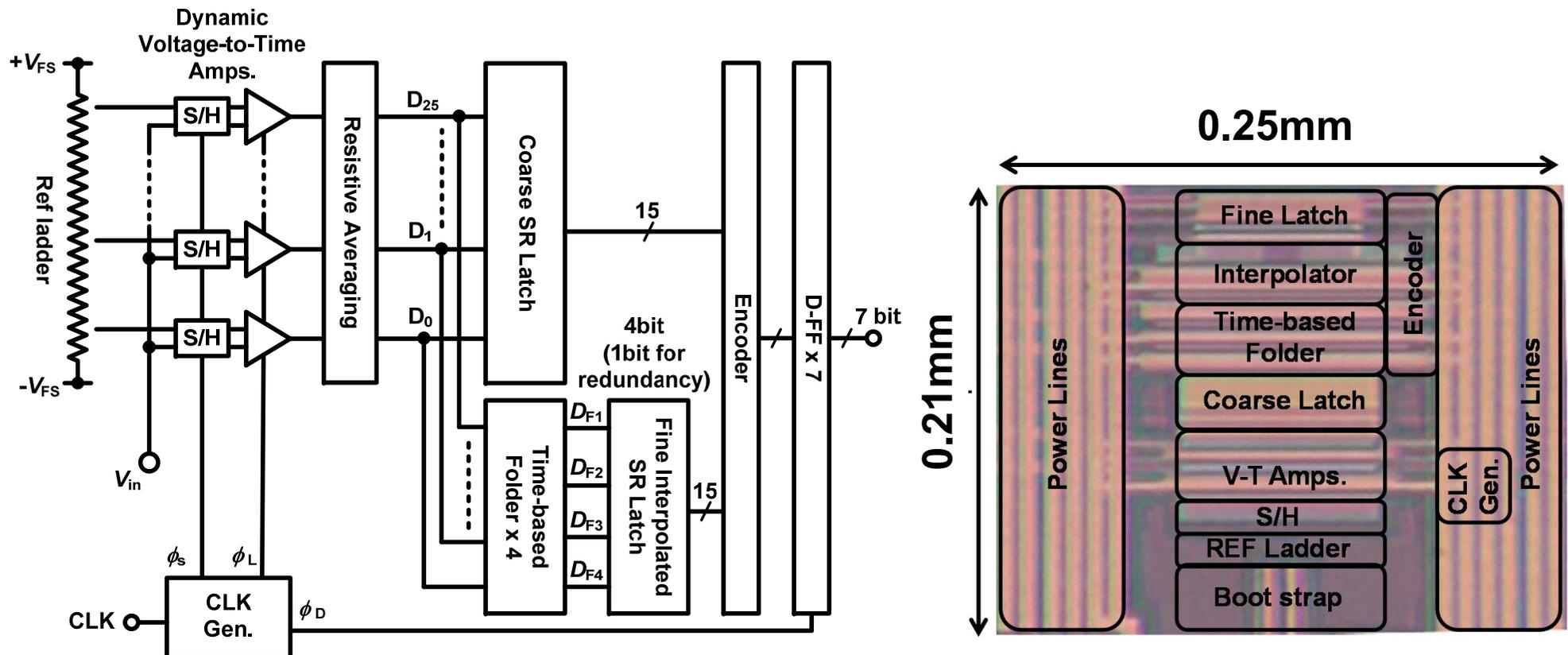
時間領域処理を用いた

7bit 2.2GSps ADC

ABB用7bit 2.2GSps ADCの開発

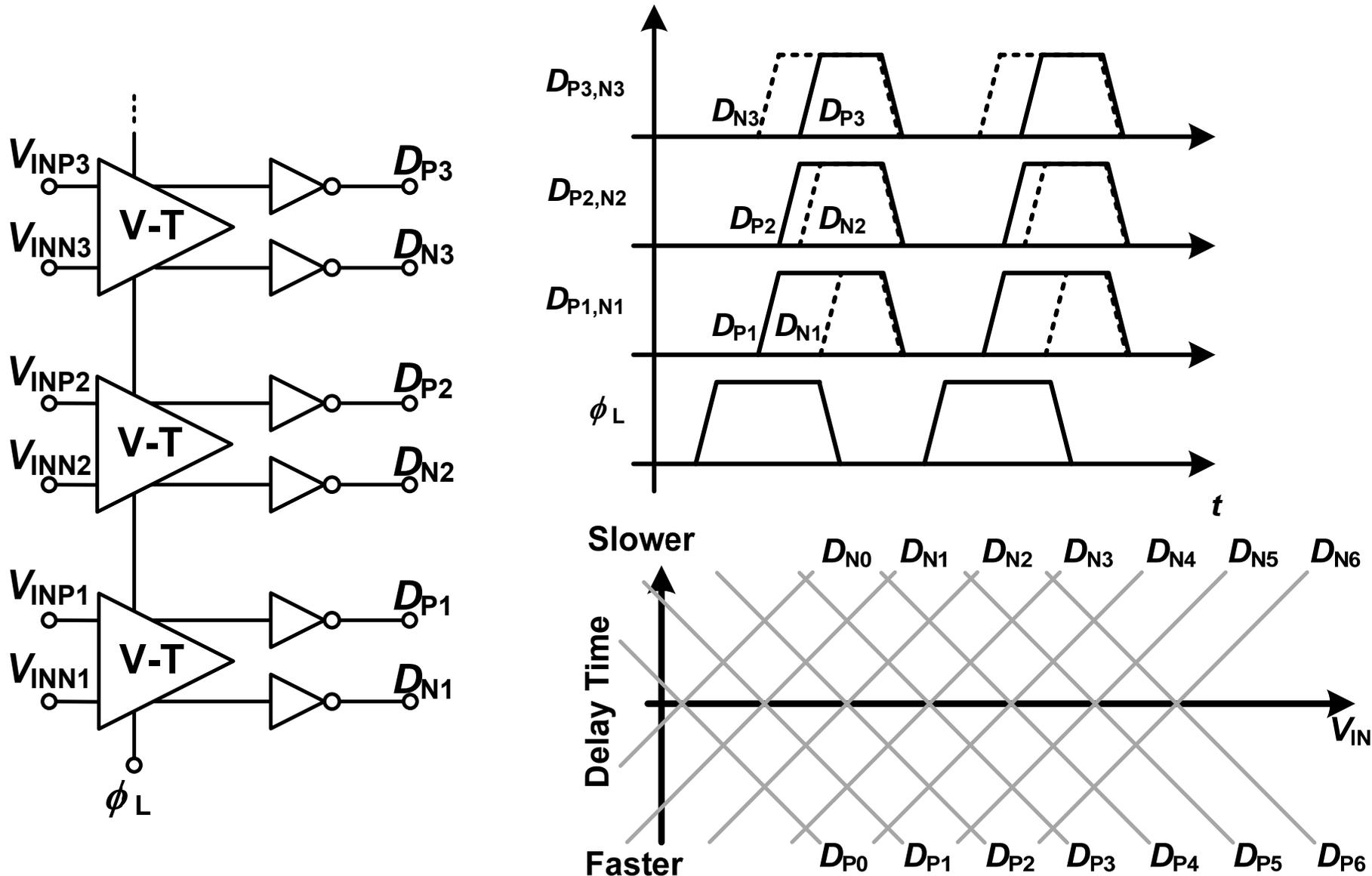
- ・ 16QAM用7bit ADC
- ・ ダイナミックアンプで電圧を時間差信号に変換
- ・ 時間差信号をロジックセルを用いて折り返し特性を実現

M. Miyahara, A. Matsuzawa, ISSCC 2014



電圧差から時間差への変換

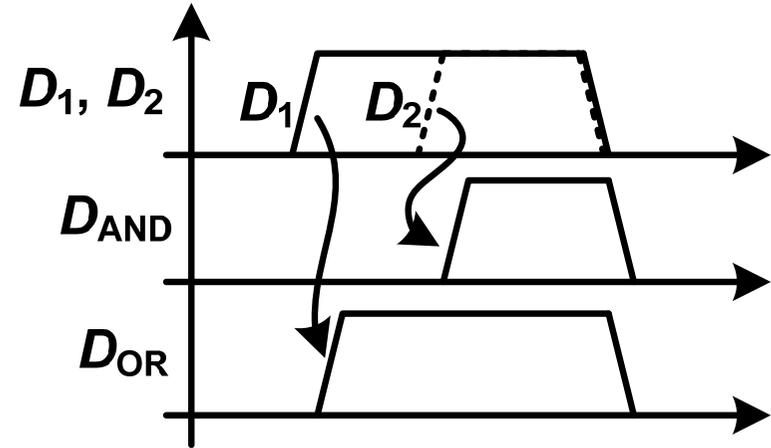
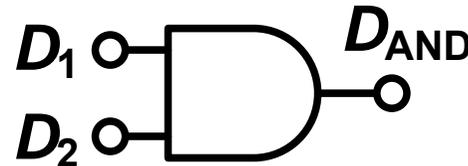
ダイナミックアンプでは電位差の大きな入力ほど早く信号が出力されることを用いて、電圧差から時間差に変換している。



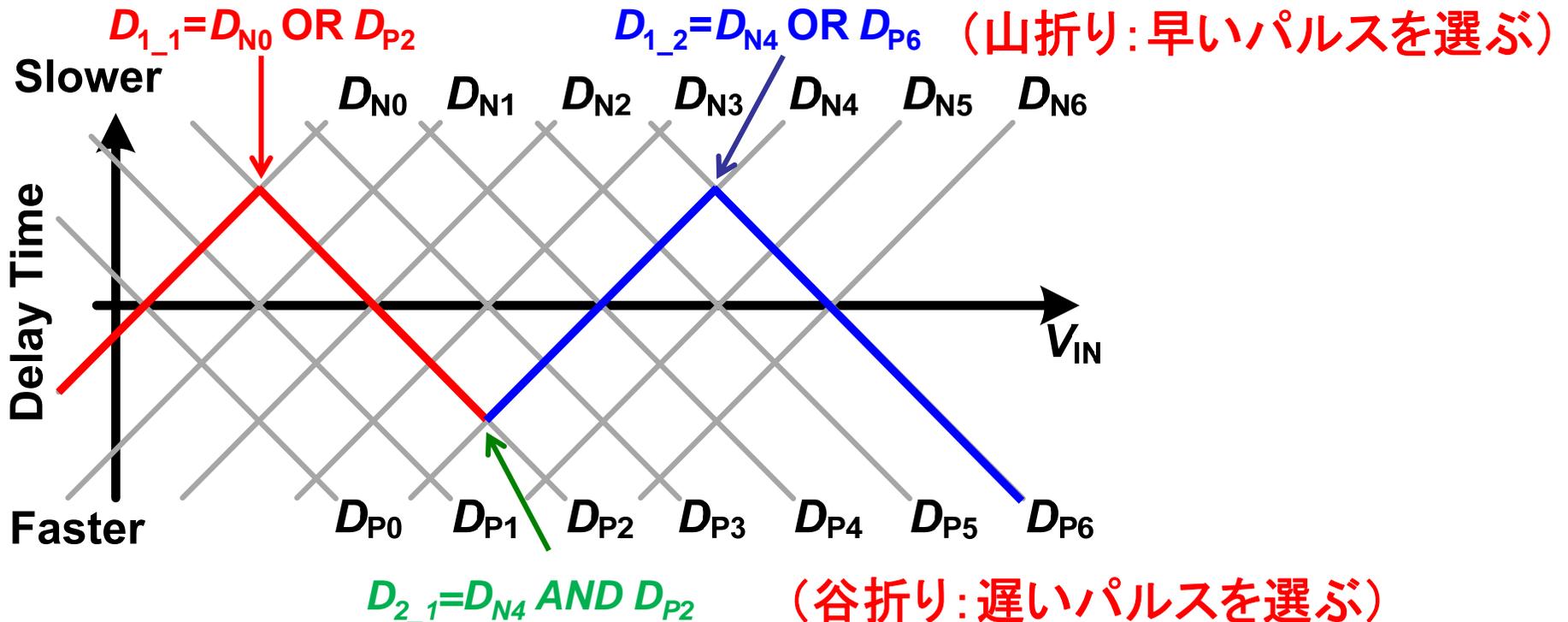
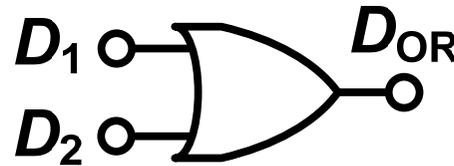
時間領域での折り返し

タイミング上の折り返しは簡単な論理回路で実現できる

AND: 遅いパルスを選ぶ

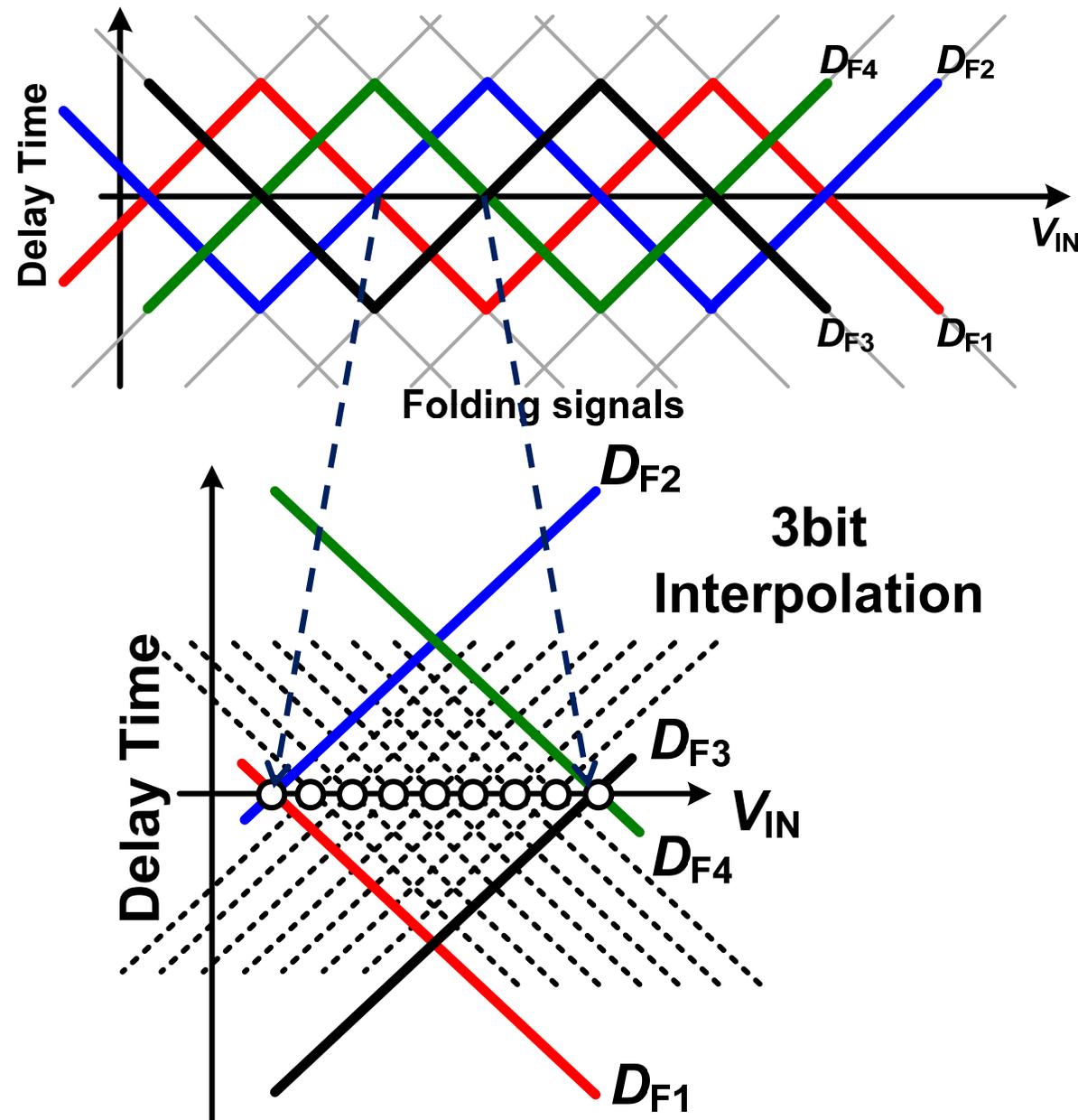


OR: 早いパルスを選ぶ



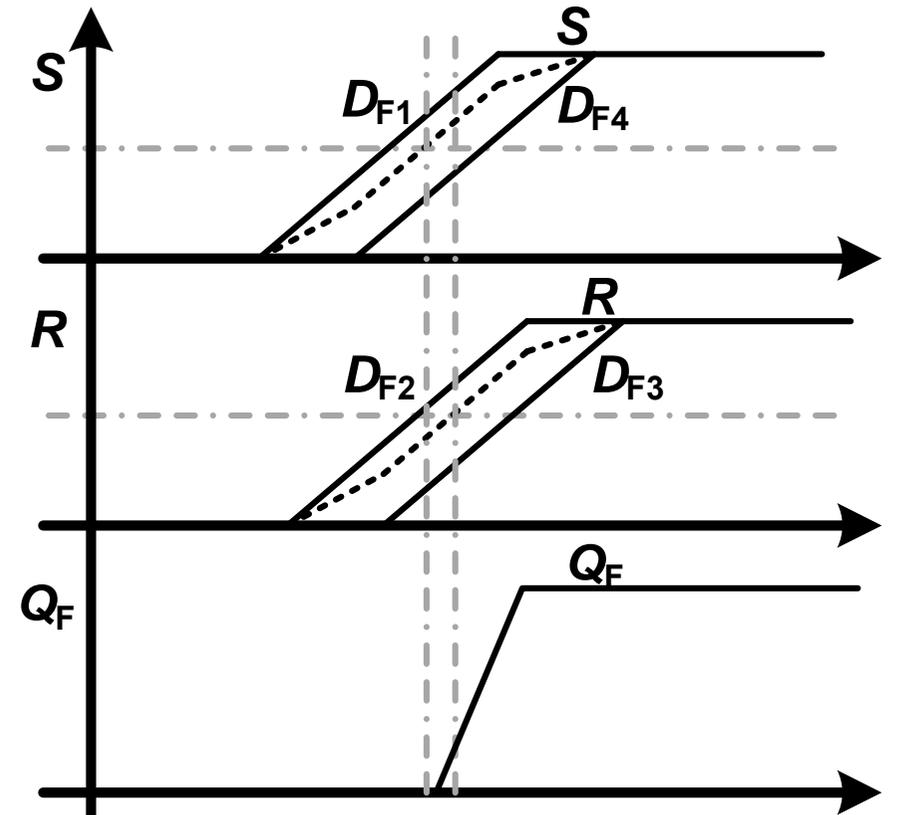
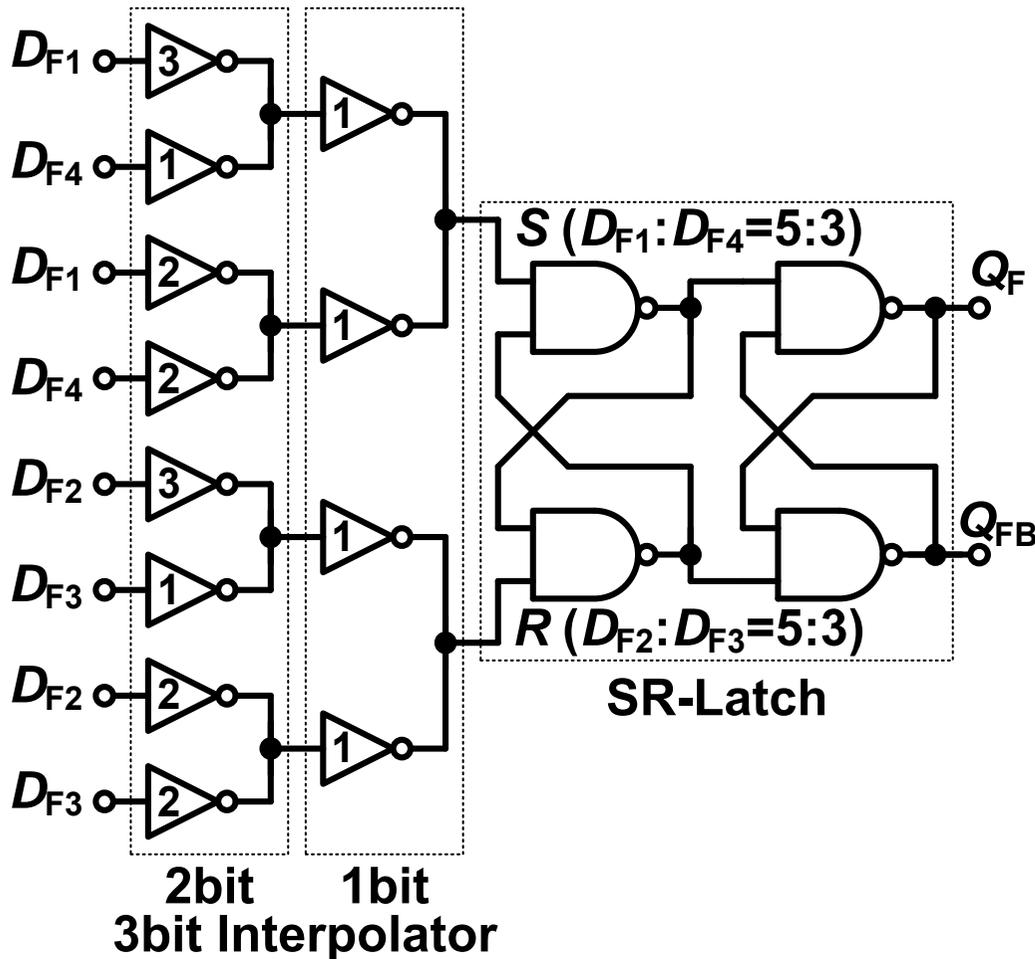
折り返し信号間の補間

折り返し信号間を補間することで、高精度なA/D変換が可能になる



重みづけされたインバータで補間を実現し
SRラッチでタイミングの比較を行う。

時間領域では簡単なロジック回路で各種演算が行える。



SR-Latch response in the case of interpolation ratio of 5:3

[6] D. Miyashita, et al., VLSI symp. 2011

2GS/s以上のFlash型ADCとして最も高いSNDR =37.4dBを達成
キャリブレーション回路無しで動作可能。

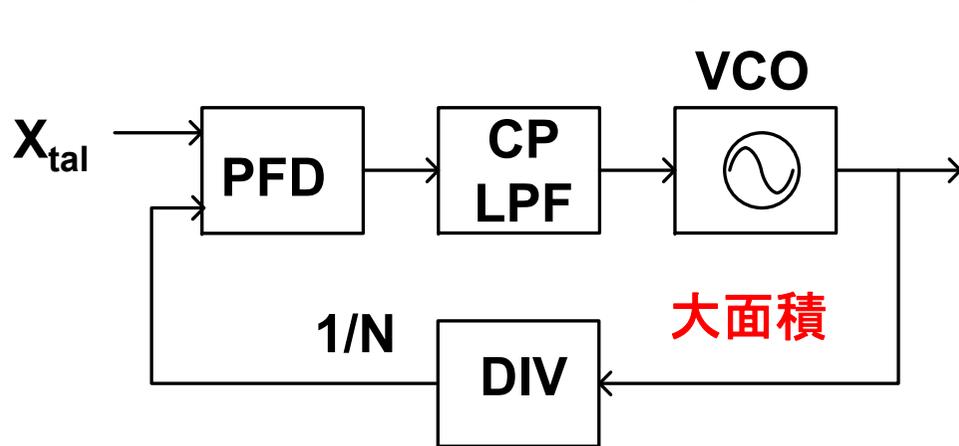
消費電力が大きいが、最適化で半減は可能

	ISSCC 2008 [3]	VLSI 2012 [8]	VLSI 2013 [9]	This work
Technology	90nm	40nm	32nm SOI	40nm LP
Resolution [bit]	5	6	6	7
Power Supply [V]	1	1.1	0.85	1.1
Sampling Frequency [GS/s]	1.75	3	5	2.2
Power Consumption [mW]	2.2	11	8.5	27.4
SNDR @Nyquist [dB]	27.6	33.1	30.9	37.4
FoMw [fJ/conv.-step]	64.5	99.3	59.4	210
FoMs [dB]	143.5	144.4	145.6	143.3
Core area [mm ²]	0.0165	0.021	0.02	0.052
Calibration	Off chip	Foreground	Off chip	No need

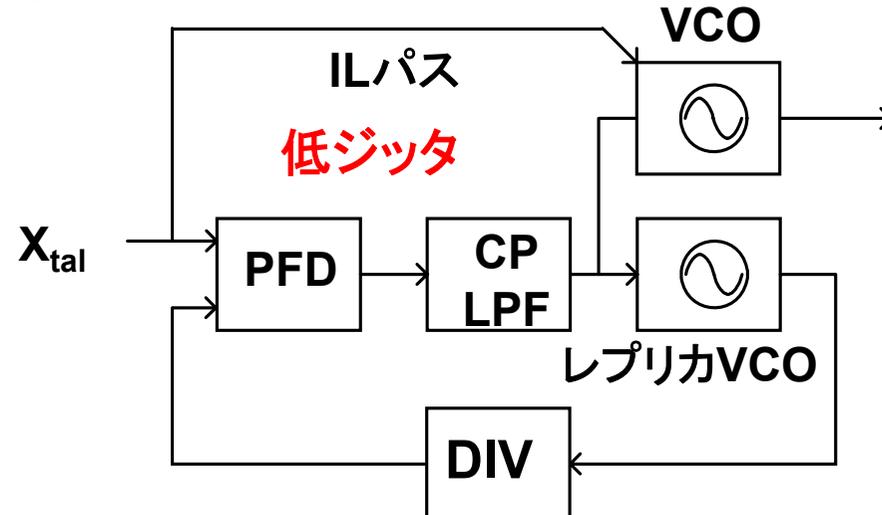
PLL

正確な周波数とタイミングを作り出すPLLの
技術革新は今後も続く

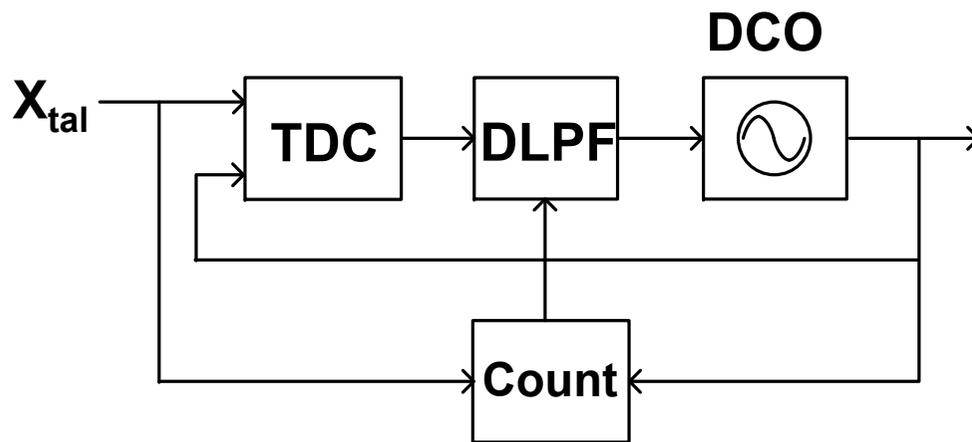
PLL技術の革新はまだまだ続く



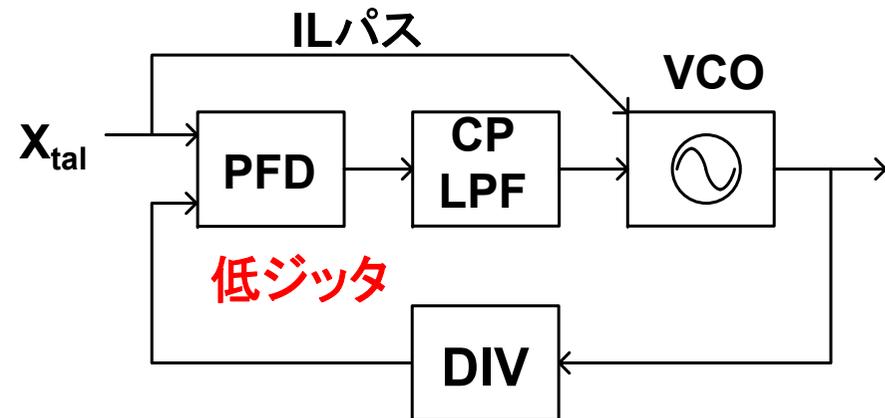
(a) 通常のチャージポンプPLL



(b) インジェクションロック (IL) PLL
(レプリカVCOを使用)



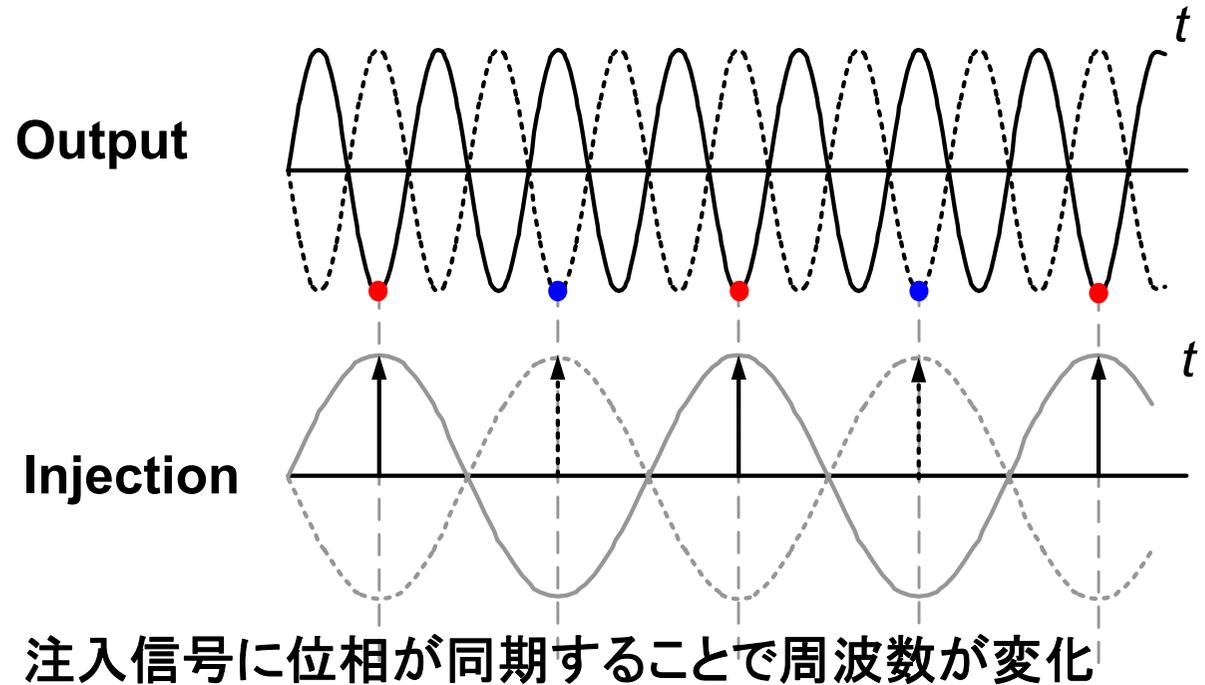
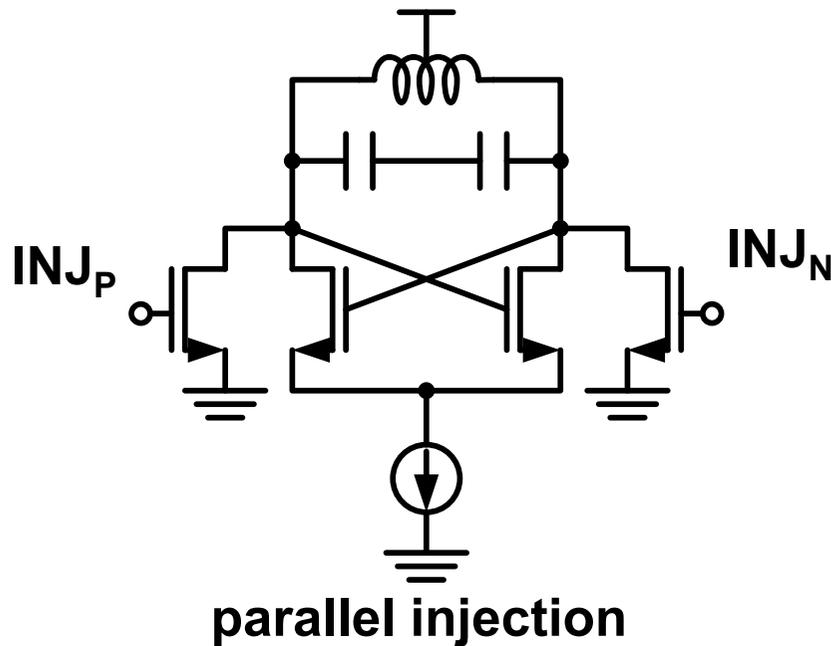
(d) 完全デジタル PLL
(サブサンプリング技術を使用)



(c) インジェクションロック (IL) PLL
(レプリカVCOを不使用)

小面積, 低電力

注入同期により，高い周波数の発振器の位相を，より低い発振器で制御することができる。

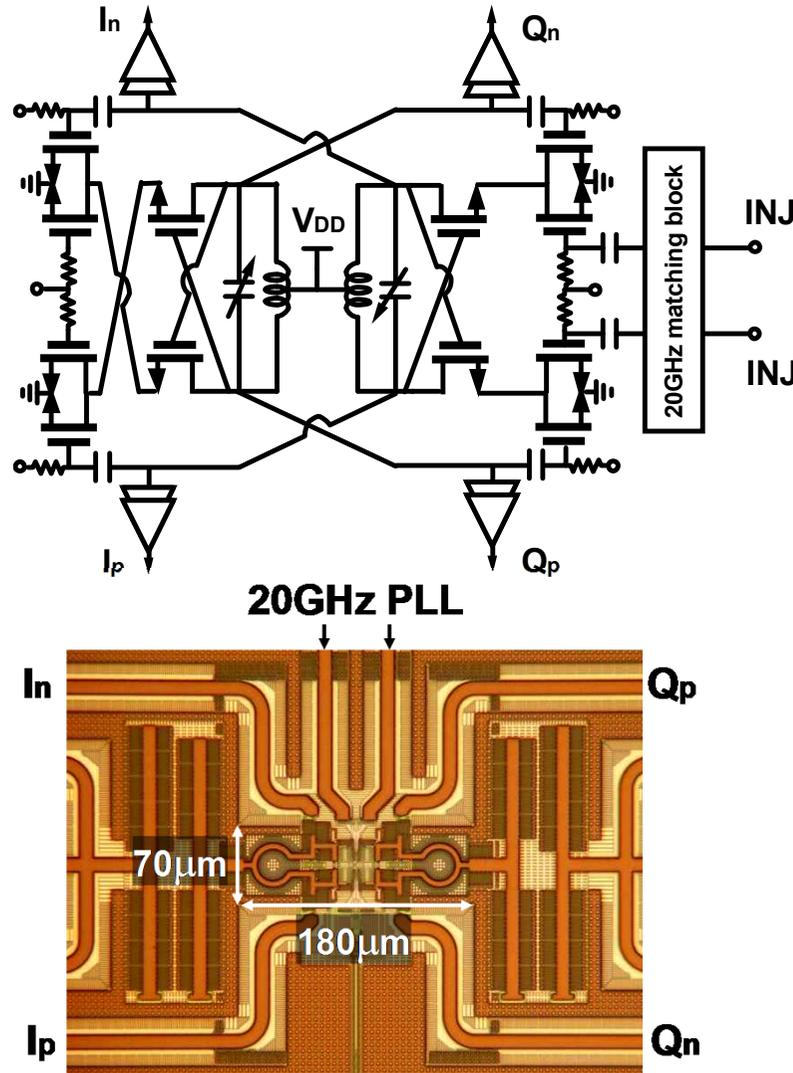


- 位相雑音(ジッタ)は注入信号に依存
- 周期が短くなる分、相対的にジッタが大きくなる

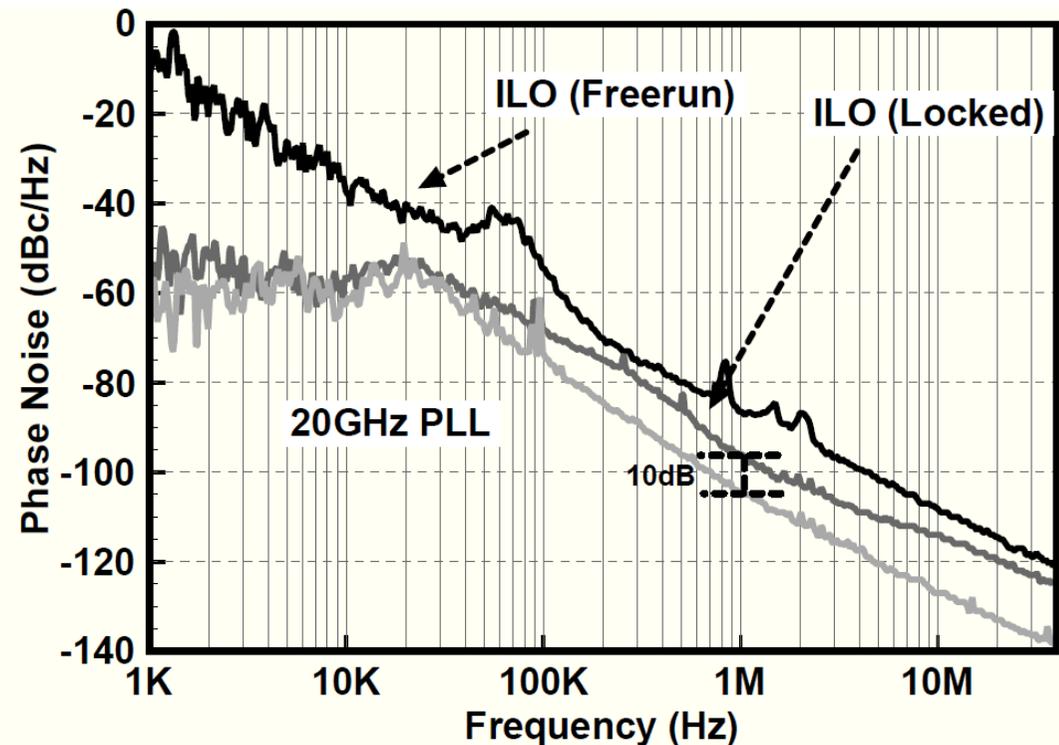
逡倍器の位相雑音 $PN_{ILO} = PN_{INJ} + 20 \log(N)$ N :逡倍数

ロックレンジ $\Delta\omega_L = \frac{\omega_o}{Q} \cdot \frac{I_{inj}}{I_{OSC}} \cdot \frac{1}{\sqrt{1 - \frac{I_{inj}^2}{I_{OSC}^2}}}$ $N=3$ のとき 9.5dB

60GHzの直交VCOに20GHzのPLLでインジェクションロックをかけることで
-96dBc/Hz@1MHzの良好な低位相ノイズを実現。
ダイレクトコンバージョンや64QAMが可能となった。



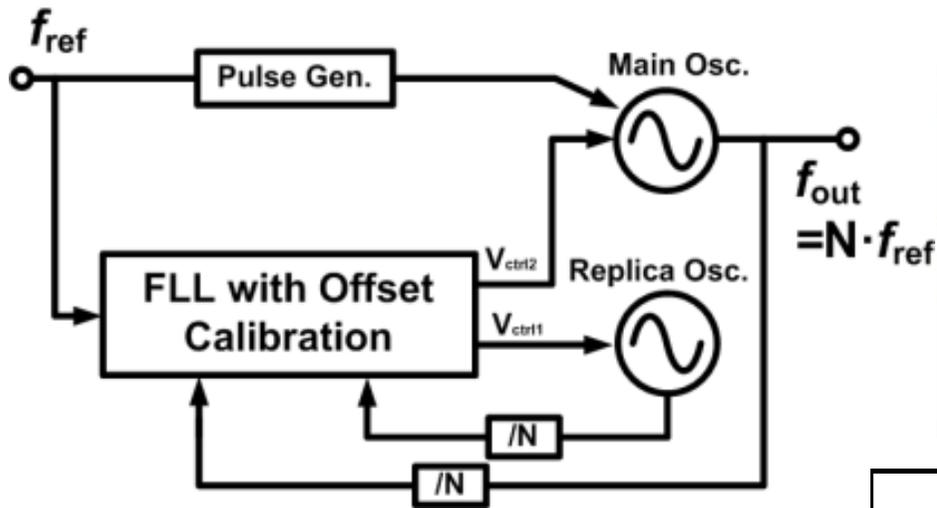
それまでの60GHz 直交VCOの位相ノイズは
-76dBc/Hz@1MHz程度



A. Musa, K. Okada, A. Matsuzawa, in A-SSCC
Dig. Tech. Papers, pp. 101–102, Nov. 2010.

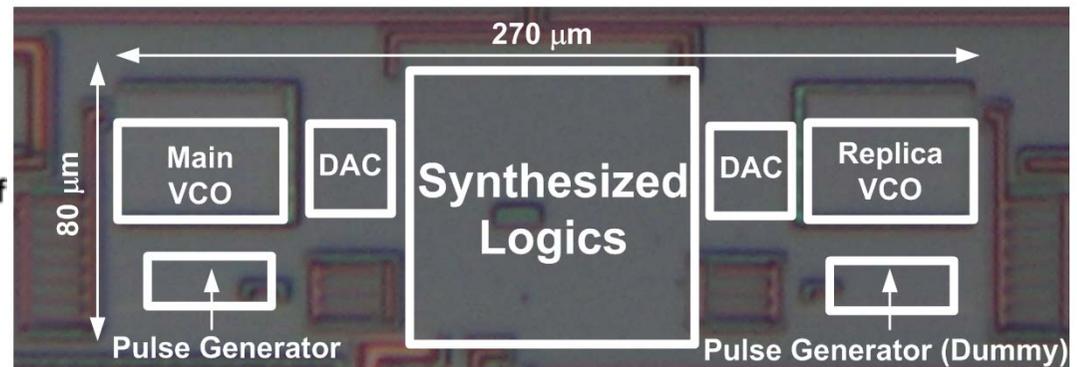
インジェクションロック技術を用いたLSIのシステムクロック発生用
リング発振器。低ジッタ, 低電力, 小面積 IL VCO, $T_j=1.8\text{ps}$, 1mW , 0.02mm^2

従来のPLLに代わるクロック発生器
今後はレイアウト合成が可能に



IL VCO 性能比較

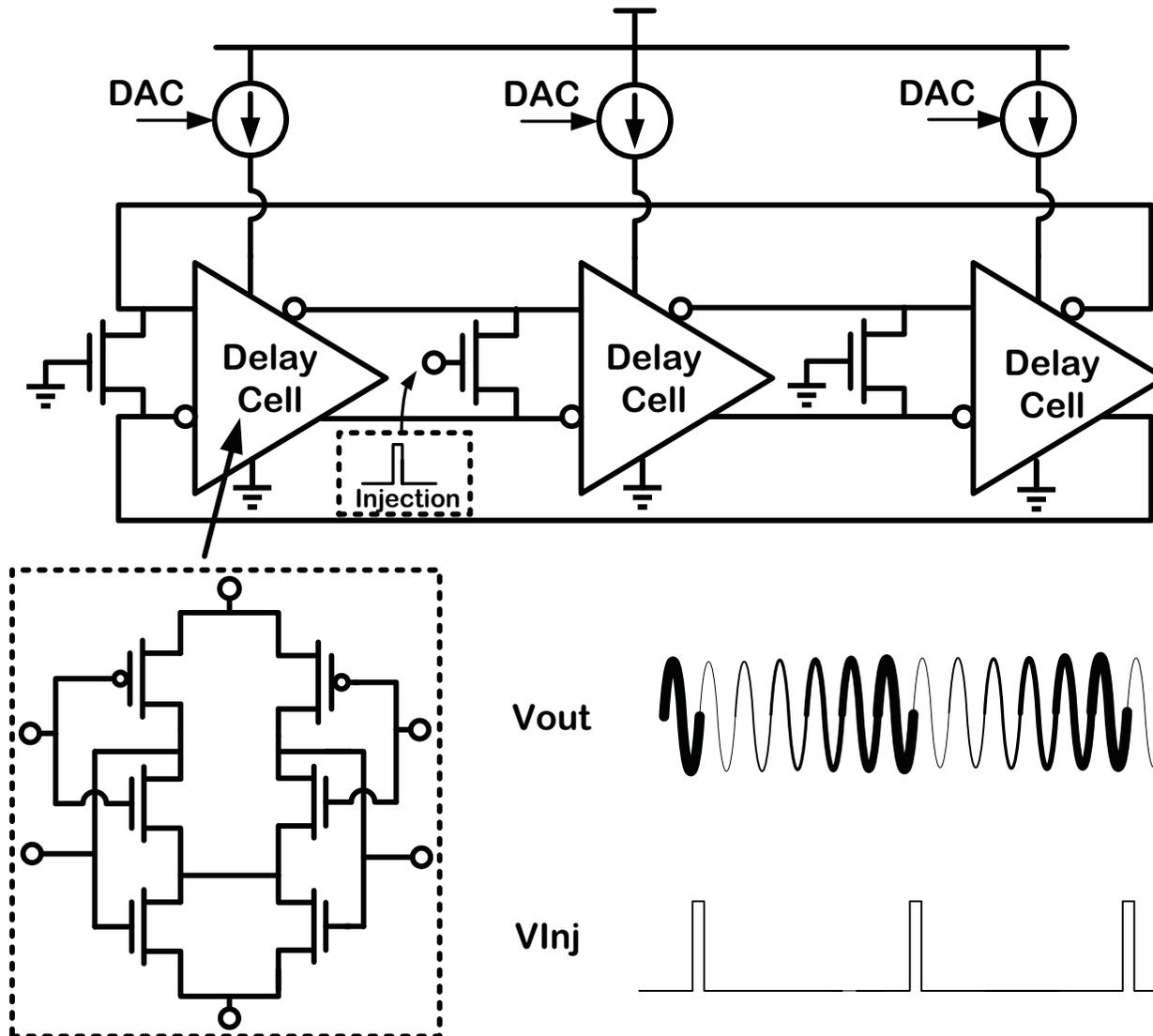
W. Deng, K. Okada, A. Matsuzawa,
ISSCC 2013



	This work	[1]		[2]	[5]
	IL-PLL	DMDLL	DPLL	MDLL	IL-PLL
Freq. [GHz]	1.2 (0.5-1.6)	1.5 (0.8-1.8)	1.5 (0.8-1.8)	1.6	0.216
Ref. [MHz]	300 (40-300)	375	375	50	27
Power [mW]	0.97	0.89	1.35	12	6.9
Area [mm ²]	0.022	0.25	0.25	0.058	0.03
Integ. Jitter [ps]	0.7	0.4	3.2	0.68	2.4
Jitter RMS/PP [ps]	1.81/19.4 10M hits	0.92/9.2 5M hits	4.2/33 5M hits	0.93/11.1 30M hits	N.A.
FOM [dB]	-243	-248.46	-228.59	-233.76	-225
CMOS Tech.	65nm	130nm	130nm	130nm	55nm

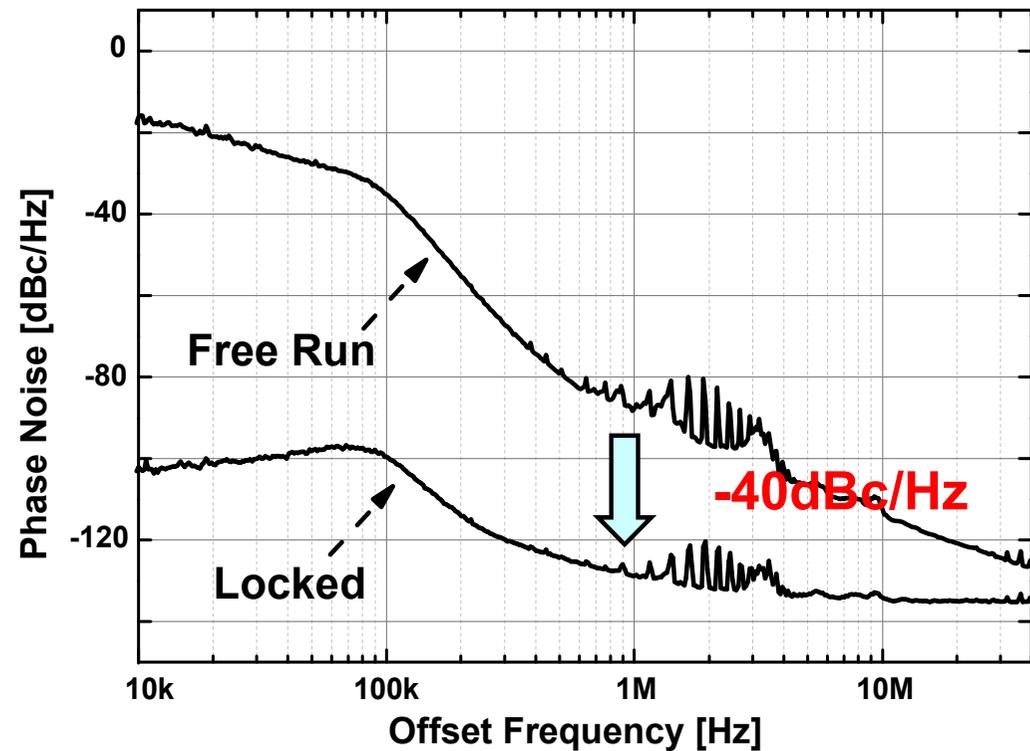
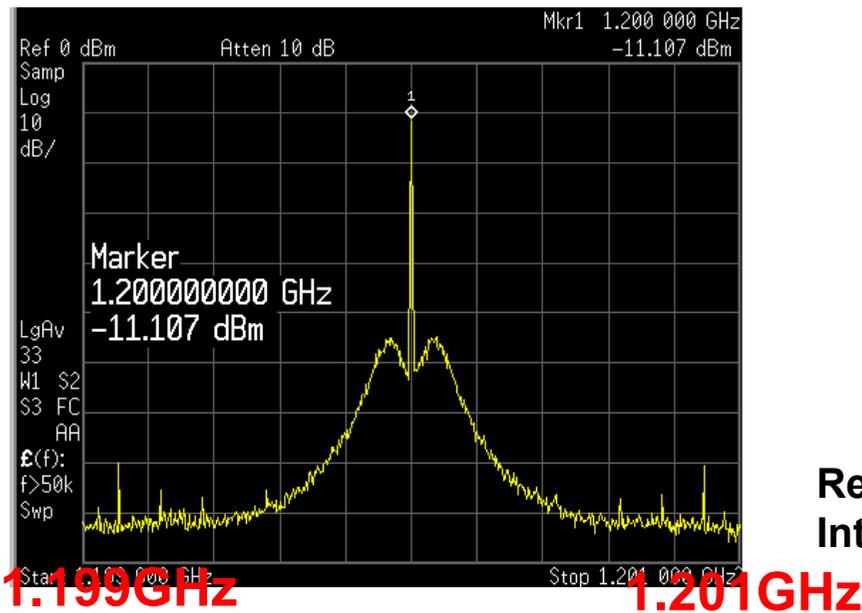
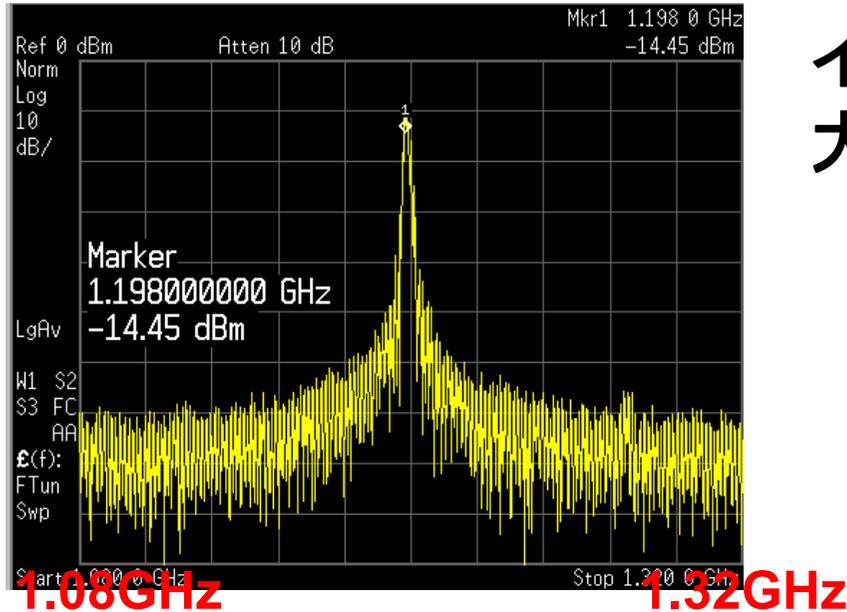
Injection-locked Ring Oscillator

差動型インバータリングVCOにインジェクションを行う



W. Deng. ISSCC 2013

インジェクションロックにより位相雑音は大幅に低下

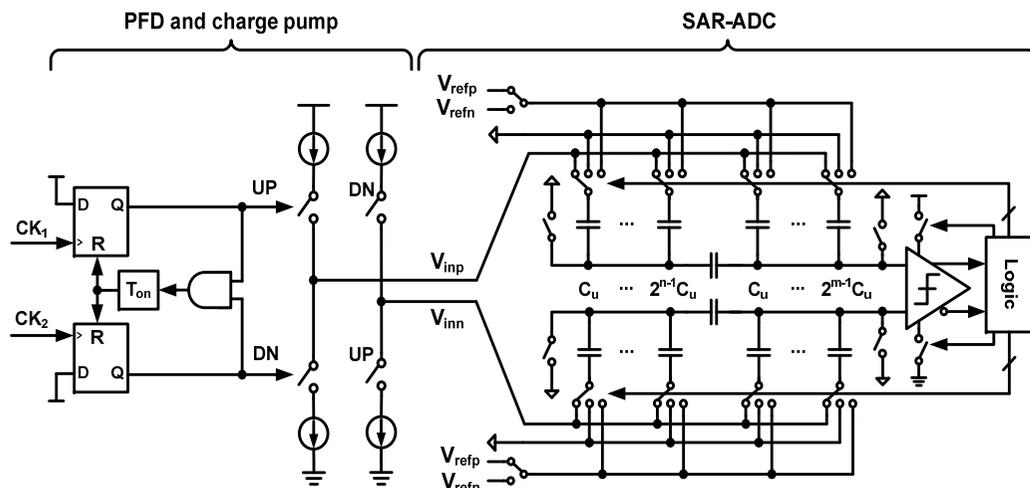


Ref.: 300MHz (40MHz-300MHz) Freq.: 1.2GHz (0.5-1.6GHz)
Integrated jitter: **0.7ps** (10kHz-40MHz) Pdc: **0.97mW** (1.2GHz)

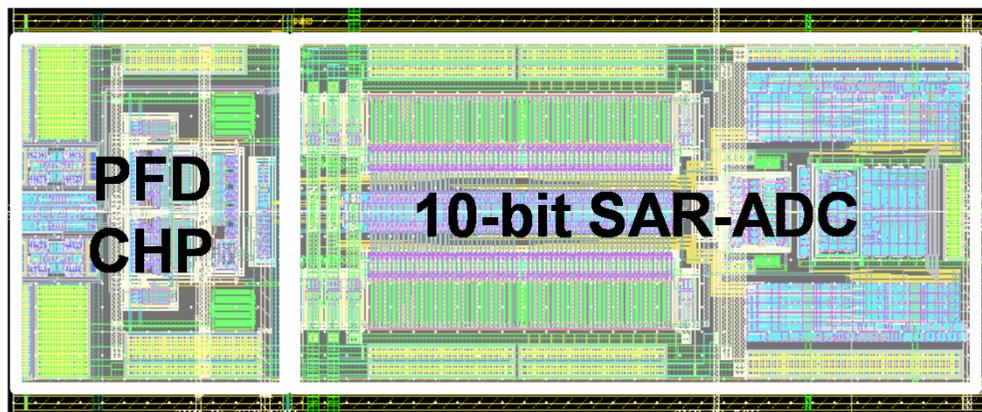
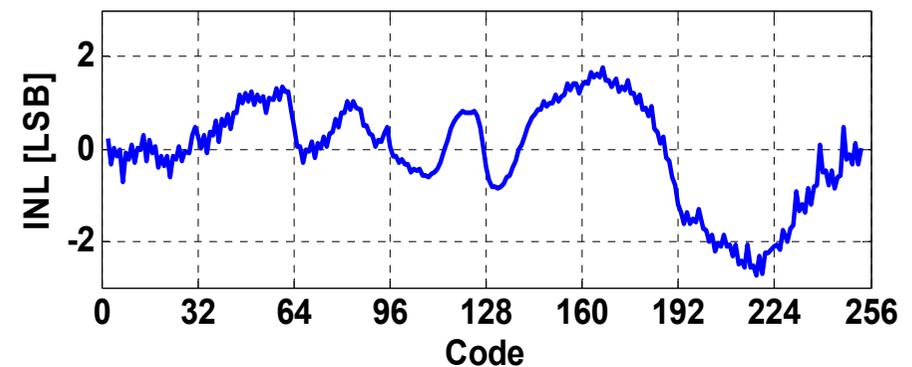
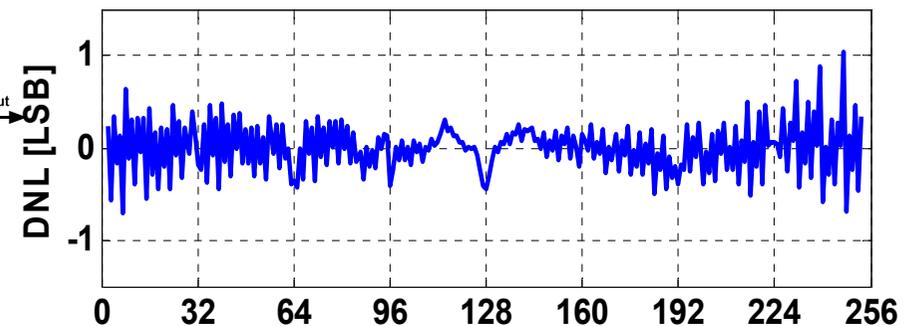
チャージポンプとSAR ADCを用いたサブps分解能のTDC 低ノイズデジタルPLLなどを使用予定

これまでのTDCはインバータ遅延を用いていたため10ps以下の分解能は困難であった。

時間分解能: 0.8ps, 8bit, 40MSPs, 2.5mW



DNL and INL in 8-bit with 0.84ps/LSB

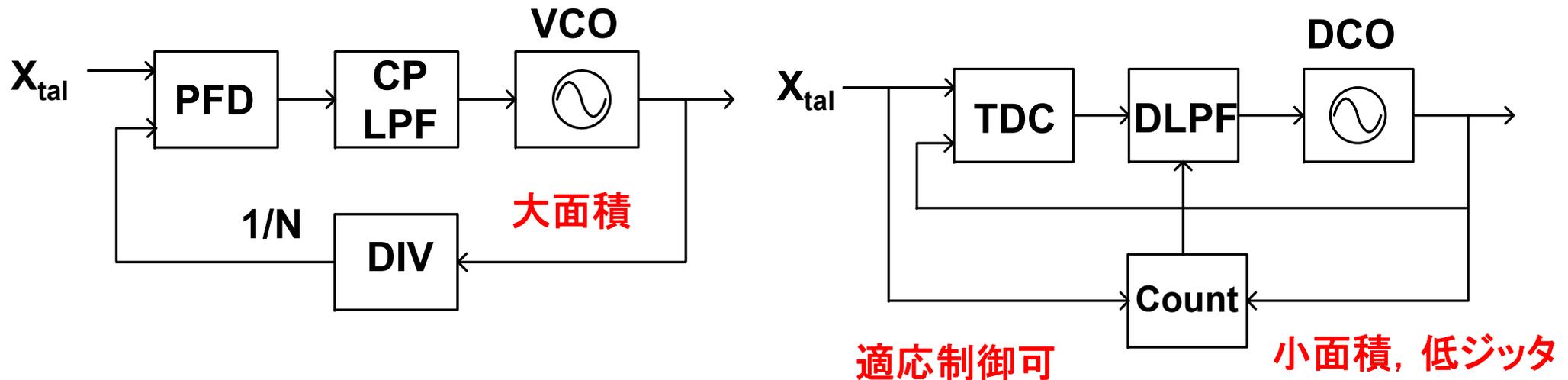


開発中のTDC: 0.8ps, 10bit, 100MSPs, 4mW, 0.02mm²

Z. Xu, A. Matsuzawa, CICC 2013.

PLLはいまだにデジタル化されていない数少ない分野である。
チャージポンプPLLは原理的に限界があり、完全デジタルPLL (FDPLL)はその限界を打破できる。これまではTDCなどの性能が悪くその良さを活かすできなかったがTDCの性能に目途がついたことで、飛躍的な性能向上が期待できる。

高性能FDPLLの実現が私の最後の仕事の一つである。



通常 (通常) のチャージポンプPLL

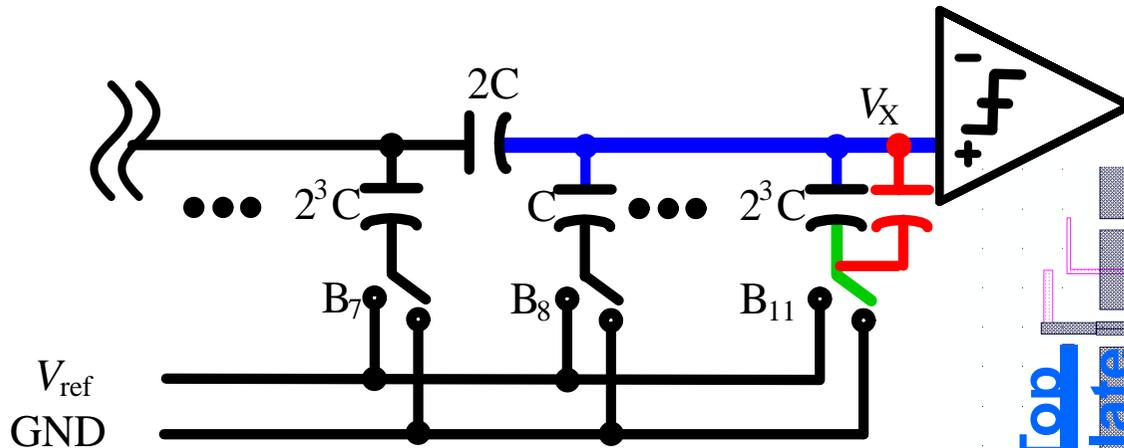
完全デジタル PLL
(サブサンプリング技術を使用)

レイアウトドリブン設計と プログラマブルアナログ回路技術

アナログ回路の自動設計技術への挑戦

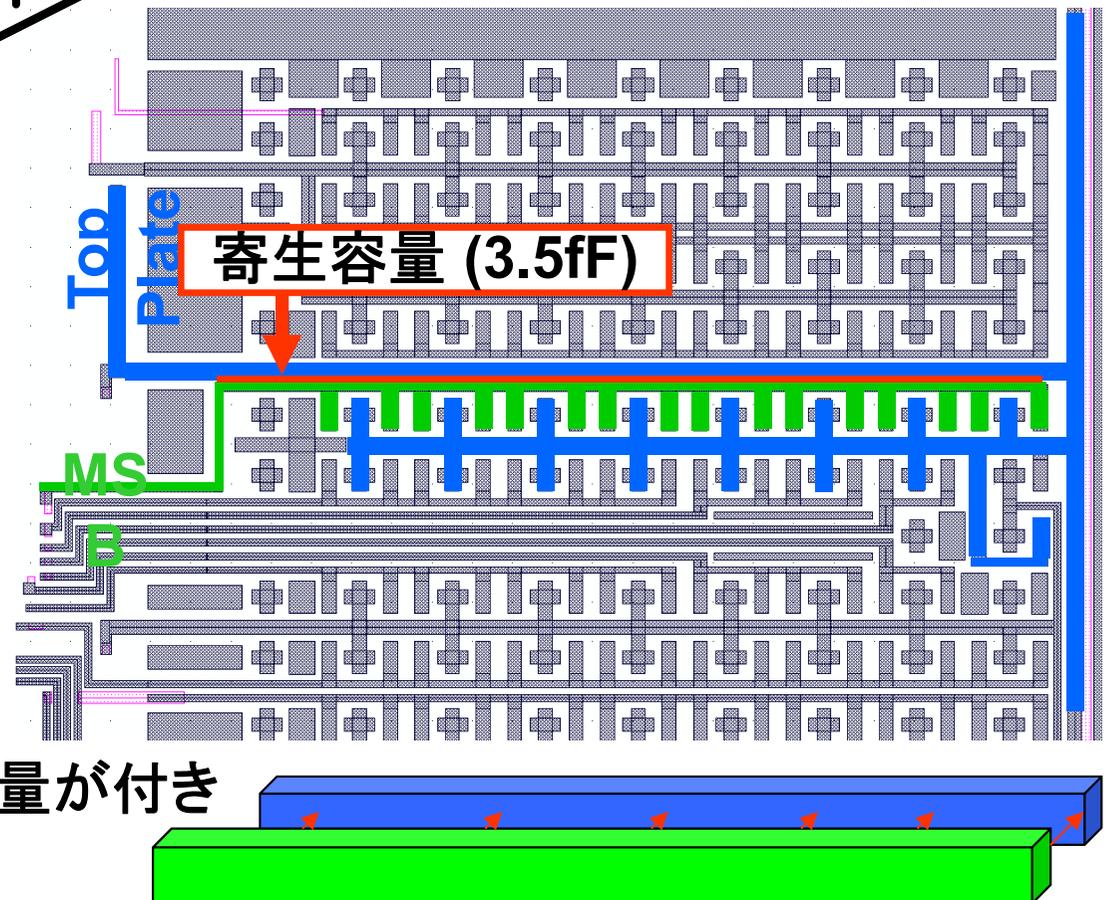
- アナ・デジ混載LSIにおいて、アナログ回路の開発が困難な状況は改善されておらず、今後ますます困難になる。
 - 微細化・低電圧化により設計難易度が上昇
 - 設計人材の減少(事業選択・集中, リストラ)
 - 設計コスト削減の要求(IP開発費減, 試作回数減)
- プログラマブルアナログ回路による解決
 - コア回路の種類をできるだけ絞る
 - 微細化・低電圧化に耐えうる回路のみを選抜
 - レイアウトに規則性のあるもののみを選抜(RDAC, CDAC, etc)
 - レイアウトを含め設計の大半を自動化(プログラマブル化)する
 - テスト容易化設計も併せて行う

「素子」間を結線するという従来からのレイアウト設計思想では、決して高精度で信頼性の高いアナログ回路は実現できない

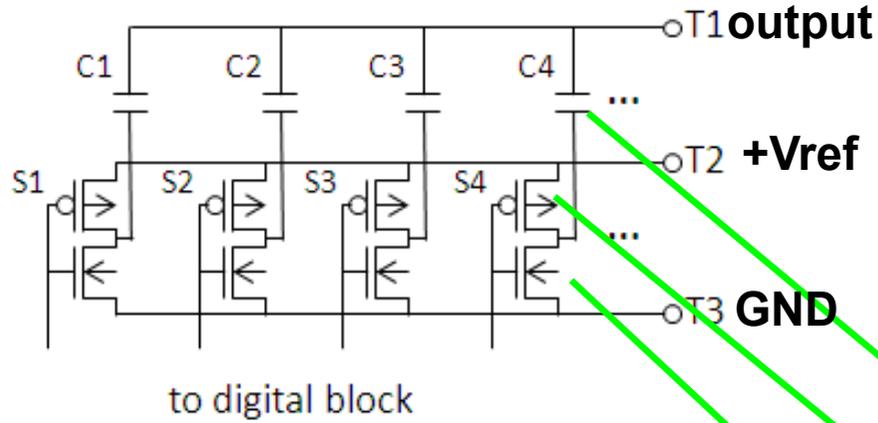


CDACの回路図

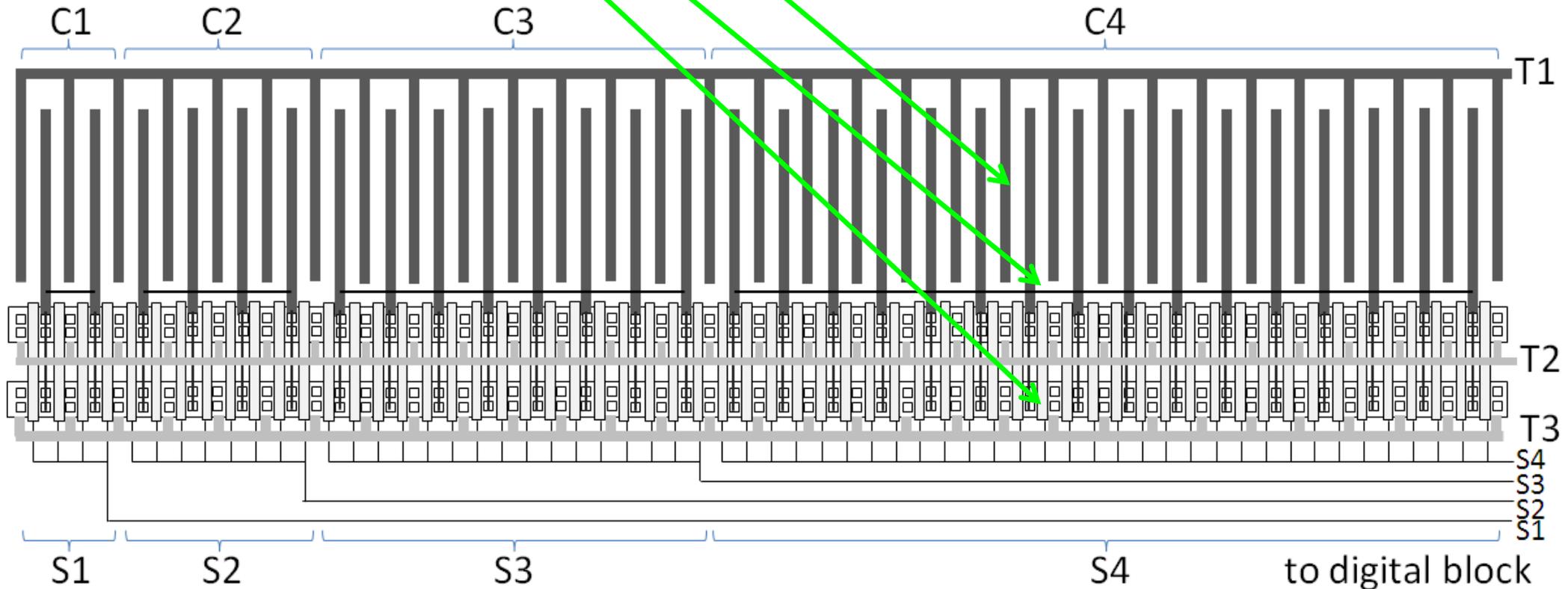
CDACのレイアウト



CDACにおいて、Top Plate(青)とBottom Plate(緑)に3.5fFの寄生容量が付き最大50LSB程度のエラーが生じた。



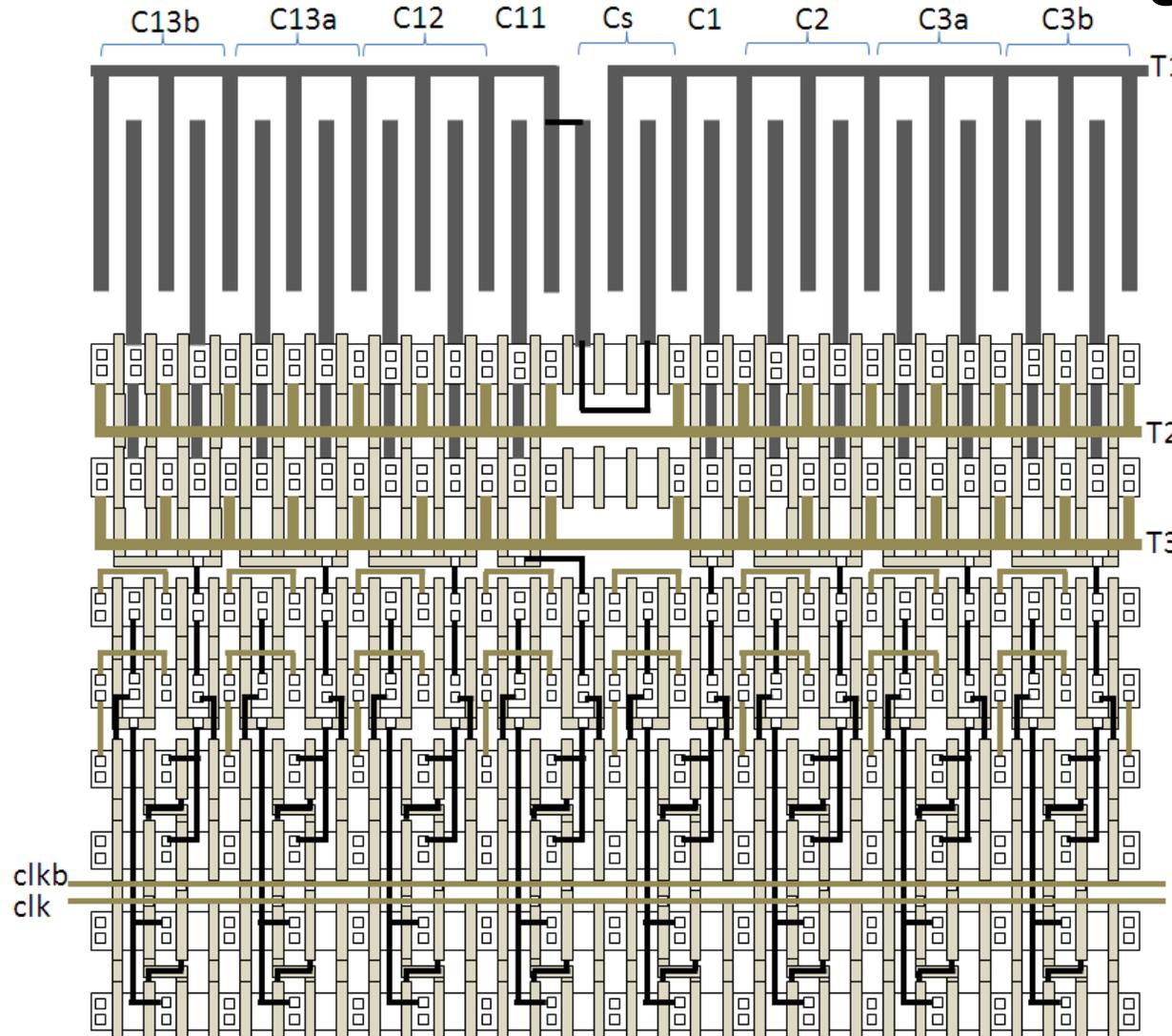
- ・レイアウトの合理性を追求
- ・素子間配線を無くす
- ・素子の規則性を重視
- ・各素子のピッチを合わせる



菅原, 松澤 他, アナログRF 研究会, 2013年11月

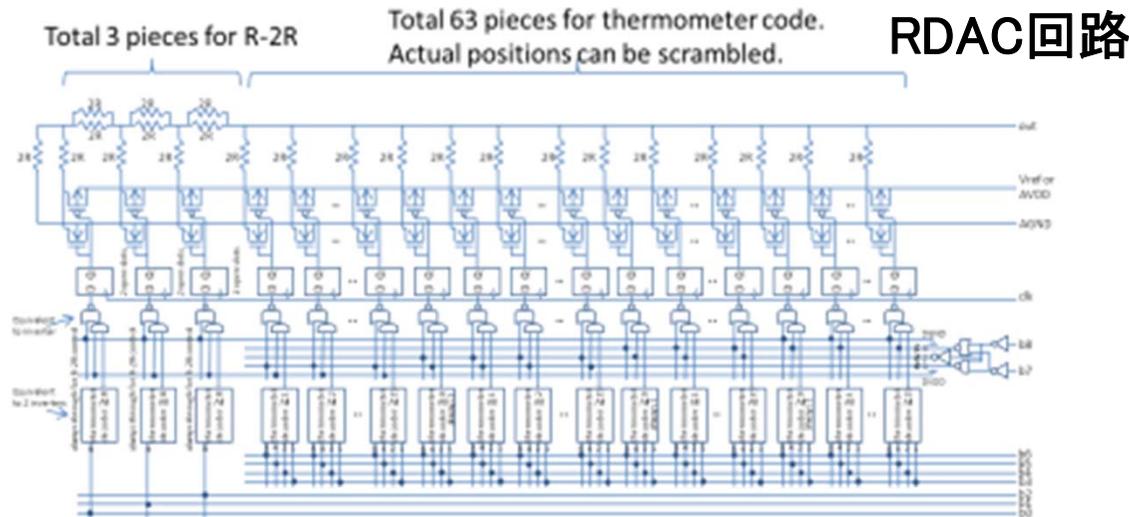
はじめから容量，スイッチ，ロジックのピッチを合わせて設計する
寄生容量や配線が最小になり，性能向上，低電力，小面積が実現。
設計の自動化もし易い。

SAR ADCの例



菅原, 松澤 他,
アナログRF 研究会
2013年11月

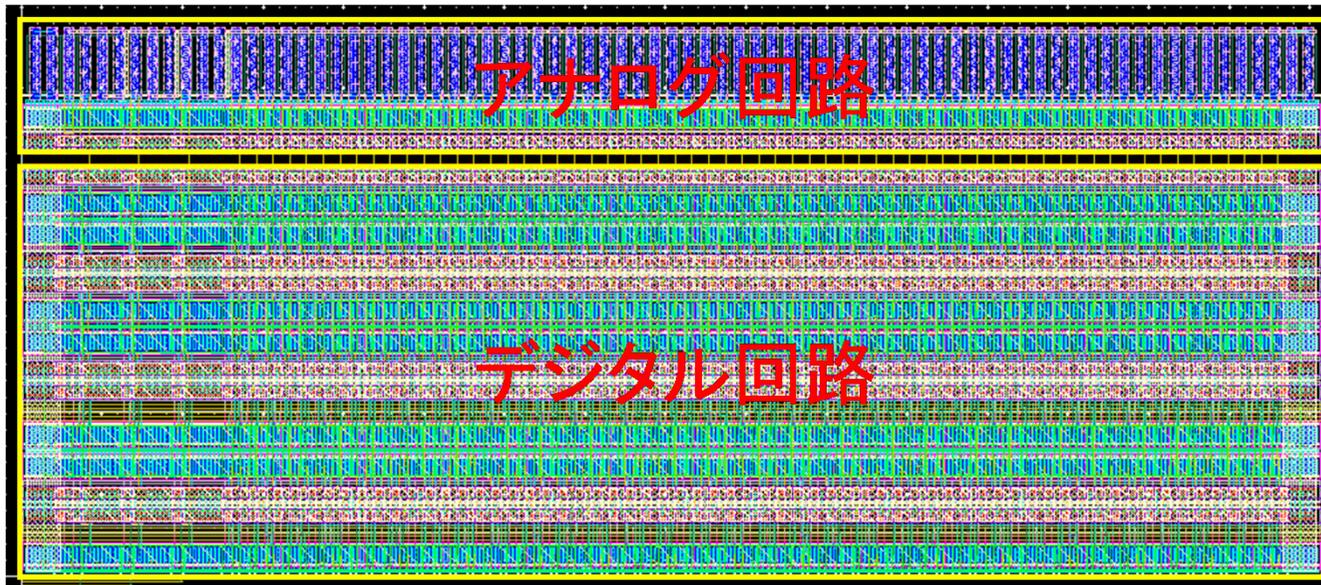
RDAC, CDACなど規則性のあるアナログ回路を自動合成 開発期間の短縮, 高速・低電力・小面積



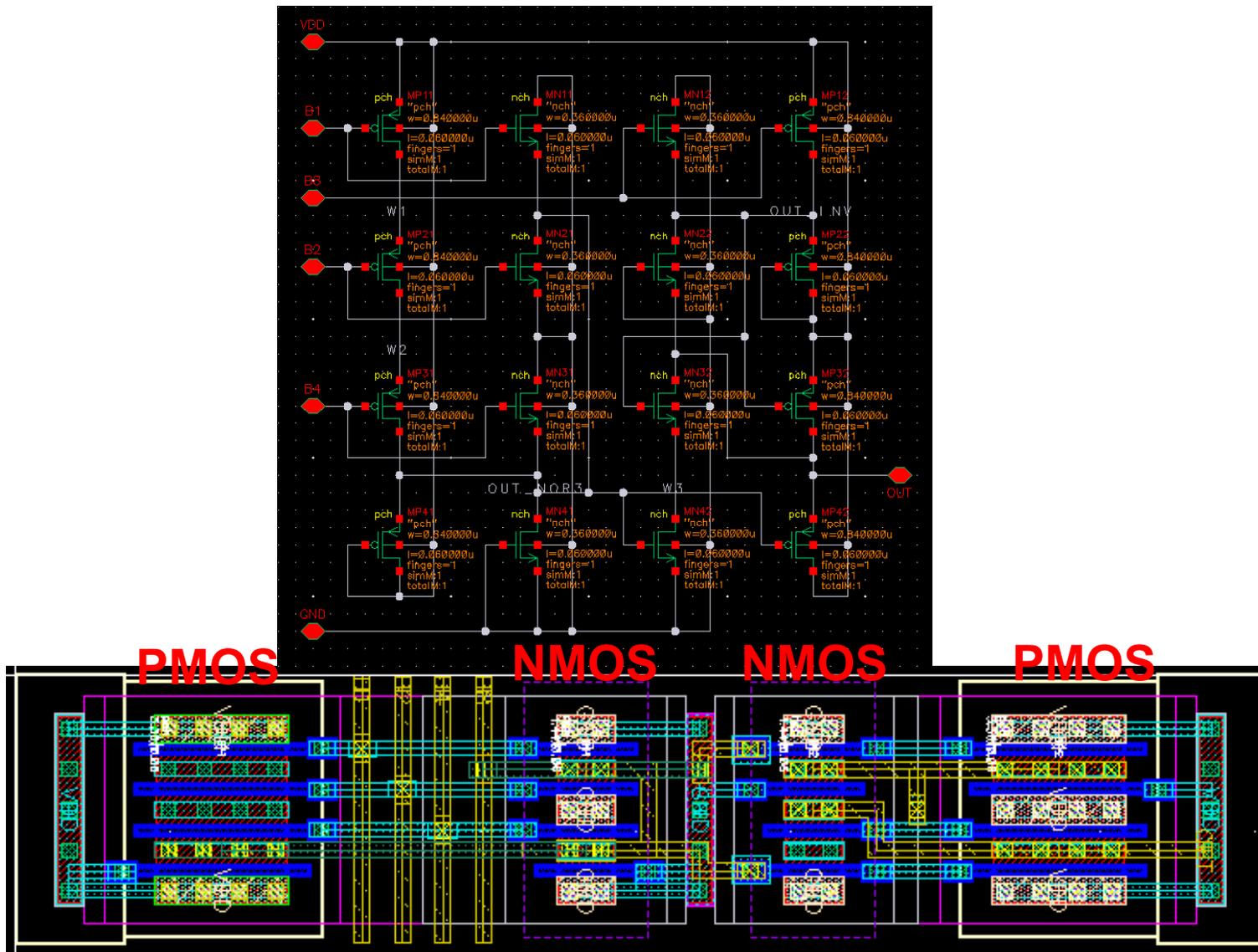
盛, 松澤 他, "9ビットRDACの自動合成"
アナログRF 研究会, 2013年8月

最適構成の自動計算
SKILL言語による自動レイアウト

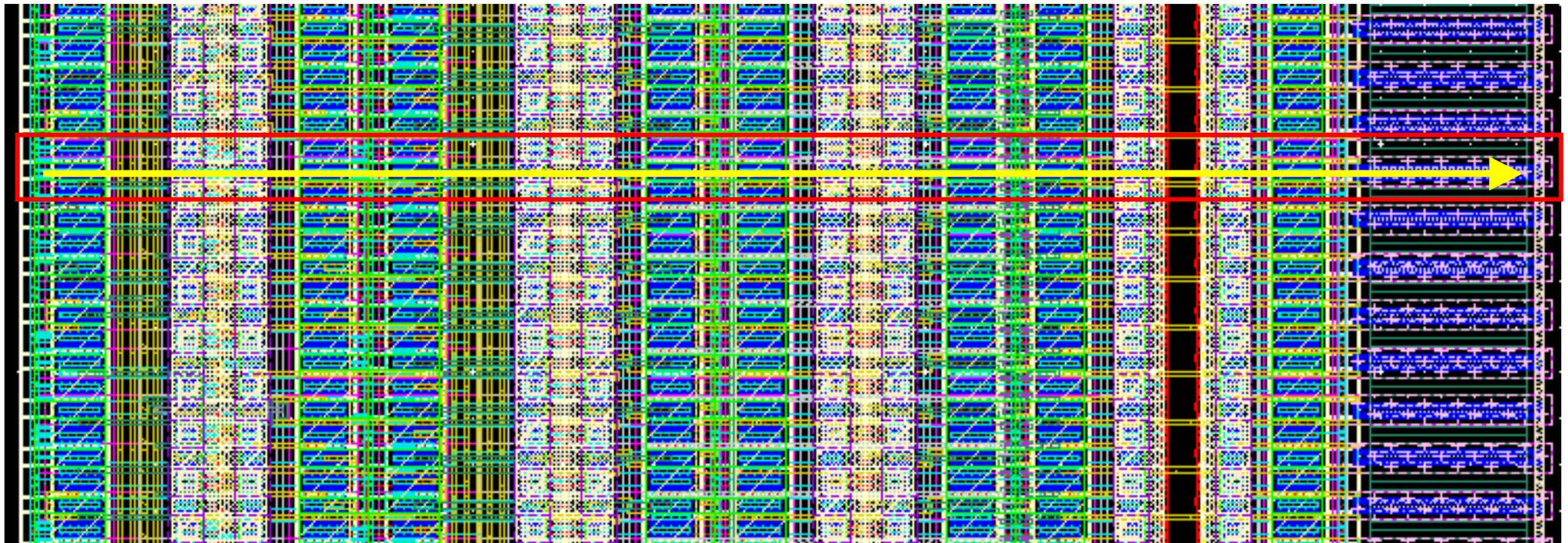
自動合成した
RDACレイアウト



論理回路も規則性を重視して選択し，自動レイアウトに乗せる。

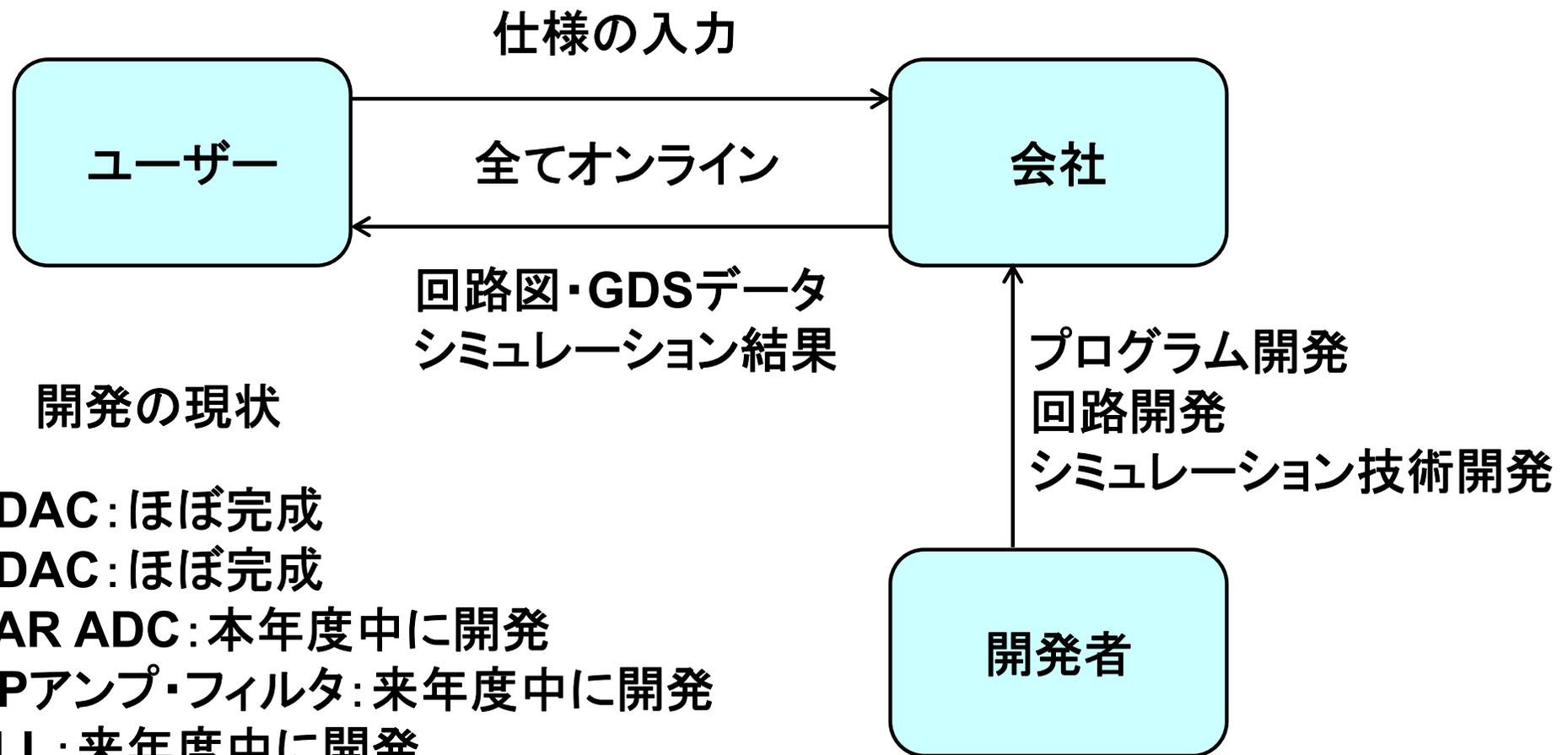


LOGIC回路、DFF回路、スイッチ回路を一直線に配置配線



人間は技術を開発するだけ，ネットで仕様を受け付け，ネットで設計データを送る。

多くのオーダーに速く，安く対応できる



- 無線での超高速データ伝送技術を開発中。60GHzのチャネルボンディングによる広帯域化と16QAMを用いた多値化によりミリ波最高速の28Gbpsを達成。300Gbpsを目指す。
- 今後の汎用的ADCとして高速12bit SAR ADCを開発。これまでの無線通信用ADCの性能を最小電力で実現。オーバーサンプリング技術を用いることで、80dB程度のSNRは可能。
- 時間領域処理は論理回路でアナログ演算が可能になる。この技術を用いたミリ波16QAM用7bit, 2.2GspsのADCを開発。
- PLLの高性能化・低電力化に向けて、インジェクションロック発振器, サブサンプリング技術, サブps分解能TDC, フルデジタルPLLなどを開発中。PLL技術は今後も発展。
- レイアウトドリブンのアナログ設計手法を提案。プログラムアナログ技術によりレイアウトを含めた設計自動化を推進中。